

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 6 月 5 日現在

機関番号：32621

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21560362

研究課題名（和文） InAs ナノワイヤを用いた超高速アナログ/デジタル集積回路

研究課題名（英文） Ultra-High Speed Analog/Digital Integrated Circuits Using InAs Nanowires

研究代表者

和保 孝夫（WAHO TAKAO）

上智大学・理工学部・教授

研究者番号：90317511

研究成果の概要（和文）：

電界アシスト自己整合プロセスにより、予め回路が搭載された基板上に InAs ナノワイヤを位置と方位を制御しながら堆積させることに成功した。これを用いて、InAs ナノワイヤをチャネルとする MISFET と従来型素子を同一基板上に集積させたサンプルホールド（S/H）回路を試作し、基本動作を確認した。さらに、ナノワイヤ FET の特性を活かした S/H 回路を新たに提案し、回路シミュレーションにより性能予測を行い、高分解能/超高速回路実現への見通しを得た。

研究成果の概要（英文）：

By using a field-assisted self-assembly technique, we have succeeded in placing InAs nanowires on an IC substrate with a good controllability of position and direction. A simple sample-and-hold (S/H) circuit is then fabricated by applying the technique, and a successful S/H operation is obtained. Furthermore, a high-speed and high-resolution S/H circuit is proposed based on circuit simulations that use InAs nanowire HFET device parameters extracted from high-frequency S-parameters.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	1,900,000	570,000	2,470,000
2010 年度	900,000	270,000	1,170,000
2011 年度	900,000	270,000	1,170,000
総計	3,700,000	1,110,000	4,810,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：先端機能デバイス、集積回路、半導体超微細化、ナノワイヤ、化合物半導体

1. 研究開始当初の背景

Si CMOS 性能を凌駕するナノ構造素子の実現を目指した研究が国内外で活発化していた。カーボンナノチューブ（CNT）素子、Si/Ge ナノワイヤ FET、グラフェン FET、トンネル FET、InAs や InSb を用いたナノ

ワイヤ FET などが研究対象となっていた。中でも、InAs、Si/Ge、CNT を用いたナノワイヤ FET では優れた dc 特性が報告されていた。Lund 大学では、基板に対して垂直に成長した InAs ナノワイヤをそのまま用いて、量産も視野に入れた高度な FET 製造技術を開発していた。しかし、基板に用

いている InAs には高い導電性があり、高周波動作には不向きであると考えられた。一方、Harvard 大学からは、CMOS 技術との互換性に優れた Si/Ge ナノワイヤを用いた素子が報告されており、THz 領域動作の可能性に言及していた。しかし、素子構造に起因する寄生容量が大きく、超高速動作の実現には大きな困難が伴うと予想された。CNT に関しては金属相と半導体相との分離技術の確立が大きな課題であった。

これらに対して、本研究の海外共同研究者らは、InAs ナノワイヤを用いた FET を半絶縁性 GaAs 基板上に試作し、優れた相互コンダクタンス値 (3.5 S/mm) を得ていた。電子移動度を InAs のバルク値まで改善できれば一層の高性能化が期待でき、超高速回路応用に最も適したナノワイヤ素子であると考えられた。

一方、ナノワイヤ素子の応用分野の開拓も重要な課題であった。半導体が重要な役割を果たしてきた情報通信分野では、今後の大容量/広帯域化に向けてアナログ/デジタル (A/D) インターフェイスの重要性が高まると考えられた。情報通信で利用する光や電磁波などがアナログ信号であるのに対して、情報処理はデジタル領域で行うため、両者をつなぐ A/D インターフェイスが必須だからである。特に、アナログフロントエンドでは高速アナログ信号を長時間処理する必要がある、優れた電子輸送特性を持つ化合物半導体を用いて CMOS 技術を補完することが有効であると考えられた。

CMOS 基板に化合物半導体素子を組み込む上での大きな制約は結晶構造/格子定数の違いであった。ナノワイヤを成長基板から別の回路基板に転送することができれば、この制約から開放される。しかし、そのためには、ナノワイヤの位置/方位制御技術の確立が不可欠であった。

2. 研究の目的

本研究の目的は、InAs ナノワイヤ素子の特性を最大限に活用した超高速アナログ/デジタル集積回路の可能性を明らかにすることであり、将来的には Si 集積システムとの融合化への道を切り開くことを目指している。

具体的には、InAs ナノワイヤをチャネルに用いた電界効果トランジスタ (FET) を対象として、素子モデルの構築とモデルパラメタの抽出から着手し、それに基づく回路設計/試作/性能評価を行う一方、位置、方位を制御できるナノワイヤ堆積技術に

取り組み、回路が搭載された基板上へのモノリシック集積化実現の可能性を追求する。広帯域通信で使用される超高速アナログ信号と超高速デジタル信号との相互変換に必要な集積回路、特にサンプル/ホールド (S/H) 回路を重点的に検討する。

3. 研究の方法

(1) 位置、方位を制御できるナノワイヤ堆積手段として、電界アシスト自己整合プロセス (Field-Assisted Self-Assembly: FASA) 技術を検討する。Si 基板を用いた基本検討に引き続き、化合物半導体 HFET や CMOS 回路を搭載して基板上にも FASA 技術を適用し、その有効性を確認する。

(2) FASA を用いて、予め回路を搭載した InP 基板上に InAs ナノワイヤ FET を作製し、それらを組み合わせた S/H 回路を実現する。InAs ナノワイヤ FET をアナログスイッチに用い、InP 基板上に作製したサンプリグ容量および HFET バッファ増幅器と同基板上で接続することで S/H 回路を構成する。

(3) InAs ナノワイヤ FET の高周波 S パラメタ測定から、回路シミュレーションに必要なデバイスパラメタを抽出する。更に、それを用いた回路シミュレーションにより S/H 回路性能を予測し、新しい回路構成法を検討する。

4. 研究成果

(1) FASA 実験を行い、電極形状の工夫による制御性改善を試みた。その結果、所定の場所に InAs ナノワイヤを 1 本だけ堆積させることに、歩留まり率約 50% で成功した (図 1)。また、MOCVD 法を用いて Au 微粒子を触媒とする VLS モードでのナノワイヤ成長実験を行い、成長温度を 440°C から 460°C で GaAs (111)B 基板上に良好なナノワイヤが成長することを確認した。

(2) InP 基板上に InAs ナノワイヤ MISFET と HFET を集積化した基本的な S/H 回路を作製し、100 MHz 動作を確認した (図 2)。前者をスイッチ、後者を出力バッファ回路に利用し、サンプリグ容量 (Ch) と組み合わせることで S/H 回路とした。FASA 法により、HFET 回路を搭載した InP 基板上に InAs ナノワイヤを堆積させた後、ナノワイヤ MISFET を作製し、予め搭載した回路と接続した。

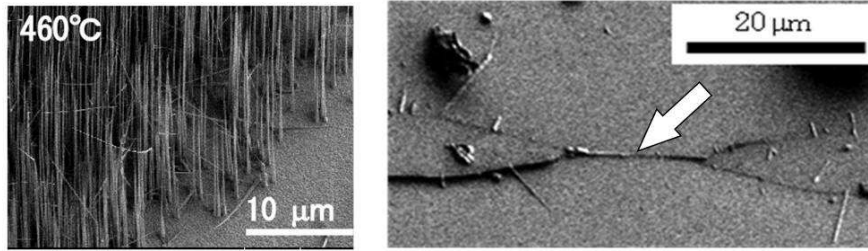


図1 GaAs(111)B 面上に MOVPE 成長した InAs ナノワイヤ群 (左) と、FASA により Si 基板上に配置した InAs ナノワイヤ (右)。矢印先がナノワイヤで、FASA 用の電極 (Ti) の先端部を繋ぐように 1 本のナノワイヤを配置できることを確認。

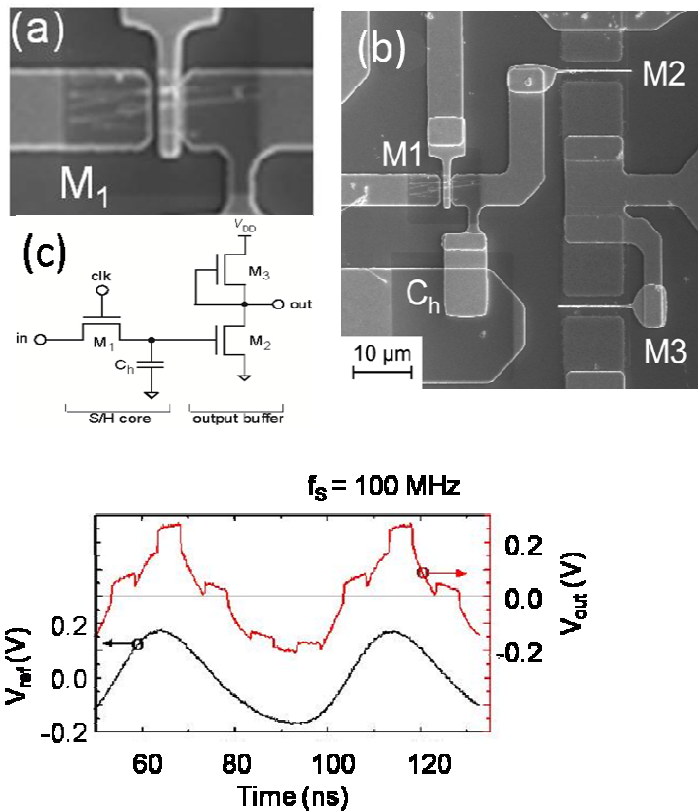


図2 InP 基板上に InAs ナノワイヤ MISFET (M1) と HFET (M2、M3) を集積化した S/H 回路のチップ写真 (a, b) と回路図 (c)、および 100 MHz 動作結果。V_{ref} は S/H 動作をしていないとき、V_{out} は S/H 動作をしているときの出力波形。

(3) InAs ナノワイヤ MISFET の高周波測定から抽出したデバイスモデルを用いて、InAs ナノワイヤ MISFET の特性を最大限に生かした S/H 回路を提案した (図 3)。信号フィードスルーキャンセル経路を付加した回路を考案し、基本 S/H 回路 (図中の Basic)、従来型 (同 Conventional) と比較して分解能を改善できる可能性があることを回路シミュレーションで確認した。今後、短チ

ャネル化による高 g_m 化を図ることで、高周波特性の改善も期待できる。

(4) フラッシュ A/D 変換器を搭載した CMOS チップ上の予め決められた位置/方位に FASA 法を用いて InAs ナノワイヤを堆積させることに成功し、本格的な異種技術融合への展開の見通しが得られた (図 4)。

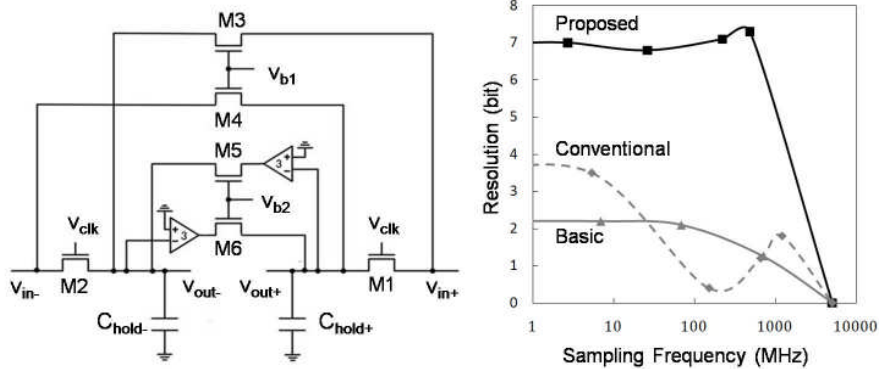


図3 今回提案したS/H回路(左)と、InAs ナノワイヤを用いたS/H回路の性能予測(右)。M3~M6が信号フィードスルーキャンセル経路。

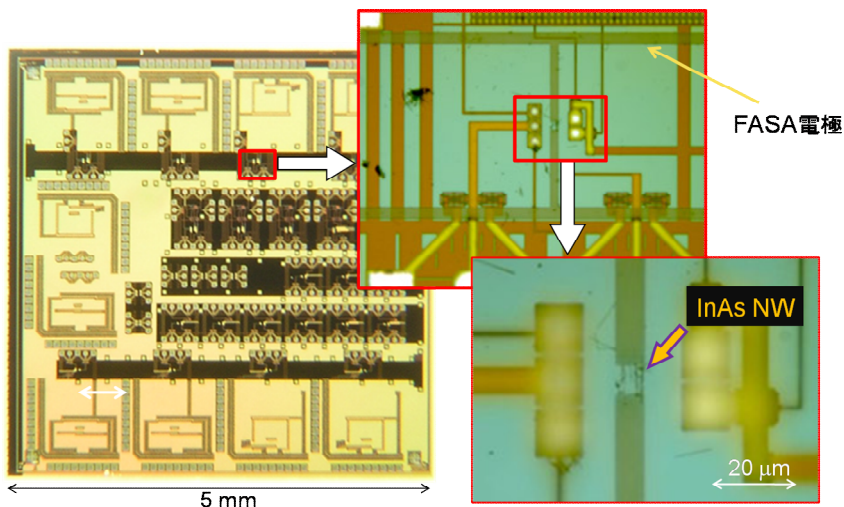


図4 FASA法によりフラッシュA/D変換器を搭載したCMOSチップ上の所定の位置に堆積させたInAsナノワイヤ。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計5件)

- ① Kai Blekker, Rene Richter, Ryosuke Oda, Satoshi Taniyama, Oliver Benner, Gregor Keller, B. Muenstermann, Andrey Lysov, Ingo Regolin, Takao Waho, Werner Prost, "InAs Nanowire Circuits Fabricated by Field-Assisted Self-Assembly on a Host Substrate," IEICE Trans. Electronics, vol. E95-C, no. 4, 2012 (accepted for publication) (査読有り).
- ② Ryoto Yaguchi, Fumiyuki Adachi, Takao Waho, "A Dynamic Source-Follower Integrator and Its Application to

Delta-Sigma Modulators," IEICE Trans. on Electronics, vol. 94-C, pp. 802 - 806, 2011 (査読有り)

- ③ 佐々木 達也, 和保 孝夫, "高エネルギー使用効率容量アレイを用いた逐次比較A/D変換器," 多値論理研究ノート, vol. 34, pp. 12-1 - 12-6, 2011 (査読無し)

[学会発表] (計36件)

- ① 和保孝夫, Werner Prost, "InAs ナノワイヤの回路応用," 第59回応用物理学関係連合講演会(招待講演), 2012年3月15日, 東京
- ② 村上 新, 船山裕晃, 下村和彦, 和保孝夫, "GaAs(111)B, GaAs(100), InP(111)B, InP(100)基板におけるAu微粒子を用いたInAsナノワイヤ成長," 第59回応用物理学関係連合講演会, 2012年3月16日, 東京

- ③ 渡邊龍郎, 乙幡 温, 和保孝夫, Kai Blekker, Werner Prost, Franz-Josef Tegude, "InAs ナノワイヤ MISFET の高周波特性評価," 電子情報通信学会 2011 年ソサエティ大会, 2011 年 9 月 13 日, 札幌
- ④ 森山顕矩, 谷山 諭, 和保孝夫, "DC キャンセルパスを持つスイッチトソースフォロワ型サンプルホールド回路," 同上
- ⑤ Kai Blekker, Rene Richter, Oliver Benner, B. Munstermann, Andrey Lysov, Ingo Regolin, Werner Prost, Ryosuke Oda, Satoshi Taniyama, Takao Waho, "InAs nanowire circuits fabricated by field-assisted self-assembly on a host substrate," 9th Topical Workshop on Heterostructure Microelectronics (TWHM2011), August 28 - 31, 2011, Gifu, Japan
- ⑥ Eisuke Takashima, Hiroaki Funayama, Takao Waho, Kazuhiko Shimomura, and Werner Prost, "Field-Assisted Self-Assembly of InAs Nanowires on Si substrate," 同上
- ⑦ Takao Waho, Satoshi Taniyama, Rene Richter, Oliver Benner, Kai Blekker, Werner Prost, "Sample-and-hold circuits using InAs nanowire FETs," 35th Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE2011), 29 May - 1 June, 2011, Catania, Italy
- ⑧ Yutaka Otsuhata, Takao Waho, Kai Blekker, Werner Prost, and Franz-Josef Tegude, "On the temporal behavior of dc and rf characteristics of InAs nanowire MISFET," International

Semiconductor Device Research Symposium (ISDRS 2009), December 11, 2009, College Park, MD, USA

[図書] (計 1 件)

Takao Waho, John Wiley & Sons, (Ed. By Rolf Kraemer and Marcos Katz), "Short-Range Wireless Communications: Emerging Technologies and Applications," 364 頁の中の Chap. 15 を執筆, 2009 年.

[その他]

ホームページ等

<http://wwwsscd.ee.sophia.ac.jp>

6. 研究組織

(1)研究代表者

和保 孝夫 (WAHO TAKAO)

上智大学・理工学部・教授

研究者番号: 90317511

(2)研究分担者

なし

(3)連携研究者

下村 和彦 (SHIMOMURA KAZUHIKO)

上智大学・理工学部・教授

研究者番号: 90222041

(4)海外共同研究者

プロスト ウェルナー (PROST WERNER)

Duisburg-Essen 大学・教授

(5)研究協力者

下村 和彦 (SHIMOMURA KAZUHIKO)

上智大学・理工学部・教授

研究者番号: 90222041