

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 18 日現在

機関番号：33803

研究種目：基盤研究(C)

研究期間：2009～2013

課題番号：21560375

研究課題名(和文) CVSL・高速ゲート・ニューロン構造組み込みSET耐性強化宇宙用LSI回路

研究課題名(英文) SET Immune Spaceborne LSI Circuit Designs by Embedding Cascade Voltage Switch Logic Circuits, High-speed Gates, and Neuron MOS structures

研究代表者

波多野 裕 (HATANO, Hiroshi)

静岡理科大学・理工学部・教授

研究者番号：80238013

交付決定額(研究期間全体)：(直接経費) 3,600,000円、(間接経費) 1,080,000円

研究成果の概要(和文)：宇宙空間の荷電粒子によるシングル・イベント効果に起因する回路誤動作に対する耐性を強化した耐放射線性システムLSIを設計するための基盤技術を、カスケード電圧スイッチ論理(CVSL)、高速ゲート、ニューロン・デバイスの導入により検討した。SET効果に対するシミュレーション技術により、スタティック形CVSL回路とクロック形CVSL(C2VSL)回路を従来の複合ゲートCMOS回路と比較して、前者は2桁以上の、後者は1桁以上のSET耐性向上を明らかにした。また、C2VSL回路とCVSL回路により、全加算器と半加算器を設計試作して、試作チップの実測により、それぞれの回路の機能動作の確認に成功した。

研究成果の概要(英文)：Single event tolerant spaceborne LSI circuits have been designed by embedding cascade voltage switch logic (CVSL) circuits, high-speed gates, and neuron MOS structures.

Single event transient (SET) effects on CVSL circuits have been investigated using SPICE. Static CVSL and clocked CVSL (C2VSL) circuits have been successfully fabricated utilizing a double polysilicon double metal N-well CMOS technology. A CVSL half adder, a C2VSL half adder and a C2VSL full adder have confirmed to function correctly by the chip measurements. SET simulation results have confirmed that the CVSL and C2VSL circuits have increased tolerance to SET. SET tolerance for the CVSL and C2VSL circuits is compared to that for the conventional CMOS circuits, showing that the CVSL and C2VSL circuits are candidates for a SET tolerant spaceborne circuit. CVSL circuits are more than 200 times harder and C2VSL circuits are ten times harder than conventional CMOS circuits.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス電子機器

キーワード：電子デバイス・機器 デバイス設計、シミュレーション 放射線、粒子線、宇宙線

1. 研究開始当初の背景

2008年1月現在、太陽が新たな活動期に入ったと見られている。太陽が活動期に入ると、太陽から放射される電子や陽子などの太陽風によって衛星搭載電子部品の回路などは大きな影響を受ける可能性が指摘されている。

一方、携帯可能なコンピュータや情報通信端末の中核は極限まで微細化したデジタル回路(メモリ、ロジック等)の複合したシステムLSIである。半導体装置は微細化が進む程、使用環境により大きな特性変動を引き起こす可能性があるため、システムLSIの普及による使用環境の複雑化はシステムLSIの信頼性確保を極めて困難にしている。更に、21世紀に入り、従来は宇宙空間のみで問題となっていた放射線損傷のうち、冒頭に述べた太陽風を含む宇宙線に起因するシングル・イベント・トランジェント(SET)効果による回路誤動作が、極限まで微細化したLSIを使用している地上のワークステーションやサーバでも無視できない頻度で発生している事が明らかになった。

2. 研究の目的

本研究は、宇宙用の耐放射線性を具えたシステムLSIを設計するための基盤技術を開発する事を目的とする。組み合わせ論理回路、インバータ・チェーンを用いてシングル・イベント・トランジェント(SET)効果のシミュレーション技術を検討する。CVSL、二重ラッチ、多重冗長方式によるSET耐性を改善するための回路方式を検討する。CMOSプロセスによりチップ試作を行い、試作回路を用いてビーム照射によりSET実験を行う。通常のLSIの高速化高集積化に採用されている極限微細化は耐放射線性を低下させるため、高速ゲート、ニューロンデバイス導入により、極限微細化に起因する耐性劣下を回避し、高速化及び高集積化を図る。

3. 研究の方法

これまでのLSI技術発展の指導原理はトランジスタの比例縮小則(スケールリング)に従った高速化、高集積化であった。極限微細化から派生するノイズマージン低下、リーク電流増大、ホットキャリア効果、ラッチアップ、などの信頼性低下に加えて、宇宙用LSIではSET耐性の劣化が微細化により加速された。

本研究では、宇宙用SET耐性強化システムLSIを実現するために、システムLSIにおけるSET効果のシミュレーション技術と試作したLSIに対するビーム照射によるSET実験を通して、宇宙用耐放射線性

高速高集積システムLSIを設計するための基盤技術を開発する。SET耐性強化検討のために、組み合わせ論理回路、インバータ・チェーン、順序論理回路をシミュレーションと試作チップ実測のモチーフ回路として用いる。

シングル・イベント耐性強化のため、カスケード電圧スイッチ論理(CVSL)回路、二重ラッチ回路、などの多重系回路に関する検討とマイクロプロセッサ、メモリ、ロジック等の機能回路への組み込みに関する検討を行う。

多入力CMOS基本論理ゲートの回路動作速度の入力信号印加端子位置依存性に着目した高速化により微細化による高速化の限界を打ち破る。論理ゲート記号上等価な多入力論理回路の入力において、物理的な位置が異なる入力の間での回路応答速度の入力端子依存性を考慮したゲートレベルの高速化により、微細化のみによる高速化限界を克服する。

フローティング・ゲートとこれに容量結合された複数の入力ゲートにより、ゲートレベルでの入力の荷重和を計算しその結果に基づきトランジスタのオン・オフを制御する、高集積化が可能なニューロンMOSトランジスタを用いる事により、微細化による集積回路の高集積化・高機能化の限界を打破する。抵抗と従属電源を組み合わせたマクロモデルによるオリジナルな、ニューロンMOS回路のシミュレーション・アルゴリズムによりCMOS回路とニューロンMOS回路の整合したSPICE解析を行う。

4. 研究成果

宇宙用耐放射線システムLSIの実現を目指して、先ず、組合せ論理回路チェーンを検討の中心にして、チップ試作とレーザ・ビーム照射実験の検討を含め、そのシングル・イベント・トランジェント(SET)耐性強化の検討を重点的に進めた。

SET効果に対するシミュレーション技術を、チップ試作により動作確認に成功した3種類のチェーン回路に適用し、スタティック形カスケード電圧スイッチ論理(CVSL)回路と研究代表者が新規に提案したクロック形CVSL(C²VSL)回路を従来の複合ゲートCMOS回路と比較して、スタティックCVSLは2桁以上の、C²VSLは1桁以上のSET耐性がある事を明らかにした。

更に、新規に、選択的にメタル・カバーした基本論理ゲートと検出回路を具えたテスト回路の設計試作を行い、光誘起電流による回路誤動作の検討のためのレーザ・ビーム照射予備実験を行った。

また、C²VSL回路とCVSL回路により既存のCMOS回路を置き換える事が可能である事を実証するため、C²VSL回路とCVSL回路により、演算回路の代表である全加

算器と半加算器を設計試作して、試作チップの実測により、それぞれの回路の機能動作の確認に成功した。

「耐シングル・イベント・トランジェント (SET) 回路の研究」の結果を踏まえて、カスケード電圧スイッチ論理 (CVSL) 回路、オリジナルのクロック形 CVSL (C²VSL) 回路、及び CMOS 回路などの SET 耐性に関するデータの蓄積を行った。

同時に、新規に提案している選択的にメタル・カバーを施した、基本論理ゲートと検出回路、組み合わせ論理回路と検出回路、組み合わせ論理回路によるチェーン回路と検出回路、及び CMOS スタティック RAM セルを設計試作して、試作チップに対するレーザー・ビーム照射実験を行った。

更に、耐放射線性を劣化させる極限微細化による高集積化ではなく、フローティング・ゲートと、これに容量結合された複数の入力ゲートを持ち、ゲートレベルでの全入力の荷重和を計算し、その結果に基づきトランジスタのオン・オフを制御するニューロン MOS トランジスタを用いた回路に対する SET 耐性をシミュレーションで検討した。ニューロン MOS 集積回路の設計アルゴリズムを発展させて、放射線環境において動作可能なニューロン MOS 回路を設計するための研究を行った。

シングル・イベント・トランジェント (SET) 耐性を強化した組み合わせ論理回路、インバータ・チェーン回路、基本順序論理回路の 2 次設計、2 次試作を行った。

0.18 マイクロメートル CMOS 回路へのステップとして、0.4 マイクロメートル CMOS プロセスによる設計も行った。0.4 マイクロメートル CMOS 回路、0.18 マイクロメートル CMOS 回路のためのレイアウト関連データの蓄積を図った。0.4 マイクロメートル CMOS プロセス、0.18 マイクロメートル CMOS プロセスに関するパラメータを抽出し、回路シミュレーションを行った。また、SET 耐性強化ニューロン MOS 回路の調査を行い、宇宙用システム LSI へのニューロン MOS 導入の課題を明らかにした。

50 段 8 入力 NAND ゲート CMOS チェーン回路を 0.18 マイクロメートル CMOS プロセスにより設計して、SET 耐性の入力端子位置依存性を明らかにした。50 段 8 入力 NOR ゲート CMOS チェーン回路を 0.18 マイクロメートル CMOS プロセスにより設計して、SET 耐性の入力端子位置依存性を明らかにした。0.18 マイクロメートル CMOS プロセスにより CVSL 回路と C²VSL 回路を設計して、従来の CMOS 回路より SET 耐性が優れていること

を明らかにした。

5. 主な発表論文等

〔論文〕(計 9 件)

- (1) H. Hatano, "SET immune spaceborne CVSL and C²VSL circuits", Journal of Electrical and Control Engineering, vol. 3, no. 5, pp. 43 - 48, 2013.
- (2) H. Hatano, "A CMOS SRAM test cell design using selectively metal-covered transistors for a laser irradiation failure analysis", IEICE Trans. Electronics, Vol. E95-C, no.11, pp. 1827 - 1829, 2012.
- (3) H. Hatano, "A proposition on test circuit structures using selectively metal-covered transistors for a laser irradiation failure analysis", Proceedings of the IEEE International Conference on Microelectronics Test Structures, pp.77 - 81, 2012.
- (4) H. Hatano, "Novel test circuit structures using selectively metal-covered transistors for a laser irradiation upset analysis", Proceedings of the 12th European Conference on Radiation Effects on Components and Systems, pp. 458-462, Sevilla, 2011.
- (5) H. Hatano, "A fundamental analysis of single event effects on clocked CVSL (C²VSL) circuits with gated feedback", IEICE Trans. Electronics, vol. E94-C, no. 6, pp.1131- 1134, 2011.
- (6) H. Hatano, "Single event effect analysis on C²VSL circuit with gated feedback", Proceedings of the 11th European Conference on Radiation Effects on Components and Systems, PF-1, pp.1-4, Langenfeld, 2010.
- (7) H. Hatano, "A single event analysis on static CVSL exclusive-OR circuits," IEICE Trans. Electronics, vol. E93-C, no. 9, pp. 1471- 1473, 2010.
- (8) H. Hatano, "Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits", Proceedings of the 10th European Conference on Radiation Effects on Components and Systems, pp. 131-135, Bruges, 2009.
- (9) H. Hatano, "Single event effects on static and clocked cascade voltage switch logic circuits", IEEE Trans. Nuclear Science, vol.56, No.4, pp. 1987-1991, 2009.

〔学会発表〕(計 6 件)

- (1) H. Hatano, "A simulation-based re-examination of single event transient pulse propagation failures in NOR/NAND devices," 24th European

- Symposium on Reliability of Electron Devices, Failure Physics and Analysis, Oct. 2013.
- (2) H. Hatano, “A proposition on test circuit structures using selectively metal-covered transistors for a laser irradiation failure analysis”, Proceedings of the IEEE International Conference on Microelectronics Test Structures, pp.77 – 81, 2012.
 - (3) H. Hatano, “ Novel test circuit structures using selectively metal-covered transistors for a laser irradiation upset analysis ” , Proceedings of the 12th European Conference on Radiation Effects on Components and Systems, pp. 458-462, Sevilla, 2011.
 - (4) 波多野 裕, ” シングル・イベント耐性強化宇宙用 CVSL 及び C²VSL 回路 ”, 電子情報通信学会 再生可能集積システム時限研究会, 信学技報 RIS11-8, pp.1-6, 2011.
 - (5) H. Hatano, “ Single event effect analysis on C²VSL circuit with gated feedback “, Proceedings of the 11th European Conference on Radiation Effects on Components and Systems, PF-1, pp.1-4, Langenfeld, 2010.
 - (6) H. Hatano, “ Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits“, Proceedings of the 10th European Conference on Radiation Effects on Components and Systems, pp. 131-135, Bruges, 2009.

6 . 研究組織

(1)研究代表者

波多野 裕 (HATANO, Hiroshi)
静岡理科大学・理工学部・教授

研究者番号 : 80238013