

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 6月16日現在

機関番号：11401

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21560382

研究課題名（和文）次世代ネットワークインフラ構築のための高速パケットスイッチ構成技術の研究

研究課題名（英文）Research for a design of high-speed packet switch for next-generation networks

研究代表者

小原 仁（OBARA HITOSHI）

秋田大学大学院・工学資源学研究科・教授

研究者番号：50344768

研究成果の概要（和文）：次世代ネットワーク向け大容量ルータのスイッチング・エンジン部に用いられる固定長セル交換機（ATM スイッチ）に関し，スイッチ形式として入力バッファ方式を対象に，筆者らが独自に提案した出力ポートにおける送信時刻の予約制御方式により従来方式を上回るスイッチ効率を実現した。また，従来の入力バッファ方式で用いられるクロスバースイッチに代わり，スイッチ規模の小さいベネススイッチを適用するため，並列ハードウェアを用いた高速制御回路を実現した。

研究成果の概要（英文）：

A new design of high-performance ATM switch, which serves as a switching engine of large capacity routers for next generation networks is described. We have proposed a novel scheduling algorithm for input-queued ATM switches, which reserves transmission time of cells at output ports unlike conventional scheduling algorithms that reserve only present time at output queue and have shown through simulations that our algorithm can overcome conventional scheduling algorithms such as iSLIP. We have also shown a new design of high-speed switch control circuit for Benes switches, which can replace conventional crossbar switches used in input-queued switches for their reduced switch complexity.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	600,000	180,000	780,000
2010年度	1,100,000	330,000	1,430,000
2011年度	1,500,000	450,000	1,950,000
年度			
年度			
総計	3,200,000	960,000	4,160,000

研究分野：通信ネットワーク，スイッチ網

科研費の分科・細目：電気電子工学，通信・ネットワーク工学

キーワード：次世代ネットワーク，大容量ルータ，ATM スイッチ，スケジューリング制御

1. 研究開始当初の背景

インターネットのトラヒックは，サービスの高速化および多様化とユーザ数の増大などに起因して年々上昇する傾向にある。そのトラヒックが集中するコアネットワークに

おいてはルータの更なる大容量化が必要である。ルータの心臓部とも言える高速パケットスイッチ部には高速動作に適したATMスイッチが採用されてきた。中でも，大容量化に最も適するのはスイッチ回路規模が小

さく、スイッチサイズが増えても動作速度の上昇の問題がない入力バッファ方式である。しかし、その従来方式において、高速動作に適した最も簡単な制御方法（3フェーズアルゴリズム）を採用した場合、スイッチ効率が約半分に劣化するという問題があった。これはスイッチ部のコストが約2倍となることを意味しており、経済性から致命的な問題である。

このため、入力バッファスイッチについては、そのスイッチ効率を高めるため多くの研究が世界的な規模でなされてきた。その代表例であるiSLIPは1セル時間に多数回の複雑な制御を必要とし、スイッチ制御動作の高速化の限界から実現可能なスイッチ容量が小さく抑えられるという二律背反（トレードオフ）の問題があった。

また、入力バッファスイッチは、入力ポート側にキューイング用のバッファを配置する方式であり、そのバッファと出力ポート間はクロスバー型の空間スイッチで結合する構成であった。このクロスバースイッチはポート数の2乗に比例してスイッチ規模が増大する性質があり、スイッチの大規模化のネックとなっていた。

この問題はクロスバースイッチを回路規模が最少となるベネススイッチで置き換えることにより解決できる。しかし、ベネススイッチはスイッチ設定処理時間が、ポート数を N とすると $O(\log M)$ で増大するため、制御時間がネックとなって大規模なスイッチが実現できないという問題があった。ATMスイッチでは1セル時間内に入出力間の接続要求処理を実現する必要があるためである。

この問題を解決する方法としてメッシュ接続された並列制御によりスイッチ制御を高速化する制御方式が従来、提案されてきた。しかし、その制御回路規模は N^2 で増大するため、今度は制御回路規模がネックとなってスイッチ規模の拡大が制限される新たな問題が発生し、その問題は未解決のままであった。

2. 研究の目的

本研究は、以上で述べた従来に入力バッファ型ATMスイッチの2つの主要な問題点を解決する技術の開発を目的とする。すなわち、下記の2点である。

- (1) 高効率で、かつ高速制御に適したスケジューリング制御方式の開発
- (2) ベネススイッチの並列制御回路の小型化を可能とする回路構成技術の開発

3. 研究の方法

本研究では上記の2つの目的に対して、そ

れぞれ下記のアプローチを試みる。

- (1) 出力ポートにおける送信時刻予約制御方式（レシプロカル・スケジューリング）の導入

従来のスケジューリング制御方式は、筆者らが知る限り、出力ポートの現在時刻のみを対象として入力ポートからの送信時刻を調整する方式である。本研究では、これを出力ポートの未来時刻まで拡張することを提案する。以後、この提案方式をレシプロカル・スケジューリング (RS) と呼ぶ。たとえば、 N セル時間だけ未来の時刻まで予約制御を拡張すると、処理時間を N セル時間まで延ばすことが可能になり、制御時間に対する要求条件が大幅に緩和できる。この提案方式の動作確認および性能評価をシミュレーションで実施する。

- (2) ベネススイッチの並列制御回路

従来の並列制御回路の基本構成は、それぞれがCPUなどを有する N 個の制御エレメントをメッシュ状に接続するものであり、それをさらに高速化するためには多段のパイプライン構成とする必要があった。本研究では従来のCPU制御に代わり、ワイアードロジックによる並列ハードウェア制御回路を用いる。これにより、必要最小限の回路規模でよく、また高速動作が可能となる。また、従来のメッシュ接続に代わり、バス接続を適用することにより配線の簡易化を図る。これらの回路構成を前提として、それに適した制御アルゴリズムを新たに設計し、その回路規模および動作特性を実験的に評価する。

- (3) 縮退型クロスバースイッチの理論的な検討

前述のクロスバースイッチの回路規模の増大に対し、そのスイッチ回路の一部を削除した縮退型構成を考える。この方法により、 N^2 の回路規模を $(N^2 - 3)$ 個に削減できることが知られている。本研究ではスイッチ構成原理の理論的な側面から、スイッチ回路の一部をさらに削減することを試みる。一般に、スイッチ回路を削減すると、スイッチ制御は複雑化する傾向があり、そのトレードオフ関係を定量的に評価する。この研究は、純粋にスイッチ構成理論の面からの検討であり、実用面というよりも学術面での寄与を第一に検討する。

4. 研究成果

- (1) レシプロカル・スケジューリング制御方式 (RS) の提案

本研究で提案する入力バッファ型スイッチの外観を図1に示す。入力バッファ部、クロスバースイッチ部は従来と同じであるが、制御部 (RS) は入力バッファごとに独立して設置され、かつ隣り合う制御部間で予約データを転送するために全体をリング状に構成

する。

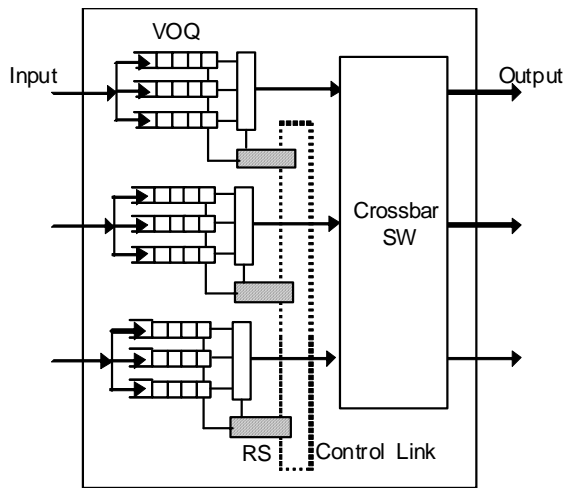


図1. 提案するスイッチ構成

本研究で提案する出力の予約テーブルは、図2に示すように出力ポート番号を共通キーとし、送出時刻を並べた構成とする。この構成でパイプライン動作をさせるためには、ある一定のプライオリティに基づいて送出時刻をシフトさせる処理が必要となるが、この点の詳細については割愛する（詳細については発表論文を参照のこと）。

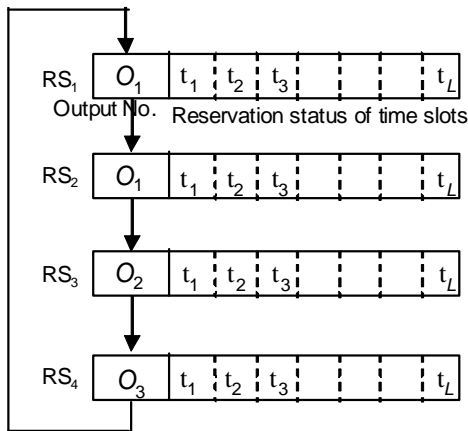


図2. 予約データの構成

以上のスイッチ構成において、スイッチサイズ $N=16$ 、ランダム到着、ユニフォームな宛先分布の条件でトラフィック負荷・平均遅延時間特性の一例を図3に示す。出力バッファ方式 (Output) が理想的な特性 (遅延時間特性の理論的な下限) を示す。従来の3フェーズ方式 (FIFO), スケジューリング方式 (S制御), iSLIP に対して、提案方式の特性を予約テーブルの長さ (ML) をパラメータとして示した。図3より提案方式は低負荷ではパイプライン制御を行うため、固定的な遅延時間を発生するが、それは無視できる大きさで

ある。一方、高負荷においては iSLIP と同等以上の性能を実現した。ここで、iSLIP はセル時間を1と正規化した場合、制御速度は16であり、一方、RS方式は制御速度が1であることに注意されたい。すなわち、提案方式は制御速度の大幅な低速化が可能である。

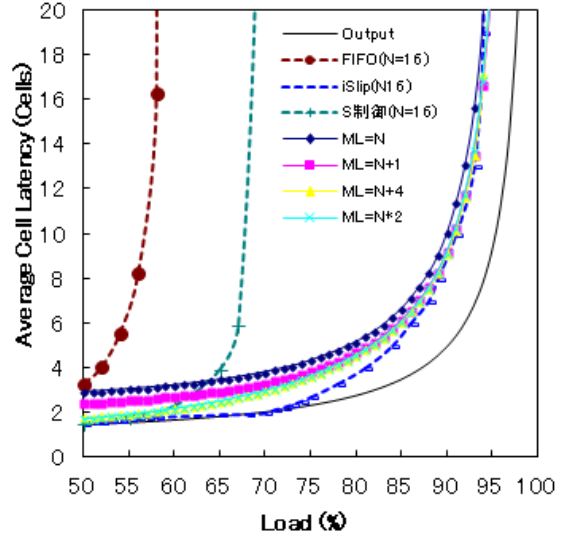


図3. シミュレーション結果

(2) ベネススイッチの並列制御回路の小型化を可能とする回路構成技術

本研究で提案するベネス網の並列制御回路の全体ブロック構成を図4に示す。図の上半分が実際にセル情報が通過するデータパスを示し、した半分がセルの宛先情報に基づいてスイッチの設定情報を生成する制御部である。このスイッチ制御部は複数の並列ワイヤードロジック (PE) で実現され、かつパイプライン構造をとる。パイプラインの各段はユニット化された構造となっており、そのユニット数は1, 2, 4, 8...と2のべき乗で増大する。また、各ユニットに含まれる PE 間はバス接続されている。以上の構成から、回路規模が小さく、高速制御が可能となる。

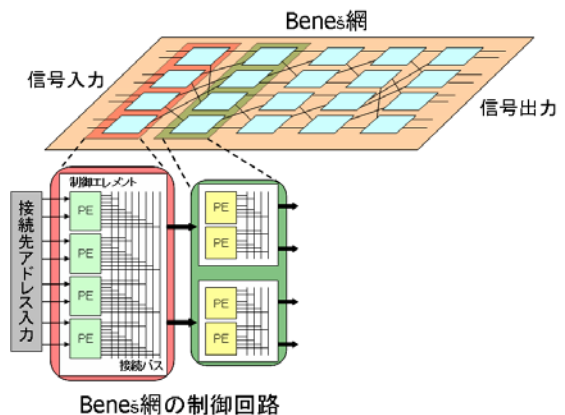


図4. 提案するベネス網の制御回路の構成

1つのPEの内部ブロック構成を図5に示す。ここで各ブロックの機能は以下の通りである。

①リンク作成部：宛先が対の関係にあるアドレス入力的位置を検出する。この処理はバスのブロードキャスト性を利用して実現する。この処理結果からスイッチ接続パターンの異存関係が確立する。ワイアードロジック化されたことにより実質的に $O(1)$ の処理時間で実現できる。

②代表エレメント決定：リンク関係にある一連のPEの集合において、初期値を与える代表エレメントを、そのエレメント番号の最大値に基づいて決定する。この処理は、リンク接続されたPEのチェーンにおいて、互いに隣り合うPE間で、それらのPE番号を交換し、大小比較演算を行うことで実現される。また、全体としてトーナメント方式で代表が決まるため、スイッチサイズを N とすると $\log N$ の処理時間で実現できる。

③スイッチ決定：代表エレメントを起点として、リンク関係に従ってスイッチ状態を決定する処理であり、ワイアードロジック化されたことにより実質的に $O(1)$ の処理時間で実現できる。

以上より、全体としての制御時間は $O(\log N)$ の処理時間となり、従来の直列処理の $N \log N$ および並列処理の $(\log N)^2$ に比べて大幅に高速できる。これまで、図4および図5に示した回路を市販のFPGAを用いて実現し、nsオーダーの処理時間が達成できることを実験的に明らかにした。

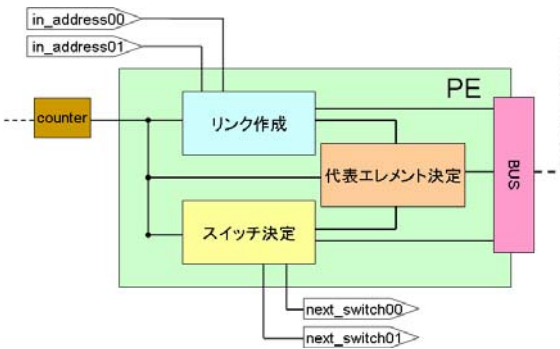


図5. 提案するPEのブロック構成

(3) 縮退型クロスバースイッチの理論的な検討

従来、クロスバースイッチの回路規模を削減する研究は継続的に行われてきた。それらは縮退型クロスバースイッチと呼ばれている。最も簡単な構成はスイッチ規模が $(N^2 - 3)$ で与えられる。従来の三角スイッチも縮退型クロスバースイッチの一種と考えられ、その回路規模は $N(N-1)/2$ で与えられる (約 $N^2/2$)。ただし、三角スイッチ

は再配置ノンブロック型のスイッチであり、最大再配置数はその上限値である $(N-2)$ に達する。一方、クロスバースイッチは再配置を必要としない (再配置数 = 0)。このような観察から、筆者らはクロスバースイッチ (N^2) と三角スイッチ ($N^2/2$) の中間の規模となる四分の三型スイッチ (TQ-SW) を新たに提案した。その構成を図6に示す。このスイッチの回路規模は約 $(3N^2/4)$ で与えられる。なお、四分の三型スイッチを起点として、その一部分を再帰的に小さい規模の四分の三型スイッチで置き換えることにより多数のバリエーションが導出できる。図7には横軸に、その置き換えの回数を示し、スイッチ回路規模を左の縦軸に、再配置数を右の縦軸に示す。この結果から、スイッチの回路規模と再配置数の間にはトレードオフ関係があることがわかる。

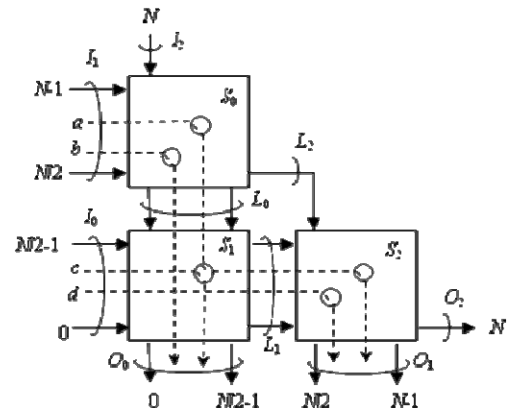


図6. 提案する縮退クロスバースイッチ

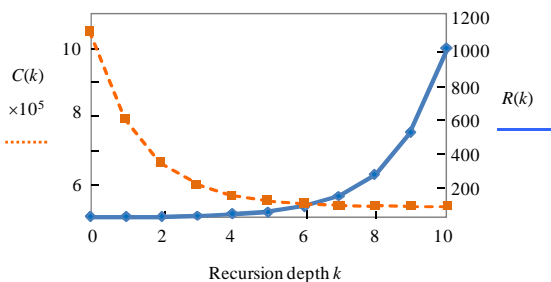


図7. 縮退型スイッチの回路規模と再配置数の関係

四分の三型スイッチ構成の原型は、筆者らが2008年に提案したものである。しかし、その再配置の手順や、その制御の複雑さ、再配置数の導出などに一部、不明な点が残されていた。本研究期間ではそれらの問題点をクリアし、体系的にまとめ直した。この結果は現在、外部発表の準備中であるが、この研究分野の学問的な体系化に寄与できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

① Kai, Y.; Hamada, K.; Miao, Y.; Obara, H. :
“Design of partially-asynchronous parallel processing elements for setting up Benes networks in $O(\log N)$ time”, International Conference on Photonics in Switching, 査読あり 2009 年

② Obara, H. : ”Extended class of reduced crossbar switches”, International Conference on Advanced Technologies for Communications, 査読あり, 2009

[学会発表] (計 4 件)

① 小原仁 : $O(\log N)$ の処理時間を有するベネス網の並列制御回路の設計, 電子情報通信学会, 通信方式研究会, 査読なし, CS2009-14, 2009

② 木野良祐, 加藤陽介, 小原仁, 入力バッファ型 ATM スイッチのハイライン化スケジューリング制御アルゴリズムの高速化, 電気関係学会東北支部連合大会, 査読なし, 2010

③ 市村英也, 加藤陽介, 小原仁 : Benes 網の並列制御回路における代表決定処理の高速化, 平成 23 年度電気関係学会東北支部大会, 査読なし, 2011

④ 小原仁, 木野良祐 : 入力バッファ型 ATM スイッチにおける送出予約制御方式, 電子情報通信学会技術研究報告, 査読なし, EMD-111, 2011

[産業財産権]

○取得状況 (計 2 件)

①

名称 : Multistage switch control circuit

発明者 : 小原仁, 坂田真人

権利者 : 秋田大学

種類 : 特許

番号 : W02008/081745

取得年月日 : 2011 年 11 月 15 日

国内外の別 : 国外

②

名称 : 多段スイッチの制御回路

発明者 : 小原仁, 坂田真人

権利者 : 秋田大学

種類 : 特許

番号 : 第 4904497 号

取得年月日 : 2012 年 1 月 20 日

国内外の別 : 国内

6. 研究組織

(1) 研究代表者

小原 仁 (OBARA HITOSHI)

研究者番号 : 5 0 3 4 4 7 6 8