

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 5月15日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2009～2011

課題番号：21656049

研究課題名（和文） ナビエ・ストークス方程式を差分計算する論理回路の設計

研究課題名（英文） Design of a logic circuit for finite differencing of Navier-Stokes equations

研究代表者 山本 悟 (YAMAMOTO SATORU)

東北大学・大学院情報科学研究科・教授

研究者番号：90192799

研究成果の概要（和文）：

本研究では、高効率かつ省エネルギーの数値流体力学(CFD)計算を実現するために、二次元ナビエ・ストークス(NS)方程式をフラクショナルステップ法に基づき差分計算する論理回路を設計し、これを論理回路の再構成が可能なFPGA (Field-Programmable Gate Array) デバイス上に実装した。合わせて、計算速度や消費電力を計測して従来の手法に比べて、数十倍の効率向上に成功した。

研究成果の概要（英文）：

In this study as an innovative computational method for computational fluid dynamics(CFD) to obtain the high performance and to save the electric power of computers which use the computation, a logic circuit of finite difference based on the fractional-step method solving Navier-Stokes equations was designed on the field-programmable gate array(FPGA) device in which the logic circuit can be repeatedly constructed.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	1,400,000	0	1,400,000
2010年度	800,000	0	800,000
2011年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,200,000	300,000	3,500,000

研究分野：工学

科研費の分科・細目：機械工学・流体工学

キーワード：数値流体力学

1. 研究開始当初の背景

現在、ナビエ・ストークス(NS)方程式を差分計算する手法ならびに計算コードは数多く知られている。またスーパーコンピュータを用いて大規模な流動計算が実行されている。近い将来には、ペタフロップス級スパコンも利用可能になる。しかしながら、計算の

大規模化に伴い、計算機も大規模になった結果、コンピュータの消費電力も増大した。現在設計されている計算機の演算処理装置(CPU)は汎用的に使用するため、四則演算以外の機能が大幅に増大しており、NS方程式を差分計算するには必ずしも最適な回路とは言えない。そのような背景の下、論理回路の再構成が可能なFPGA(Field-Programmable

Gate Array)を用いてNS方程式に特化した論理回路を設計することにより、既存のCPUよりも格段に効率のよいNS方程式の差分計算専用の回路、すなわちNS回路を実現できるのではないかとこの発想に至った。結果的に、NS回路を用いることで、消費電力も大幅に節約できる可能性が示唆された。

2. 研究の目的

本研究では、ナビエ・ストークス方程式を差分計算可能な専用論理回路(NS回路)を設計し、回路再構成可能デバイスFPGA(Field-Programmable Gate Array)を用いて実際に動作可能なNS回路および評価システムを試作することにより、その有効性を評価することである。

3. 研究の方法

ナビエ・ストークス方程式は差分法に基づく解法により数値的に解くことができる。本研究では、差分解法が、近傍格子点のデータに対し積和演算を行うステンシル計算の反復として表現できることに着目し、積和演算を高速に実行するための専用計算アーキテクチャを提案した。本アーキテクチャは積和演算器とローカルメモリからなる計算要素(PE)を空間方向、または時間方向に接続したアレイ構成に基づいており、データ並列計算とパイプライン動作によりサイクルあたり多数の積和演算を実現する。本アレイは2次元のメッシュトポロジにより接続されていることに加え、PEのローカルメモリに一旦データをロードすればそれぞれが独立して読み書き可能であるため、アレイ規模に比例した計算性能を有している。

本研究では、以上のアーキテクチャに基づき2種類のNS回路を設計し、実際にIEEE754単精度浮動小数点演算が可能なシステムを試作した。一つはシストリック計算メモリアレイ(SCMA)と呼ぶもので、 $N \times M$ の規模のアレイをFPGA上に実装した。アレイの規模は実装に用いるFPGAにより変化する。SCMAはプログラムにより計算内容を変更でき、様々なステンシル計算を実行可能である。また、計算性能に対するスケーラビリティを確保するため、複数のFPGAを相互接続するためのシステムを設計・実装した。複数FPGA上で容易にシステムを構築可能としながらも高い実効性能を実現するため、FPGA間の時分割通信機構、局所同期・大域非同期機構を提案し、試作によりこれらの有効性を実証した。

もう一方のNS回路はスケーラブルストリーミングアレイ(SSA)と呼ぶもので、SCMAと同様にPEを $N \times M$ の2次元アレイ状に接続する点では同じ構成ではあるが、データをロー

カルメモリに留めずに外部メモリから読み出したデータをアレイに絶えず流し続けるストリーム計算を行う点で特徴である。SSAもプログラムにより計算内容を変更できるが、ベンチマーク計算として2次元のヤコビ法計算を実行可能な複数FPGAシステムを設計・試作した。このシステムは 8×12 の規模のアレイを有するFPGAを9つ直線的に接続したものであり、限られたメモリ帯域に対して非常に高い計算性能を実現できる。また、FPGAによるカスタム計算機の電力効率を評価するため、計算時の消費電力を測定し、電力性能比を求めた。

これらの他に、ストリーム計算におけるデータ転送速度を向上させ実効性能を高めることを目的とし、リアルタイム可逆数値データ圧縮ハードウェアの設計を行った。数値計算におけるデータの連続性に着目し、ハードウェア化に向き高スループット動作が期待できる可逆圧縮アルゴリズムを提案した。実際の計算データにより、本アルゴリズムの圧縮率を評価した。また、ストリームデータを入力可能な圧縮ハードウェアの基本設計を行い、FPGA実装の場合の動作周波数および回路面積を評価した。

4. 研究成果

複数FPGAによるSCMAの試作実装により、FPGA数に比例したステンシル計算が可能であることを実証した。特に、非圧縮流体の数値計算手法であるフラクショナルステップ法に基づく2次元計算を用いてベンチマークを行い、アレイを増大させた場合でも、9割近い演算器稼働率を維持したまま効率良く計算性能を向上可能であることを示した。FPGAによる計算結果はソフトウェアによる計算結果の誤差についても評価を行い、ほぼ同一の結果が得られることを確認している。

また、複数のFPGAからなるシステムのためのFPGA間の時分割通信機構、および局所同期・大域非同期機構が正しく動作し、SCMAの大規模実装においてFPGA単位でのモジュール化が可能であることを示した。また、SCMA上で行う並列計算は、当初は人間が苦勞してプログラムを行っていたが、この労力を軽減するためステンシル計算専用言語とその簡便なコンパイラを設計し、動作することを確認した。これらの成果は査読有の論文や国内外の学会で発表されている[1, 2, 4, 7, 8, 12, 15]。

SSAについては、9つのFPGAを用いて1100段のパイプライン動作を行うシステムを実装し、これが正しく動作することを確認した。実際に2次元熱伝導問題を計算し、ソフトウェアによる計算結果との比較により正しい

計算が行われていることを確認している。また、このシステムの外部メモリは僅か 2GB/s の帯域しかないにも関わらず、1100 段のパイプライン動作を実現する反復ステンスル計算の時空間スケジューリング手法により、9 つの FPGA で 260GFlop/s もの高性能を実現できた。これは、近年問題となっている汎用計算機のメモリウォール問題に対する解決法の一つといえるものである。

また、SSA の消費電力を測定したところ、1W あたり 1.3GFlop/s の計算性能を達成していることが明らかとなった。演算が単精度浮動小数点のため一概に比較はできないが、同世代の半導体プロセスにより製造された他の汎用プロセッサと比べ、高い電力性能比を達成できることを示した。これは、元々 ASIC などの VLSI 実装と比べ電力消費のオーバヘッドが大きな FPGA を用いても、回路のカスタム化に効率の高い数値計算を実現できることを意味している。これらの成果は査読有の論文や国内外の学会で発表されている [5, 6, 9, 10, 14]。

最後に、ストリームデータストリームを圧縮しメモリの実効帯域を向上させるハードウェアに関しては、提案する可逆圧縮アルゴリズムが実際の流体計算データに対し 3.5 倍程度の圧縮率を実現できることをソフトウェアエミュレーションにより確認した。これは、データ圧縮により帯域を 3.5 倍程度に向上できる可能性を示している。また、本アルゴリズムが用いている 1 次元の多項式予測計算を小さな回路かつ高スループットで実現するための予測器回路を設計し、その評価を行った。この結果、予測の複雑さには依存するものの、FPGA 上での実装の場合でも、150MHz 以上の高速動作が可能であること、また FPGA のハードウェアリソースの僅か 0.3% 未満で実装できることが明らかとなった。これらの結果より、小さな回路面積の消費でデータストリームを圧縮し実効帯域を向上可能であるとの見積もりが得られた。これらの成果は査読有の論文や国内外の学会で発表されている [3, 11, 13, 16, 17]。

以上の成果は、FPGA によるカスタム回路として設計した NS 回路により、高性能かつ低消費電力でナビエ・ストークス方程式の数値解をえるための計算が行えることを示すものであり、また計算のみならず、データ移動の性能もデータ圧縮カスタム回路により向上可能であるとの知見が得られた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 7 件)

1. Wang Luzhou, Kentaro Sano and Satoru Yamamoto, "Domain-Specific Language and Compiler for Stencil Computation on FPGA-based Systolic Computational-Memory Array," Proceedings of the International Symposium on Applied Reconfigurable Computing (ARC2012), March, pp.26-39, 2012. 査読有
2. Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Domain-Specific Programmable Design of Scalable Streaming-Array for Power-Efficient Stencil Computation," Computer Architecture News Special Issue for the proceedings of the International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART), vol.39, no.4, pp.44-49, September, 2011. 査読有
3. Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Scalable Streaming-Array of Simple Soft-Processors for Stencil Computations with Constant Memory-Bandwidth," Proceedings of the 19th Annual IEEE Symposium on Field-Programmable Custom Computing Machines (FCCM2011), vol.1, pp.234-241, May, 2011. 査読有
4. Wang Luzhou, Kentaro Sano and Satoru Yamamoto, "Local-and-Global Stall Mechanism for Systolic Computational-Memory Array on Extensible Multi-FPGA System," Proceedings of the International Conference on Field-Programmable Technology (ICFPT2010), vol.1, pp.102-109, December, 2010. 査読有
5. Kazuya Katahira, Kentaro Sano and Satoru Yamamoto, "FPGA-based Lossless Compressors of Floating-Point Data Streams to Enhance Memory Bandwidth," Proceedings of the International Conference on Application-specific Systems, Architectures and Processors (ASAP), vol.1, pp.246-253, July, 2010. 査読有
6. Kentaro Sano, Wang Luzhou and Satoru Yamamoto, "Prototype Implementation of Array-Processor Extensible over Multiple FPGAs for Scalable Stencil Computation," Computer Architecture News Special Issue for the proceedings of the International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART), vol.38, no.4, pp.80-86, September, 2010. 査読有

7. Kentaro Sano, Wang Luzhou, Yoshiaki Hatsuda, Takanori Iizuka and Satoru Yamamoto, "FPGA-Array with Bandwidth-Reduction Mechanism for Scalable and Power-Efficient Numerical Simulations based on Finite Difference Methods," ACM Transactions on Reconfigurable Technology and Systems (TRETs), Vol. 3, No. 4, Article No. 21, (35 pages), 2010. 査読有

[学会発表] (計 10 件)

1. Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Performance Evaluation of FPGA-based Custom Accelerators for Iterative Linear-Equation Solvers," Proceedings of the 20th AIAA Computational Fluid Dynamics Conference, Convention Center in Waikiki, Hawaii, USA, June 27, 2011.
2. 佐野 健太郎, 片平 和也, 山本 悟, "浮動小数点データ圧縮ハードウェアのための複数ストリーム符号化方式," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, Vol.110, No. 362, pp.111-116, 横浜市港北区日吉慶應義塾大学, 2011年1月18日.
3. 片平 和也, 佐野 健太郎, 山本 悟, "格子ボルツマン法専用計算機に用いる数値データ圧縮ハードウェアの設計と評価" 第24回数値流体力学シンポジウム講演論文集, CDROM(paper no. B1-4, 6 pages), 横浜市港北区日吉慶應義塾大学, 2010年12月20日.
4. 王陸洲, 佐野健太郎, 山本 悟, "差分法に基づく数値シミュレーション高速化のための大規模FPGAアレイ," 第24回数値流体力学シンポジウム講演論文集, CDROM(paper no. B1-5), 横浜市港北区日吉慶應義塾大学, 2010年12月20日.
5. 佐野 健太郎, 初田 義明, 金澤 慧, 山本 悟, "低帯域メモリで高性能反復計算を実現するスケーラブルカスタムパイプラインアクセラレータ," 第24回数値流体力学シンポジウム講演論文集, CDROM(paper no. B1-3, 5 pages), 横浜市港北区日吉慶應義塾大学, 2010年12月20日.
6. 佐野 健太郎, 片平 和也, 山本 悟, "メモリ帯域向上のための浮動小数点データストリームロスレス圧縮ハードウェア," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, Vol. 110, No. 204, pp. 37-42, 浜松市静

岡大学, 2010年9月17日.

7. 王陸洲, 佐野健太郎, 山本悟, "複数FPGA上で動作するスケーラブルアレイプロセッサのためのGALS設計," 電子情報通信学会リコンフィギャラブルシステム研究会信学技法, 長崎県長崎市伊王島やすらぎ温泉, Vol.110, No. 32, pp. 69-74, 2010年5月14日.
8. 片平 和也, 佐野 健太郎, 山本 悟, "数値データ圧縮ハードウェアによる格子ボルツマン法専用計算機のメモリ帯域向上に関する一考察," 第23回数値流体力学シンポジウム講演論文集, CDROM(paper no. E3-2, 5 pages), 仙台市市民会館, 2009年12月16日.
9. 初田 義明, 佐野 健太郎, 山本 悟, "反復解法のストリーム実行のためのパイプライン型専用計算機に関する一検討," 第23回数値流体力学シンポジウム講演論文集, CDROM(paper no. E3-1, 5 pages), 仙台市市民会館, 2009年12月16日.
10. 王陸洲, 佐野健太郎, 初田義明, 飯塚尊則, 山本悟, "差分法専用計算機におけるFPGA間時分割通信機構の遅延評価," 第8回情報科学技術フォーラム(FIT)論文集, Vol.1, No. RC-011, pp. 189-196, 仙台市東北工業大学, 2009年9月4日.

[図書] (計0件)

[産業財産権]

○出願状況 (計0件)

○取得状況 (計0件)

[その他]

ホームページ等

<http://www.caero.mech.tohoku.ac.jp>

6. 研究組織

(1) 研究代表者

山本 悟 (YAMAMOTO SATORU)

東北大学・大学院情報科学研究科・教授

研究者番号: 90192799

(2) 研究分担者

佐野 健太郎 (SANO KENTARO)

東北大学・大学院情報科学研究科・准教授

研究者番号: 00323048