

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 29 日現在

機関番号：14501

研究種目：若手研究（A）

研究期間：2009～2011

課題番号：21680004

研究課題名（和文）半導体集積回路の物理パラメータに基づいたロバスト回路設計手法論の創出と実戦的応用

研究課題名（英文）Study on robust circuit design techniques based on physical parameters of semiconductor devices and its Applications

研究代表者

廣瀬 哲也（HIROSE TETSUYA）

神戸大学・大学院工学研究科・准教授

研究者番号：70396315

研究成果の概要（和文）：

本研究では、製造プロセスバラツキや温度変化によって誘起されるしきい値電圧バラツキに対して安定に動作するアナログ・デジタル集積回路設計技術を開拓した。超低電力で動作する電流源回路を構築し、オンチップしきい値電圧モニタリング回路を実現した。また、これを用いたデジタルシステムの特性補正技術を提案した。さらに、アナログ要素回路であるオペアンプとコンパレータの特性改善手法を提案した。システム応用展開を目指し、クロック源、アナログ・デジタル変換器を検討し、製造プロセスバラツキや温度変化に対して安定に動作するアーキテクチャの構築を行った。

研究成果の概要（英文）：

In this study, we developed analog and digital circuit design techniques that are tolerant to process and temperature variations. By developing ultra-low power current reference circuit, we can monitor the condition of threshold voltage of MOSFET in each LSI chip. We also proposed compensation architecture of digital circuits by using on-chip variation monitoring circuit. Moreover, we developed robust operational amplifier and comparator circuit that are fundamental analog circuit building blocks. For analog and digital signal processing systems, clock reference circuit and analog-digital converter were investigated. We demonstrated that these circuits operate robustly against process and temperature variations.

交付決定額

（金額単位：円）

| | 直接経費 | 間接経費 | 合計 |
|---------|------------|-----------|------------|
| 2009 年度 | 8,500,000 | 2,550,000 | 11,050,000 |
| 2010 年度 | 6,000,000 | 1,800,000 | 7,800,000 |
| 2011 年度 | 3,500,000 | 1,050,000 | 4,550,000 |
| 年度 | | | |
| 年度 | | | |
| 総計 | 18,000,000 | 5,400,000 | 23,400,000 |

研究分野：総合領域

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：VLSI 設計技術

1. 研究開始当初の背景

本研究の目的は、先端シリコン半導体集積回路(LSI)設計において重大かつ深刻な問題となっている製造プロセスバラツキや温度

変化による特性変動を、オンチップで自律的に動作補正ができる集積回路技術を創出することにある。LSI の特性変動は、その主構成要素である MOS トランジスタのしきい

値電圧の変動により決定される。これは、しきい値電圧が他の物理パラメータと比較して回路性能に与える影響が支配的なためである。しきい値電圧は、製造プロセスバラツキや温度変化により大きく変動し、LSI 特性を深刻に劣化させる。本研究では、これを解決するために、外的要因に起因する不可避なしきい値電圧変動を LSI 上のオンチップ回路技術により検出し、その検出信号を直接利用する動作補正技術の基盤構築を行う。特性バラツキの物理背景に基づいた動作補正アーキテクチャの創出を行うことにより、汎用性・普遍性の高い補正技術を構築することができる。本技術の適用前・後における動作理論とその効果をモデル化し、製造プロセスバラツキ・温度バラツキに対してロバストな集積回路設計論の構築を本研究の目的とする。

2. 研究の目的

半導体集積回路は、デバイス素子の微細化と低電圧化により目覚ましい発展を遂げてきた。これにより我々の周りの様々な電子機器は小型化され、高性能化・高機能化が実現されている。一方で、素子の劇的な微細化に伴い、製造プロセス技術の課題「トランジスタ特性のバラツキの問題」が顕在化している。次世代先端デバイスでは、この傾向が顕著になることが報告されており、バラツキによる特性変動を解決するための技術が強く求められている。このようなデバイス素子の特性バラツキは、製造プロセス技術の統計的確率による“揺らぎ”やその温度変化に起因する。特に、LSI の主構成要素である MOS 型トランジスタは、しきい値電圧のバラツキが電流特性を大きく変化させ、LSI 特性に深刻な影響を与える。

これまでの先行研究において、チップ内・チップ間レベルにおいて、デバイス特性変動、すなわちしきい値電圧の変動がどのようなメカニズムで発生・分布するのかを解明するモデリング研究が盛んに行われてきた。また、これを解決する為の様々なアーキテクチャ・手法が検討されてきた。しかし、いずれにしても【トランジスタ自身のバラツキの根源的な原因・要因に基づいたものではない】ため、普遍的・本質的な解決策であるとは言えない問題点がある。

そこで、本研究では半導体製造プロセスにおいて必然的に生じるしきい値電圧のグローバルバラツキに着目し、これが回路動作に及ぼす影響をオンチップで検出し、これを自律的に補正する集積回路技術の創出を行う。これにより、LSI チップ毎に、自律的かつ最適な動作補正技術の開拓を行うことが出来る。本研究では、特に、

(1) しきい値電圧のグローバルバラツキを検

出するオンチップアーキテクチャの構築

(2) ロバストアナログ集積回路アーキテクチャに向けた設計技術の構築

(3) ロバストデジタル集積回路アーキテクチャに向けた設計技術の構築

を行う。上記研究過程により、製造プロセスバラツキや温度バラツキに対してロバストな集積回路設計論の構築と実験による理論証明を行うことを研究の目的とする。

3. 研究の方法

本研究では、LSI チップ内のしきい値電圧バラツキを検出するアナログ要素回路技術ファミリの構築を行い、また、アナログ・デジタル集積回路がバラツキにより受ける影響を理論的に解明し、動作補正に向けた技術課題を明確化する。さらに、本技術の適用による補正回路技術の効果を把握・定量評価することを目標とする。また、本技術を用いた大規模集積回路応用に向けた設計技術論の構築に取り組む。特に、以下に示す 1) -4) の方法で研究を推進する。

(1) しきい値電圧の絶対精度を監視・検出するアナログ要素回路技術の確立

nMOS/pMOS トランジスタ間のしきい値電圧をオンチップで検出するアナログ要素技術の構築を行う。デジタル回路では、nMOS/pMOS トランジスタのしきい値電圧が論理反転しきい値を支配し、また伝搬遅延時間を支配する。したがって、トランジスタのしきい値電圧をオンチップで検出・利用することで、アナログ・デジタルシステムのバラツキ補正技術構築に向けた要素回路技術の構築を行う。

(2) アナログ集積回路の動作補正技術の理論検討

アナログ回路がグローバルバラツキによりどのような影響を受けるのかを理論的に解析し、動作補正アーキテクチャの構築を行う。具体的には、オペアンプを例に取り、そのバラツキ特性を利得、動作帯域周波数、消費電力の観点から評価を行う。オペアンプのバイアス(テール)電流が、しきい値電圧のグローバルバラツキに対して大きく影響を受ける。これに対して、上記 1) の要素回路を用いたバイアス制御機構を採用することで、チップ毎に変動する特性の大幅な性能改善を行う。また、その他の主要アナログ回路技術であるコンパレータ回路、電圧制御型発振器への応用検討を行う。

(3) デジタル集積回路の動作補正技術の理論検討

各種デジタル回路がグローバルバラツキ

によりどのような影響を受けるのかを理論的に解析し、動作補正回路技術の構築を行う。具体的には、基本デジタル回路としてインバータ回路を例に取り、そのバラツキによる特性変動を論理判定動作、動作遅延時間、消費電力そして電力遅延積の観点から基礎評価を行う。デジタル回路における動作補正アーキテクチャとして、nMOS/pMOS トランジスタのしきい値電圧を利用する(上記 1)。これらを用いて、電源電圧へとフィードバック制御する手法を検討する。本手法による動作補正量を理論的に把握し、最適な動作補正回路技術の構築を行う。そして、組み合わせ論理回路、順序回路への応用に向けた課題を把握する。

(4) アナログ・デジタル回路の動作補正技術の構築

上記 1-3 の検討結果を踏まえ、実デバイスによるアナログ・デジタル要素回路の動作補正アーキテクチャの構築を行う。具体的には、上記 1. の要素回路技術を利用したバイアス電圧制御機構と電源電圧制御機構の構築を行う。アナログ工学応用では、基本要素回路であるオペアンプを実デバイスに実装し、アナログ動作補正アーキテクチャの適用前後の動作特性を比較することにより評価を行う。さらに、オペアンプの各種応用回路、特にバッファ回路、AD 変換回路への応用について理論検討を行い、大規模アプリケーションに向けた基礎データを得る。また、デジタル工学応用では、インバータ回路を実デバイスに実装し動作検証を行う。インバータ回路からなる評価回路(インバータチェーン回路、リング発振器等)を例に取り、接続段数と動作特性の関係を実測評価する。さらに、デジタル動作補正アーキテクチャの適用前後の動作特性を比較することにより定量評価を行う。デジタルアプリケーション応用に向けた基礎データを得る。

4. 研究成果

超低消費電力で動作し、プロセスバラツキや温度変化に対して安定に動作し、ナノアンペアオーダーの微小電流を生成する基準電流源回路を提案した。図 1 にチップ写真を示す(図 1: CUR)。チップ試作評価より、温度特性の制御ができること、また 9.95 nA の電流を安定に生成することができることを確認した。この結果を図 2 に示す。提案手法を用いることにより温度特性制御を実現でき、その制御性は 8.57 pA/°C・bit であった。電流源回路の総消費電流は 68.1 nA を実現した。また、この電流源を用いることで、しきい値電圧のバラツキに耐性を有するバンドギャップリファレンス回路を提案した(図 1: BGR, sub-BGR)。提案回路は、抵抗を利用せずトラ

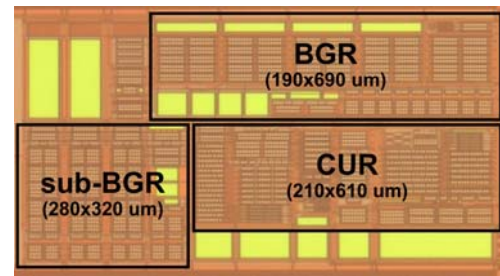


図 1 電流源回路と電圧源回路のチップ写真

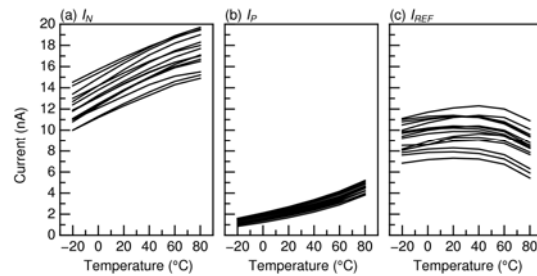


図 2 電流源回路の測定結果 (15 サンプル)

ンジスタのみで構成できる。また、先に提案した微小電流を生成可能な電流源回路を用いるため超低電力で動作させることができる。チップ試作の結果、提案回路、1/2BGR 回路が 0.21 mm², 0.22 mm² の小面積で実現することができた。測定の結果、温度範囲 -20 - 80°C で、温度特性が 215ppm/°C, 394ppm/°C の基準電圧を得ることができた。また、80°C 以上の高温での出力特性の劣化を改善するために、改良型電流源回路を提案した。これにより、-20 - 120 °C の幅広い温度範囲に対応可能であることを実測により示した。温度特性は 175ppm/°C であった。

デジタル回路システムのバラツキ耐性を向上させるための回路アーキテクチャの検討を行った。特に、電源電圧制御によるサブスレッショルド・デジタル回路の遅延バラツキ補正技術を提案した。提案した補正技術は、pMOSFET と nMOSFET のしきい値電圧の差電圧に依存する重み係数の特性を利用する。すなわち、先に提案したナノアンペア電流源回路を利用して、遅延バラツキの要因をしきい値電圧の高い MOSFET のしきい値電圧バラツキに集約してプロセスバラツキ依存性や温度依存性を補正する手法を提案した。シミュレーション評価の結果、本アーキテクチャをサブスレッショルド・デジタル回路に適用することで、対数正規分布に従っていた遅延バラツキを大幅に抑制し、正規分布に近い分布にまで抑えることが可能であることを確認した。さらに、しきい値電圧の状態に合わせて電源電圧を制御することで遅延制約を満たす最小の電源電圧を供給するため、固定電源電圧と比較してデジタル回路の消費電力削減効果を確認した。0.35- μ m CMOS プロセスを用いて試作を行い、温度を -20 - 100°C

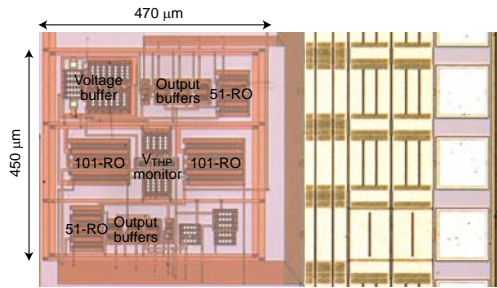


図3 デジタル回路のバラツキ補正回路のチップ写真

からまで変動させたときのリング発振器の発振周波数を測定した。そのチップ写真を図3に示す。補正なしの場合では、発振周波数は0.321 kHzから212 kHzまで大きく変化するのに対して、補正ありの場合では、発振周波数の変動が大きく抑えられ、5.26 kHzから19.2 kHzの間に分布することを確認した。提案手法を用いることでデジタル回路の特性バラツキを大幅に改善できることを確認した。

次に、アナログ要素回路であるオペアンプの特性バラツキ改善手法の検討を行った。特に、バラツキの影響を改善するために、バラツキの影響が最も大きくなる過渡動作時に着目し、このバラツキを補正するアーキテクチャを検討した。具体的には、適応バイアス電流生成回路を用いた超低消費電力オペアンプを提案した。適応バイアス電流生成回路は入力電圧をモニタし、差動対回路と適応バイアス電流生成回路のフィードバックループにより適応バイアス電流 I_{ADP} を制御する。適応バイアス電流を生成するのは入力電圧が一致しない場合のみであるため、高速かつ低消費電力で動作する。シミュレーション結果より、従来回路に対して立ち上がりスルーレートで約5倍、立ち下がりスルーレートで約7倍の高速化を確認した。図4に作成したオペアンプのチップ写真を示す。消費電流はバイアス電流50 nA、入力パルス1 kHz、0.8 V_{DD} において321.5 nAであった。また、フィードバックループとオペアンプ全体の位相余裕の評価から閉ループ系の安定性を確認した。提案手法により、オペアンプのバラツキを大幅に改善可能であることを確認した。

また、コンパレータ回路の応答速度のバラツキ補正手法を検討した。特に、提案電流源を用いた低電力化手法、および適応バイアス電流生成技術を用いた高速化によるバラツキ補正手法を提案した。提案した適応バイアス電流生成技術には、インバータ回路、スイッチトキャパシタ、そして正帰還を利用する各アーキテクチャを検討した。各提案手法は、改善した性能指標が異なり、それぞれの指標に特化した構成である。チップ写真を図5に示す。チップ測定の結果、従来回路と比較すると、提案手法のコンパレータ回路は、同バ

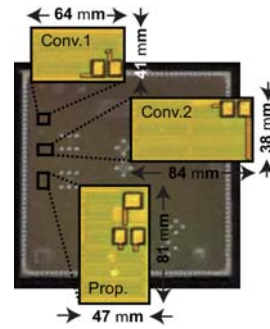


図4 超低電力 CMOS オペアンプのチップ写真

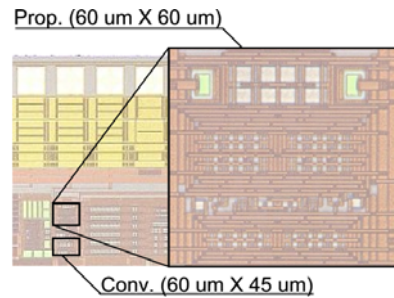


図5 適応バイアスコンパレータのチップ写真

イアス電流において最大420倍の周波数での動作、同動作周波数において85%低い消費電流での動作が可能であった。正帰還を用いたコンパレータ回路は、同バイアス電流において最大10倍の周波数での動作が可能であった。

デジタルシステムアプリケーションとして、コンパレータのバラツキ補正回路を用いた弛張発振回路を提案した。提案した弛張発振回路は、コンパレータのオフセット電圧や遅延時間バラツキといった非理理想要因を電圧信号としてキャパシタに記憶し、この電圧を利用して弛張発振動作を行うアーキテクチャを提案した。この動作を相補的に繰り返すことにより、高速、高精度なコンパレータを用いることなく、発振周波数の高精度化を実現した。SPICEシミュレーションにより提案回路の評価を行った結果、生成されるクロック信号の温度依存性は91ppm/°Cであり、電源電圧依存性は1.22%/Vであった。また、消費電力は0.85 μWであった。

さらに、アナログシステムアプリケーションとして、PVTバラツキによる影響を除去することができるシングルスロープAD変換器(SSADC)を提案した。提案アーキテクチャは入力電圧と2つのリファレンス電圧に対して、それぞれの電圧に対応する変換時間を計測する。この計測結果に対して減算と除算を行うことでAD変換動作を実現する。同一の回路を複数回用いてバラツキの評価とAD変換動作を行なうアーキテクチャを採用することにより、PVTバラツキ耐性を有するAD変換器を実現した。SPICEシミュレーションによる評価から提案アーキテクチャはコンパレ

一タの遅延時間とPVTバラツキによる影響を補正できることを確認した。

以上の研究成果より、製造プロセスバラツキや温度変化に対して安定に動作するアナログ・デジタル集積回路の設計技術開拓を行うことができた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- ① Y. Osaki, T. Hirose, K. Matsumoto, N. Kuroki, and M. Numa, "Robust subthreshold CMOS digital circuit design with on-chip adaptive supply voltage scaling technique," IEICE Transactions on Electronics, vol. E94-C, no. 1, pp. 80-88, 2011. 査読有.
- ② Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "Temperature-compensated Nano-Ampere Current Reference Circuit with Subthreshold Metal-Oxide-Semiconductor Field Effect Transistor Resistor Ladder," Japanese Journal of Applied Physics, vol. 50, no. 4, pp. 04DE08-1 - 04DE08-6, Apr. 2011. 査読有.
- ③ K. Matsumoto, T. Hirose, Y. Osaki, N. Kuroki, and M. Numa, "Subthreshold SRAM with Write Assist Technique by Using On-Chip Threshold Voltage Monitoring Circuit," IEICE Transactions on Electronics, vol. E94-C, no. 6, pp. 1042-1048, 2011. 査読有.
- ④ Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A Wide Input Voltage Range Level Shifter Circuit for Extremely Low-Voltage Digital LSIs," IEICE Electronics Express, vol. 8, no. 12, pp. 890-896, 2011. 査読有.
- ⑤ Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, "A Low-Power Level Shifter with Logic Error Correction for Extremely Low-Voltage Digital CMOS LSIs," IEEE Journal of Solid-State Circuits, 2012 (in press). 査読有.

[学会発表] (計 18 件) (総計 54 件)

- ① S. Shiga, T. Hirose, Y. Osaki, N. Kuroki, and M. Numa, "A delay control technique for low-voltage subthreshold CMOS digital circuits," The 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp.

555-559, Beppu, Japan, Mar. 9, 2012. 査読有.

- ② T. Hirose, "Ultra-Low Power and Low Voltage Circuit Design for Next-Generation Power-Aware LSI Applications," International SoC Conference 2011, pp. 24-27, Jeju, Korea, Nov. 17-18, 2011. 査読有.
- ③ K. Isono, T. Hirose, K. Tsubaki, N. Kuroki, M. Numa, "A 18.9-nA Standby Current Comparator with Adaptive Bias Current Generator," Proc. of Tech. Papers, IEEE Asian Solid-State Circuits Conference 2011, pp. 237-240, Jeju, Korea, Nov. 14-16, 2011. 査読有.
- ④ K. Isono, T. Hirose, Y. Osaki, N. Kuroki, M. Numa, "Current Compensation Circuit for Precise Nano-Ampere Current Reference," Extended abstract of the 2011 International Conference on Solid State Devices and Materials, pp. 176-177, Nagoya, Japan, Sep. 28-30, 2011. 査読有.
- ⑤ T. Nagayama, T. Hirose, Y. Osaki, N. Kuroki, M. Numa, "A 105-nW CMOS Thermal Sensor for Power-Aware Applications," 10th IEEE Conference on Sensors, pp. 1265-1268, Limerick, Ireland, Oct. 28-31, 2011. 査読有.
- ⑥ Y. Osaki, T. Hirose, N. Kuroki, M. Numa, "A Level Shifter with Logic Error Correction Circuit for Extremely Low-Voltage Digital CMOS LSIs," 37th IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 199-202, Helsinki, Finland, Sep. 12-16, 2011. 査読有.
- ⑦ C. Masuda, T. Hirose, K. Matsumoto, Y. Osaki, N. Kuroki, M. Numa, "High Current Efficiency Sense Amplifier Using Body-Bias Control for Ultra-Low-Voltage SRAM," 54th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), pp., Souel, Korea, Aug. 7-10, 2011. 査読有.
- ⑧ Y. Osaki, T. Hirose, N. Kuroki, M. Numa, "A Level Shifter Circuit Design by Using Input/Output Voltage Monitoring Technique for Ultra-Low Voltage Digital CMOS LSIs," 9th IEEE International NEWCAS conference, pp. 201-204, Bordeaux, France, Jun. 26-29, 2011. 査読有.
- ⑨ Y. Osaki, T. Hirose, N. Kuroki, M. Numa, "A 95-nA, 523ppm/C, 0.6-uW CMOS Current Reference Circuit with Subthreshold MOS Resistor Ladder," The

- 16th Asia and South Pacific Design Automation Conference, 1D-22, pp.113-114, Yokohama, Japan, Jan. 25-28, 2011. 査読有.
- ⑩ T. Hirose, K. Ueno, N. Kuroki, M. Numa, "A CMOS Bandgap and Sub-Bandgap Voltage Reference Circuits for Nanowatt Power LSIs," Proc. of Tech. Papers, IEEE Asian Solid-State Circuits Conference 2010, pp. 77-80, Beijing, China, Nov. 8-10, 2010. 査読有.
- ⑪ Y. Osaki, T. Hirose, N. Kuroki, M. Numa, "Temperature Compensated Nano-Ampere CMOS Current Reference Circuit Using Small Offset Voltage," Extended abstract of the 2010 International Conference on Solid State Devices and Materials, pp.814-815, Tokyo, Japan, Sep. 22-24, 2010. 査読有.
- ⑫ T. Hirose, Y. Osaki, N. Kuroki, M. Numa, "A nano-ampere current reference circuit and its temperature dependence control by using temperature characteristics of carrier mobilities," The 36th European Solid-State Circuits Conference, pp. 114-117, Sevilla, Spain, Sep. 14-16, 2010. 査読有.
- ⑬ Y. Osaki, T. Hirose, N. Kuroki, M. Numa, "Nano-Ampere CMOS Current Reference with Little Temperature Dependence Using Small Offset Voltage," 2010 IEEE International 53rd Midwest Symposium on Circuits and Systems, pp. 668-671, Seattle, Aug. 1st-4th 2010. 査読有.
- ⑭ K. Matsumoto, T. Hirose, Y. Osaki, N. Kuroki, M. Numa, "Write-Assisted Subthreshold SRAM by Using On-Chip Threshold Voltage Monitoring Circuit," 2010 IEEE International 53rd Midwest Symposium on Circuits and Systems, pp. 133-136, Seattle, Aug. 1st-4th 2010. 査読有.
- ⑮ T. Hirose, "Reference Circuit Design for Nano-Power Subthreshold CMOS LSIs," 2010 CMOS Emerging Technologies Workshop, (Whistler, BC, CANADA), May 2010. 査読有.
- ⑯ Y. Osaki, T. Hirose, K. Matsumoto, T. Tsujikawa, K. Tsubaki, N. Kuroki, M. Numa, "An on-chip delay compensation for nano-power subthreshold CMOS digital LSIs," Workshop on Information, Nano and Photonics Technology 2009 (WINPTech2009), P27, Dec. 2009. 査読有.

- ⑰ Y. Osaki, T. Hirose, K. Matsumoto, N. Kuroki, M. Numa, "Variation Tolerant Subthreshold Adder Design for Ultra-low Power LSIs," The 35th European Solid-State Circuits Conference, Athens, Greece, Fringe P31, Sep. 2009. 査読有.
- ⑱ K. Matsumoto, T. Hirose, Y. Osaki, N. Kuroki, M. Numa, "Switching-voltage detection and compensation circuits for ultra-low-voltage CMOS inverters," 52nd. IEEE International Midwest Symposium on Circuits and Systems, pp. 483-486, Aug. 2009. Y. Osaki, T. Hirose, K. Matsumoto, N. Kuroki, M. Numa, "Delay-compensation techniques for ultra-low-power subthreshold CMOS digital LSIs," 52nd. IEEE International Midwest Symposium on Circuits and Systems, pp. 503-506, Aug. 2009. 査読有.

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 1 件)

名称: コンパレータ回路

発明者: 廣瀬 哲也, 椿 啓志, 磯野 航輔

権利者: 神戸大学

種類: 特許

番号: 特願 2011-209587

出願年月日: 2011 年 9 月 26 日

国内外の別: 国内

○取得状況 (計 0 件)

[その他]

ホームページ等

<http://cas.eedept.kobe-u.ac.jp>

6. 研究組織

(1) 研究代表者

廣瀬 哲也 (HIROSE TETSUYA)

神戸大学・大学院工学研究科・准教授

研究者番号: 70396315