

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 18 日現在

機関番号：11301

研究種目：若手研究(B)

研究期間：2009～2011

課題番号：21700052

研究課題名（和文）細粒度自律電源制御・不揮発ロジックに基づく低消費電力 FPGA

研究課題名（英文）Low-Power FPGA Based on Fine-grained Autonomous Supply-Voltage Control

研究代表者

張山 昌論 (HARIYAMA MASANORI)

東北大学・大学院情報科学研究科・准教授

研究者番号：10292260

研究成果の概要（和文）：

半導体プロセスの微細化に伴う開発費・開発期間が増大を背景に、チップ製造後に演算器の機能、演算器間の接続をプログラムできる FPGA が注目を浴びている。しかしながら、高いプログラマビリティのために面積・消費電力が膨大となる問題がある。本研究では、演算状況に応じてルックアップテーブル(LUT)毎に、電源電圧・しきい値などを自律的リアルタイムで最適化するアーキテクチャを開拓する。また、各 LUT の使用状況を自律的に把握し、未使用時に LUT 毎にパワーゲーティングを行うアーキテクチャを開発した。

研究成果の概要（英文）：

FPGAs attract much attention since their functions and interconnection network can be reconfigured by post-fabrication programming. However, their major problem is its large area and power consumption because of their high redundancy. In this research, we develop novel architecture that can control the supply voltage and threshold voltage of each look-up table so as to minimize the power consumption under the constraint of the processing time. Moreover, we develop architecture that can gate the power when LUTs do not work.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	600,000	180,000	780,000
2010年度	1,300,000	390,000	1,690,000
2011年度	1,100,000	330,000	1,430,000
年度			
年度			
総計	3,000,000	900,000	3,900,000

研究分野：情報科学

科研費の分科・細目：計算機システム・ネットワーク

キーワード：FPGA, 非同期式回路, 不揮発メモリ, 複数電源電圧, パワーゲーティング

## 1. 研究開始当初の背景

半導体プロセスの微細化に伴う開発費・開発期間が増大を背景に、チップ製造後に演算器の機能、演算器間の接続をプログラムできる FPGA が注目を浴びている。しかしながら、高いプログラマビリティのために

面積・消費電力が膨大となる問題となっていた。LSI の消費電力は、(1) 回路が動作するさいに負荷容量の充放電により消費される「動的消費電力」と、(2) 回路が動作してない状態でも回路に流れるリーク電流に起因する「静的消費電力」に大別される。

カスタム LSI においては、動的消費電力削減のためにクロックゲーティング、DVFS(動的電源電圧周波数スケール)などの有効手法が用いられている。静的消費電力を削減するために、未使用の回路の電源をカットするパワーゲーティングが用いられている。これらの手法は、クロックネットワーク・制御回路を応用処理に応じて最適化できるカスタム LSI では効率的である。しかしながら、FPGA においては、これらの手法を適用することは難しい。その理由は、クロックネットワークのトポロジを動的に制御することは回路の誤動作につながり、また、回路の冗長性のため制御部の回路規模が大きくなり削減効果が限定的であるためである。

## 2. 研究の目的

本研究では、非同期回路の自律制御機能に着目し、動的消費電力および静的消費電力を少ない回路オーバーヘッドで削減できる回路・アーキテクチャの開発を目的とする。また、静的削減のためのパワーゲーティング時にも記憶内容が保持される不揮発ロジックの開発も併せて行う。

## 3. 研究の方法

### (1) 動的消費電力削減のための自律的電源電圧制御アーキテクチャ

非同期回路ではデータの検出が出来ることに着目し、図 1 のように早く到着したデータと遅く到着したデータの関係に着目してクリティカルパスを検出し、クリティカルパスのみを高電圧で駆動し、それ以外を低電圧で駆動することにより消費電力を最小化できる。

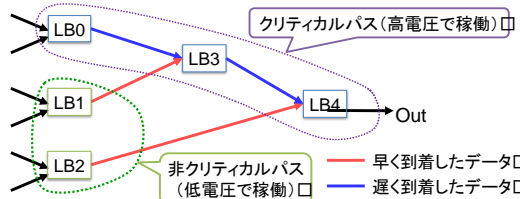


図 1 クリティカルパスの自律検出

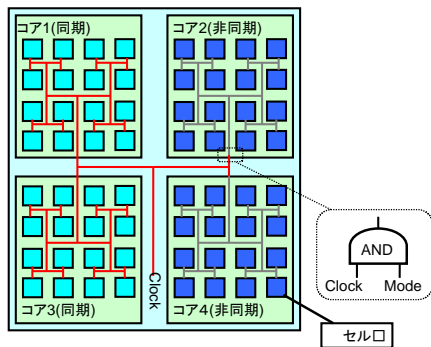


図 2 同期/非同期ハイブリッド構成

### (2) 動的消費電力削減のための同期/非同期ハイブリッド FPGA アーキテクチャ

FPGA 内の各ブロックを同期/非同期方式のどちらの方式でも使えるようアーキテクチャ・回路を考案する(図 2)。稼働率が高い場合には同期式で、稼働率が低いブロックは非同期式で動作させることにより、全体としての消費電力を最小化できる。

### (3) 静的消費電力削減のための細粒度自律的パワーゲーティング機能を有する FPGA

データが来ないときに LUT の電源を自律的に遮断することにより、リーク電流を削減できるアーキテクチャ・回路を開発する。

### (4) 強誘電体機能パステートを用いた動的再構成可能リコンフィギュラブルロジック向けスイッチブロック

不揮発メモリとして用いられている強誘電体キャパシタを、記憶+演算に用いることで、FPGA のスイッチ回路をコンパクトに実現できる回路を開発する。

## 4. 研究成果

### (1) 動的消費電力削減のための自律的電源電圧制御アーキテクチャ

提案方式に基づく LUT を  $10 \times 10$  接続した回路を 65nm CMOS プロセスで試作した(図 3)。図 4 に 8 ビット

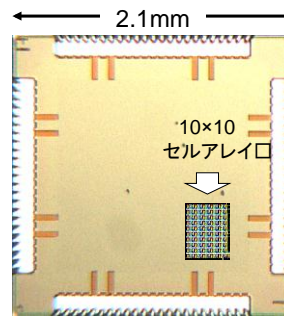


図 3 自律的電源電圧制御に基づく

FPGA の試作チップ

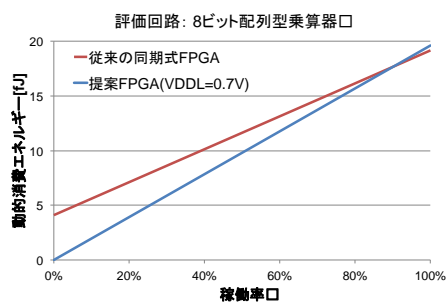


図 4 8 ビット配列乗算器を用いた消費電力評価

配列型乗算器を用いた場合の、従来の同期式 FPGA との比較結果を示す。制御回路のオーバーヘッドが小さいため、ほぼすべての稼働率において提案方式が低消費電力であることが分かる。

(2) 動的消費電力削減のための同期/非同期ハイブリッド FPGA アーキテクチャ

図 5 に、65nm CMOS プロセスで試作したチップの写真とレイアウトを示す。また、図 6 に消費電力評価を示す。稼働率が低い条件では非同期式、稼働率が高い部分では同期式と同等の消費電力となっており、どの稼働率条件においても低消費電力であることが分かる。

(3) 静的消費電力削減のための細粒度自律的パワーゲーティング機能を有する FPGA

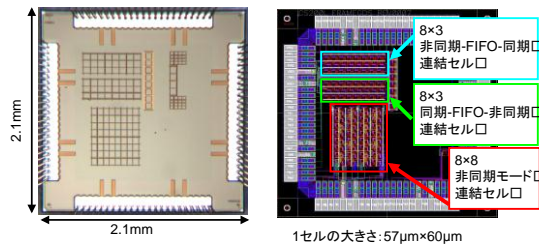


図 5 同期/非同期ハイブリッド FPGA の試作チップ写真とレイアウト

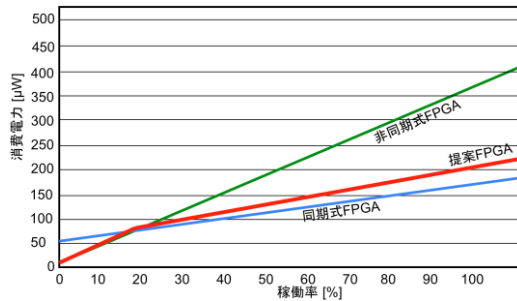


図 6 同期/非同期ハイブリッド FPGA の消費電力評価

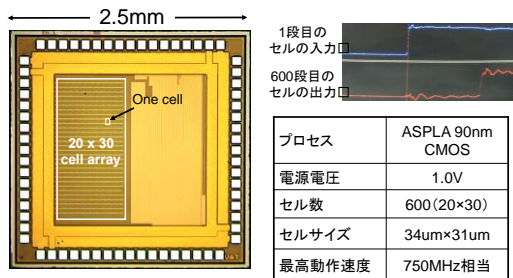


図 7 自律的パワーゲーティング機能を有する FPGA 試作チップ写真及び諸元

図 7 に 90nm CMOS プロセスで試作した提案 FPGA のチップ写真と、動作波形、諸元を示す。動作速度は 750MHz 動作ということで、現在の最先端の同期式

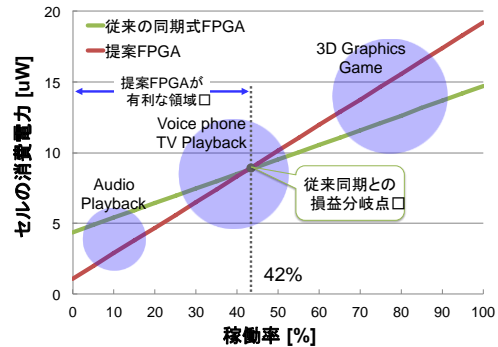


図 8 自律的パワーゲーティング機能を有する FPGA の消費電力評価

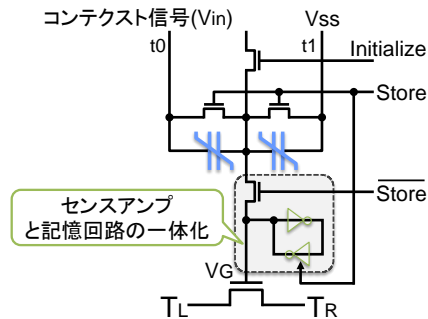


図 9 強誘電体機能パスゲートの構成

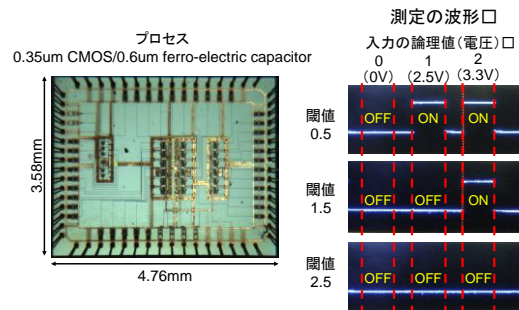


図 10 強誘電体機能パスゲートの試作チップと動作波形

	従来 (SRAMベース)	提案
トランジスタ数	37	22
キャパシタ数	0	4
面積	1,635µm <sup>2</sup>	884µm <sup>2</sup> (-46%)
リーク電流	動作時	153pA
	非動作時	62pA (-59%)
コンテキスト切り替えの動的消費電力	445fW	0A
コンテキスト切り替えの遅延	INITIAL:	179fW
	OPERATE:	160fW
	STORE:	71fW
	(Total):	410fW
コンテキスト切り替えの遅延	INITIAL:	237ps
	OPERATE:	1065ps
	STORE:	231ps
	(Total):	1533ps

表 1 強誘電体機能パスゲートスイッチの評価  
FPGA の動作周波数 (500MHz) を越える

高性能を実現した。図8に消費電力評価結果を示す。稼働率が42%以下の条件では従来の同期式よりも低消費電力であることが示された。この稼働率は、携帯電話、TV再生などの応用の稼働率であり、提案方式が実用的であるということが分かる。

(4) 強誘電体機能パスゲートを用いた動的再構成可能リコンフィギュラブルロジック向けスイッチブロック

図9に提案する強誘電体機能パスゲートの構成を示す。2個の強誘電体キャパシタの容量結合でゲート電圧を制御し、その両端を制御入力電圧とすることで記憶と演算を一体化したコンパクトな構成が可能となる。図10に、0.35  $\mu\text{m}$  CMOS設計ルールで試作した試作チップを示す。表1に従来のSRAMベースコンテキストスイッチとの比較を示す。提案方式ではトランジスタ数を従来の1/2程度に削減できている。また、コンフィグレーション情報の記憶に電源が不要であるため、非動作時にはリーク電流をカットできる。

5. 主な発表論文等

〔雑誌論文〕(計6件)

1. Shota ISHIHARA, Ryoto TSUCHIYA Yoshiya KOMATSU, Masanori HARIYAMA, Michitaka KAMEYAMA, "Implementation of a Low-Power FPGA Based on Synchronous/Asynchronous Hybrid Architecture", IEICE Trans. Elec., Vol. E-94-C, No. 10, pp. 1669-1679, (2011), 査読有り
2. Shota Ishihara, Masanori Hariyama, Michitaka Kameyama, "A Low-Power FPGA Based on Autonomous Fine-Grain Power Gating", IEEE Trans. VLSI Systems, Vol. 19, No. 8, pp. 1394-1406 (2011), 査読有り
3. Shota Ishihara, Noriaki Idobata, Yoshihiro Nakatani, Masanori Hariyama and Michitaka Kameyama, "A Switch Block for Multi-Context FPGAs Based on Floating-Gate-MOS Functional Pass-Gates Using Multiple/Binary Valued Hybrid Signals", Journal of Multiple-Valued Logic and Soft Computing, Vol. 17, No. 5-7, pp. 553-580 (2011), 査読有り
4. Shota Ishihara, Zhengfan Xia, Masanori Hariyama, Michitaka Kameyama, "Evaluation of a Self-Adaptive Voltage Control Scheme for Low-Power FPGAs", Journal of Semiconductor Technology and Science,

Vol. 10, No. 3, pp. 165-175 (2010), 査読有り

5. Shota Ishihara, Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama, "An Asynchronous FPGA Based on LEDR/4-Phase-Dual-Rail Hybrid Architecture", IEICE Trans. on Elec., Vol. E93-C, No. 8, pp. 1338-1348 (2010), 査読有り
6. Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama, "A Switch Block Architecture for Multi-Context FPGAs Based on Ferroelectric-Capacitor Functional Pass-Gate Using Multiple/Binary Valued Hybrid Signals", IEICE Transaction on Information and Systems, Vol. E93-D, No. 8, pp. 2134-2144 (2010), 査読有り

〔学会発表〕(計6件)

1. Masanori Hariyama, Yoshiya Komatsu, Shota Ishihara, Ryoto Tsuchiya, and Michitaka Kameyama, "An FPGA Based on Synchronous/Asynchronous Hybrid Architecture with Area-Efficient FIFO Interfaces", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), 2011年7月19日, Las Vegas (USA)
2. Yoshiya Komatsu, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama, "An Implementation of an Asynchronous FPGA Based on LEDR/Four-Phase-Dual-Rail Hybrid Architecture", The Asia and South Pacific Design Automation Conference (ASP-DAC), 2011年1月26日, 横浜
3. Masanori Hariyama, Ryoto Tsuchiya, Shota Ishihara, and Michitaka Kameyama, "An Field-Programmable VLSI Based on Synchronous/Asynchronous Hybrid Architecture", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), 2010年7月13日, Las Vegas (USA)
4. Shota Ishihara, Zhengfan Xia, Masanori Hariyama, and Michitaka Kameyama, "Architecture of a Low-Power FPGA Based on Self-Adaptive Voltage Control", Proc. International SoC Design Conference (ISOCC), 2009年11月22日, Busan (Korea)

5. Shota Ishihara, Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama, "An Asynchronous Field-Programmable VLSI Using LEDR/4-Phase-Dual-Rail Protocol Converters", Proc. International Conference on Engineering of Reconfigurable Systems and Algorithms(ERSA), 2009年7月14日, Las Vegas(USA)
6. Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama, "A Fine-Grain SIMD Architecture Based on Flexible Ferroelectric-Capacitor Logic", International Conference on Engineering of Reconfigurable Systems and Algorithms(ERSA), 2009年7月14日, Las Vegas(USA)

## 6. 研究組織

### (1) 研究代表者

張山 昌論 (HARIYAMA MASANORI)

東北大学・大学院情報科学研究科・准教授

研究者番号：10292260