

機関番号：12601

研究種目：若手研究（B）

研究期間：2009～2010

課題番号：21700054

研究課題名（和文）

統計的モデリングに基づくチップマルチプロセッサの動的最適化に関する研究

研究課題名（英文）Dynamic optimization of CMPs based on statistical analysis

研究代表者

佐々木 広（SASAKI HIROSHI）

東京大学・大学院情報理工学系研究科・特任助教

研究者番号：20534605

研究成果の概要（和文）：

複数のプロセッサコアを 1 チップに搭載するチップマルチプロセッサ（CMP: chip multiprocessor）の問題である共有リソースの競合を考慮し、動的電源電圧制御（DVFS）手法と併用することによる、動的な低消費電力化手法を提案した。本手法は CMP 上での実行をモデル化し数式で表現し、電力を最小化する協調制御を導出した。評価の結果、従来手法と比較し、要求性能を維持しつつ、消費電力を削減可能なことが分かった。

研究成果の概要（英文）：

In a chip multiprocessor (CMP) architecture, multiple cores usually share resources in the memory hierarchy including the last-level cache, the memory bus, and the DRAM memory banks. We derive the condition where the total CPU power consumption becomes minimum by constructing a power consumption model under resource conflicts, and propose a novel dynamic optimization method to minimize the power consumption by a cooperative access control to multiple shared resource with DVFS.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	2,500,000	750,000	3,250,000
2010 年度	900,000	270,000	1,170,000
年度			
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：計算機アーキテクチャ、オペレーティングシステム

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：チップマルチプロセッサ、動的最適化、動的電源電圧制御、計算機アーキテクチャ、ハードウェアカウンタ

1. 研究開始当初の背景

近年の VLSI は半導体のプロセスを微細化することで集積度やクロック周波数を向上させ、高機能化・高性能化を実現してきた。

しかしながらトランジスタ数の増大によるクロック周波数の向上は同時に消費電力の爆発的な増加を引き起こし、更なる高機能化・高性能化を制限するという問題が発生し

ている。

VLSI の低消費電力化に関し、従来から多くの研究がなされている。その1つが動的電源電圧制御 (DVFS: dynamic voltage and frequency scaling) と呼ばれる手法である。DVFS はプロセッサのクロック周波数・電源電圧を実行時に下げることで消費電力を削減する技術であり、現在多くの商用プロセッサにおいて実装されている。加えて、DVFS は最低限必要とされる性能を維持しつつ消費電力を削減するという目的に適しているという性質から、リアルタイムシステムのような性能制約を持つ環境において非常に有効である。

一方で、クロック周波数の増加による性能向上が困難になり、プロセッサアーキテクチャの主流は1チップ上に複数のプロセッサコアを搭載した、チップマルチプロセッサ (CMP: chip multiprocessor) へと移行している。CMP は複数のプロセッサコアで並列処理を行うことで高いシステム性能を達成出来るため、従来のユニプロセッサに比べて電力当たりの性能が優れているという利点を持つ。

CMP の特徴として、資源の制限や有効活用のために最下位キャッシュやメモリバス、主記憶 DRAM バンクなど下位のメモリ階層を複数のコアが共有することが一般的である。共有資源において複数のコアからのアクセスが競合すると、共有資源にアクセスしたコアおよび CMP 全体の性能低下や、実行中のプログラムの性能予測が困難になるなどの問題が発生する。これらの共有資源の競合の問題を解決するため従来から数多くの研究がなされている。

性能制約を持つシステムの DVFS による省電力化ではクロック周波数・電源電圧を下げつつも制約を厳守しなければならず、適切なクロック周波数を選択するためには高い精度で DVFS 時の性能を予測することが重要となる。そのため性能が競合の状況に依存し、かつ性能予測が困難な CMP において性能制約を守りつつ消費電力を最小化するようにクロック周波数・電源電圧を最適化することは容易ではない。

2. 研究の目的

近年、高性能な汎用マイクロプロセッサから低消費電力な組み込みプロセッサにいたるまで、プロセッサのアーキテクチャとして複数のプロセッサコアを1チップに搭載するチップマルチプロセッサ (CMP: chip multiprocessor) を採用するのが主流である。今後さらに半導体の高集積化が進むにつれて1チップ上に搭載されるコアの数は増加していくことが予想されているが、それに伴い CMP ではリソース競合によって引き起こさ

れる問題が深刻になっていく。

CMP では限られたハードウェアリソースを有効に活用するという観点から、複数のプロセッサコアがキャッシュやメモリバスなどを共有するのが一般的である。しかし、共有リソース上で競合が発生するとチップ全体の性能が低下する、各スレッドの性能低下の公平性 (fairness) が保たれない、あるいは実行するプログラムの性能を予測することが困難になる、などの問題が生じてしまう。この問題に対して、これまでは実行スレッド数が CMP のプロセッサコア数以下を想定した研究が主であった。しかし、現実的にはコア数以上のスレッドが同時に実行されることは多く、そのような場合はある瞬間に同時に実行されているスレッド同士の状況だけでなく、並行的に実行される全スレッドの状況を総合的に判断しつつ制御を行う必要がある。また、実行スレッドに対する制御も共有キャッシュのパーティショニングや、動的電源電圧制御 (DVFS: dynamic voltage and frequency scaling) など、得失利害の異なる手法を組み合わせることによってさらなる最適化が可能になると考えられる。

これら CMP の問題に対して最下位キャッシュやメモリバスという複数の共有資源へのアクセスを協調して制御することで共有資源における競合の状況を調整し、その上で DVFS を行うことで CMP 全体の消費電力を削減する手法を提案する。さらに、実際のハードウェアをより詳細にモデル化したシミュレーションによる評価を加え提案手法の有効性を示すと共に、評価結果の詳細な分析と考察を行い提案する制御手法の効果を解析する。

3. 研究の方法

CMP 上で複数のスレッドを実行し DVFS 制御等を適用した際の性能をシステムのハードウェアカウンタの値をもとに予測するモデルを統計的に構築し、実行時にはそのモデルに基づき最適化目的に応じた制御を行うために、本年度は以下のように研究を実施する。(1) OS やランタイムシステムが実行時に参照しつつ制御を行うことができる低オーバーヘッドで簡便な統計的モデルの構築およびその改良、(2) 各種最適化目的に応じてそれらを最適化するためのアルゴリズムの構築、(3) 各種の技術を統合し、様々な最適化指標 (トータルスループット, fairness, また性能予測性など) においてシステムの評価を行う。

(1) モデルの構築および改良: 様々なプログラムの組み合わせにおいて、CMP 上で複数のスレッドを実行し DVFS 制御等を適用した際の性能をシステムのハードウ

フェアカウンタの値をもとに予測するモデルを構築する。また、構築したモデルから動的な予測に用いるのに適している、すなわち予測のオーバーヘッドが実行時間に影響を与えない程度に小さくかつ精度の高いモデルを導出する。そのために、様々なモデルに対して複雑さと精度という両方の観点から定量的に評価を行う。

(2) 各種最適化指標に応じた最適化アルゴリズムの構築：トータルスループットや fairness, また性能の予測性といった種々の最適化指標において、(1) で構築したモデルに基づいて共有キャッシュのパーティショニングや DVFS 制御を用いて最適化を達成するためのアルゴリズムを開発する。また、コア数以上の実行スレッドがある場合には、それぞれのスレッドに割り当てるタイムスライスを不均一にすることや、同時に実行するスレッドの組み合わせを適切に選ぶことでさらに制御に柔軟性が生じより最適化の幅が広がると考えられる。これらの制御手法の得失利害を定量的に評価した上で、実システムで評価を行うために Linux などの OS に実装する。

(3) 総合評価：(2) で開発した最適化アルゴリズムを種々の汎用ベンチマーク、およびそれぞれの最適化指標に対して評価し、本手法の有効性を評価する。また、評価結果を統計モデルやアルゴリズムのパラメータ最適化などにフィードバックすることで、それらを改良する。最終的に、(1) で構築した実機およびシミュレータの環境において、開発したアルゴリズムを適用しない場合を従来の CMP の計算機システムと仮定して同様の評価を行い、従来システムに対しての定量的な有効性を示す。また、実機では OS への実装を用いてコア数以上の実行スレッドがある場合の評価を行い、さらなる最適化について検討する。シミュレータではコア数を実機以上に増やすことによって提案手法のスケラビリティ、将来における有効性について評価し、スケラビリティに欠けている場合にはアーキテクチャ的な改良などを検討する。

4. 研究成果

CMP において複数のプロセスを同時に実行した際の性能および振る舞いを計測することを目的として、実プロセッサを用いたプラットフォームを複数種類構築した。また、同様の実験をプロセッサのパラメータ（プロセッサのコア数、キャッシュサイズ、キャッシュやメインメモリのレイテンシなど）を様々に変更した場合や、実プロセッサにすでに実装されている DVFS だけでなく、共有キャッシュのパーティショニングなどの実システムでは使用できないハードウェア制御を適

用した場合に行なうために、CMP のプロセッサシミュレータを改造し、評価システムを構築した。これらの環境上で様々なプログラムを同時に実行し、それぞれのプログラムが実行されているプロセッサコアに DVFS 制御を適用した際の性能およびシステムのハードウェアカウンタの値を計測した。また、シミュレータ上では上記に加えて様々なパラメータを変化させることによる評価も行なった。これらのデータを基にして、システムのハードウェアカウンタの値と適用するハードウェア制御に対する CMP の性能（トータルスループットやフェアネス）の関係をモデル化することを試みた。このモデル化により、対象とする指標（例えばトータルスループット）を DVFS などのハードウェア制御で最適化することができるようになった。具体的には、実行時のハードウェアカウンタの値と適用するハードウェア制御を、構築したモデルに代入することによって最適な制御（例えば 2 コアの CMP においてコア A の周波数を 1 段階下げ、コア B の周波数を 2 段階上げる、など）を導出するものである。本手法により、従来のヒューリスティックな制御に比べて、性能向上を達成できることがわかった。

チップマルチプロセッサ (CMP) において複数のプロセスを同時に実行した際に共有資源へのアクセスが競合することによる性能およびその振る舞いを計測した。また、プロセッサのパラメータ（プロセッサのコア数、キャッシュサイズ、キャッシュやメインメモリのレイテンシなど）を様々に変更した場合や、実プロセッサにすでに実装されている動的電源電圧制御 (DVFS) だけでなく、共有キャッシュのパーティショニングなどの実システムでは使用できないハードウェア制御においても測定した。共有資源の競合の問題は従来より用いられている DVFS による省電力化の大きな障害となり、特に性能制約を持つアプリケーションでは最適なクロック周波数・電源電圧の値がアプリケーションの性質だけでなく、競合の状況に依存して変動してしまうため、最適化が非常に困難になる。そこで、複数の共有資源へのアクセスを協調制御することで競合の状況を調整し、その上で DVFS によって消費電力を削減する手法を提案した。まず共有資源への協調制御が CMP の消費電力に与える影響を、昨年度から行なっている統計的なモデル化手法から得られた知見を用いて、その実行をモデル化し数式で表わし、電力を最小化する協調制御を導出した。次に、モデルに基づいた協調制御手法を構築し、提案手法を評価した結果、従来の協調制御を用いない場合の DVFS 手法に比べて、要求性能を維持しつつ、消費電力を削減可能なことが分かった。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

- (1) 佐々木広, 高木紀子, 近藤正章, 中村宏, 共有資源の競合を考慮したチップマ
ルチプロセッサ向け低消費電力化手法, 情報処理学会論文誌コンピューティングシステム
(ACS), 査読有, Vol.4 No.2, 2011, pp. 40-58.

[学会発表] (計 2 件)

- (1) 船橋一訓, 佐々木広, 中村宏, 共有キャ
ッシュ分割を考慮した CMP 向けプリフェッチ
スロットリング手法, 情報処理学会研究報告,
査読無, 2010-ARC-188, 2010 年 2 月, 博多.

- (2) Hiroshi Sasaki, Takatsugu Oya, Masaaki
Kondo, and Hiroshi Nakamura,
Power-Performance Modeling of
Heterogeneous Cluster-Based Web Servers,
E2GC2 : Energy Efficient Grids, Clouds and
Clusters Workshop (E2GC2 2009), 査読有,
13 Oct. 2009, Banff.

6. 研究組織

(1) 研究代表者

佐々木 広 (SASAKI HIROSHI)
東京大学大学院情報理工学系研究科・特任
助教
研究者番号 : 20534605

(2) 研究分担者

()

研究者番号 :

(3) 連携研究者

()

研究者番号 :