

機関番号：13904

研究種目：若手研究（B）

研究期間：2009～2010

課題番号：21700057

研究課題名（和文）

メニーコア・プロセッサにおける複数コアの協調動作

研究課題名（英文）

Cooperative Cores for Manycore Processor

研究代表者

小林 良太郎 (KOBAYASHI RYOTARO)

豊橋技術科学大学・大学院工学研究科・講師

研究者番号：40324454

研究成果の概要（和文）：プロセッサ・アーキテクチャは、数百のコアを搭載するメニーコアの時代へと向かいつつある。その一方で、プロセッサが直面する課題はより多様に、より深刻になりつつある。本研究では、複数コアが協調し、様々な機能を提供するためのアーキテクチャ技術の開発を行った。そして、高信頼化技術、コア数変更技術、キャッシュポリシー変更技術、通信の影響を削減する技術の提案を行い、それらの効果を確認した。

研究成果の概要（英文）：Many core that facilitates some hundreds cores will be realized in the near future. Meanwhile, the hurdles that processors are faced with are becoming more diverse and severe. We study architectural techniques for many cores to cooperate and supply multi functions. We propose and evaluate dependable mechanism, dynamic core fusion mechanism, dynamic cache policy switching, and effective value prediction mechanism.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	1,400,000	420,000	1,820,000
2010年度	1,900,000	570,000	2,470,000
年度			
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：計算機アーキテクチャ

## 1. 研究開始当初の背景

近年、プロセッサを高速化するために、新しい機能を持つ回路の追加などが積極的に行われ、単一コアの大規模化が進んだ。

しかし、配線遅延と消費電力の増加が主な原因となり、小規模な複数のコアを1チップ上に搭載するマルチコア化が主流となった。現在、コア数は着実に増加しており（Rockは16コアを搭載）、今後、プロセッサ・アーキ

テクチャは数百コアを搭載するメニーコアの時代を迎える。

一方、社会的ニーズを考えると、ITの進歩と利用拡大により、プロセッサへの要求は多様化している。近年は、高速化だけでなく、バッテリー駆動時間の延長などのために省電力化が、安心・安全な情報システム構築のために高信頼化が求められている。

## 2. 研究の目的

プロセッサに対する多様な要求に応えるには、要求毎に多くの機能が必要となるが、これらを全て回路で実現すると、各コアの規模が大幅に増大し、また、柔軟性も失われる。

そこで本研究では、シンプルな（少数の機能のみを回路で実現した）数百のコアと、各コアの動作を監視/制御するソフトウェアを用いて、複数コアが協調動作することにより、様々な機能を提供するメニーコア・プロセッサ構想を提案し、それを実現するために必要となる様々な基盤技術の開発を行う。

### 3. 研究の方法

メニーコアの実現のためには、プロセッサへの要求である、高速化、省電力化、高信頼性を考慮した様々な基盤技術が必要となり、要求ごとに、また、複数の要求を考慮した研究を、多方面から行っていく必要がある。

そこで本研究においては、幾つかのカテゴリに分けて研究を実施した。1つ目として、信頼性を向上させるために、ソフトウェアへの対策を行う研究を行った。2つ目として、高速化のために動的に協調動作するコア数を決定する研究を行った。3つ目として、高速化のために、データ供給方法を動的に変化させる研究を行った。4つ目として、高速化と低コストをともに実現するために、コスト性能比の高いルータを実現する研究を行った。5つ目として、高速化、低コスト、省電力化の3つをいずれも満たすために、コア間通信のレイテンシを隠ぺいすることで高速化に貢献する機構を対象として、低コスト化と省電力化を実現するための研究を行った。6つ目として、高速化のために、記憶階層間のデータの移動が性能に与える影響を緩和するための研究を行った。

### 4. 研究成果

メニーコア時代においては、各コアが協調して動作しながら複数のプログラムを実行するため、アルファ粒子や宇宙線に起因するソフトウェアへの対策がますます重要になる。その対策として、回路レベルでソフトウェアを検出し、訂正するための、低コスト、低電力な機構を提案した。評価の結果、提案機構によって、フリップフロップ部分の回路規模は約3倍増加するが、クロックゲーティングにより、消費電力の増加は約26%に抑制されることが分かった。

メニーコア上では、複数のプログラムを同時に実行してプロセッサのスループットを

向上させると同時に、プログラム単体の性能を向上させる必要がある。それに対し、実行環境に応じて複数のコアを融合し、ハードウェア効率の高い、単一プログラムの実行性能を達成するための最適コア割り当て手法を提案した。この手法により、多くの場合、性能向上の推定を0.2ポイント未満で制度で行うことが可能であることが分かった。

メニーコアにおいては、ハードウェアをできるだけ単純化して、遅延、電力などを低下させつつ、高度なデータ供給機能を実現する必要がある。その手段の1つとして、アプリケーションの振る舞いに応じて、動的にデータの供給ポリシーを変更する機構の提案を行った。また、供給ポリシーとしてDM方式、Victim方式、2way方式を用いた予備的な評価を行い、アプリケーションの性質によって、性能向上が最も高くなる方式が異なることを確認した。

メニーコアにおいて、Network-on-Chip (NoC)は性能およびコストを決定する上で極めて重要である。特にルータがNoCにおいて主要な構成要素であり、高性能でコストの低いルータアーキテクチャが要求されている。それに対し、仮想チャネルを用いる場合において、バッファを複数のポート間で共有することによって、ルータのコストを削減する手法を提案した。また、仮想チャネルを用いない場合において、東西南北の各ポートに接続されたバッファを、コアのポートが共有することによって、ルータのコストを削減する手法を提案した。評価の結果、仮想チャネルを実装する場合、性能低下を最大0.7%に抑制しつつ、ルータのコストを約20%削減できることが分かった。また、仮想チャネルを実装しない場合、性能低下を最大6.3%に抑制しつつ、ルータのコストを約15%削減できることが分かった。

メニーコアにおいて、プロセッサ間で通信を行うと、コア間で頻繁に通信を行う必要がある。通信に時間がかかるほど、その通信に依存する実行が遅れてしまう。それを解決する手段として、通信値の予測に基づく投機的実行を用いることができる。しかし、値の予測には、Value History Table (VHT)と呼ばれる大規模な表が必要となるため、実装コストや消費電力が大きくなる。それに対し、学習用の小さな値履歴表を用いることで、VHTの実装コストを削減する手法、および、参照頻度の低いBranch Target Buffer (BTB)を利用し、予測可能な場合のみVHTへの参照を行うことによって、無駄な参照による電力の浪費を削減する手法を提案した。評価の結果、学習用の小規模な値履歴表の導入によって、精

度を低下させることなく、VHT のコストを約 50%削減できることが分かった。また、BTB の利用により、精度をほとんど低下させることなく、VHT の参照に要する電力を約 50%削減できることが分かった。

メニーコアにおいては、チップ内の独立した複数のローカルメモリ（キャッシュ）上に必要なデータを配置し、コアは各ローカルメモリ上の値を参照することによって、プログラムの処理を行う。そのため、キャッシュの性能を向上させることが重要になってくる。これに対し、キャッシュの参照状況を監視し、プリフェッチの実行を制御する手法、および、異なる記憶階層間の一貫性を保つ処理を分散的に行う手法の提案を行った。評価の結果、異なる記憶階層間の一貫性を分散的に行うことにより、最大で約 25%の性能向上を達成できることが分かった。

#### 5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 5 件）

- ① 下村佳生, 小林良太郎, 予測の容易さに着目して競合の発生を抑制するストライド値予測機構, 電気学会論文誌 C, 査読有, Vol. 131, No. 6, 2011
- ② Hayato Usui, Yoshio Shimomura, Ryotaro Kobayashi, Mitigation of Cache Writeback Overhead Focusing on Data Locality, COOLChips XIII, 査読有, 2010, p. 198
- ③ Yusuke Yamada, Ryotaro Kobayashi, Yuhta Wakasugi, Kenji Kise, A Preliminary Study on Dynamic Core Resource Allocation Mechanism for Flexible Multicore Architecture, COOLChips XII, 査読有, 2009, p. 154
- ④ Tomonari Muneoka and Ryotaro Kobayashi, A Proposal of Low Power and Less costly Soft Error Correction Mechanism for Microprocessors, COOLChips XII, 査読有, 2009, p. 156
- ⑤ Tomohide Takahashi, Ryotaro Kobayashi, Akira Moriya, Kenji Kise, A Preliminary Study on Adaptable Data Access Support for Manycore, COOLChips XII, 査読有, 2009, p. 157

〔学会発表〕（計 11 件）

- ① 棟岡朋也, 小林良太郎, ポートの利用率に着目したオンチップルータにおける入力バッファ共有化, 情報処理学会 第 73 回全国大会, Vol. 1, No. 6H-6, pp. 139-140,

2011年3月2-4日. (於 東京都目黒区 東京工業大学 大岡山キャンパス)

- ② Yoshio Shimomura, Ryotaro Kobayashi, Power Saving of Value Prediction by Expanding Branch Target Buffer, International Symposium on Electronics-Inspired Interdisciplinary Research, p.106, November 16, 2010. (於 TOYOHASHI UNIVERSITY of TECHNOLOGY, Aichi, Japan)
- ③ 下村佳生, 小林良太郎, BTB 拡張による値予測機構の電力削減, 平成 22 年度電気関係学会東海支部連合大会, pp. 1-2, 2010 年 8 月 30 日~31 日. (於 愛知県春日井市 中部大学)
- ④ 山田裕介, 小林良太郎, Network-on-Chip における共有型仮想チャネルルータ, 平成 22 年度電気関係学会東海支部連合大会, pp. 1-2, 2010 年 8 月 30 日~31 日. (於 愛知県春日井市 中部大学)
- ⑤ 松川大佑, 下村佳生, 小林良太郎, ラインの参照の局所性に着目したプリフェッチの制御, 平成 22 年度電気関係学会東海支部連合大会, pp. 1-2, 2010 年 8 月 30 日~31 日. (於 愛知県春日井市 中部大学)
- ⑥ 三好健文, 入谷優, 植原昂, 笹田耕一, 小林良太郎, 吉瀬謙二, Feature-Packing のためのソフトウェアによるメモリ管理手法の実装と評価, 情報処理学会研究報告 Vol. 2010-ARC-187, No. 23, pp. 1-6, 2010 年 1 月 28-29 日. (於 東京都港区芝浦 東芝本社)
- ⑦ 山田裕介, 小林良太郎, 若杉佑太, 吉瀬謙二, コア融合アーキテクチャにおける最適コア割り当ての研究, FIT2009, pp. 429-430, 2009 年 9 月 2-4 日. (於 宮城県仙台市 東北工業大学 八木山キャンパス)
- ⑧ 高橋朝英, 小林良太郎, 吉瀬謙二, メニーコアにおける柔軟なデータ供給支援の検討と予備評価, FIT2009, pp. 431-432, 2009 年 9 月 2-4 日. (於 宮城県仙台市 東北工業大学 八木山キャンパス)
- ⑨ 棟岡朋也, 小林良太郎, フリップフロップに着目したソフトエラー訂正機構の効率化の検討, FIT2009, pp. 513-514, 2009 年 9 月 2-4 日. (於 宮城県仙台市 東北工業大学 八木山キャンパス)
- ⑩ 下村佳生, 小林良太郎, 学習テーブルを用いた値予測の効率化, FIT2009, pp. 437-438, 2009 年 9 月 2-4 日. (於 宮城県仙台市 東北工業大学 八木山キャンパス)
- ⑪ 下村佳生, 小林良太郎, ライトバックキ

キャッシュにおけるメインメモリアクセス  
レイテンシの隠蔽, FIT2009, pp. 435-436,  
2009年9月2-4日. (於 宮城県仙台市 東  
北工業大学 八木山キャンパス)

〔図書〕 (計0件)

〔産業財産権〕

○出願状況 (計0件)

○取得状況 (計0件)

〔その他〕

ホームページ等

<http://www.ppl.cs.tut.ac.jp>

## 6. 研究組織

### (1) 研究代表者

小林 良太郎 (KOBAYASHI RYOTARO)

豊橋技術科学大学・大学院工学研究科・講  
師

研究者番号：40324454