

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 31 日現在

機関番号：17401

研究種目：若手研究（B）

研究期間：2009 ～ 2011

課題番号：21700061

研究課題名（和文） 自己組織化マップを用いたリコンフィギュラブルロジック向け
回路設計手法に関する研究

研究課題名（英文） FPGA design method based on self-organization maps.

研究代表者

尼崎 太樹（AMAGASAKI MOTOKI）

熊本大学・大学院自然科学研究科・助教

研究者番号：50467974

研究成果の概要（和文）：

FPGA (Field Programmable Gate Array) の設計工程において配置は時間を要する処理の一つである。FPGA 配置問題に対し従来は焼きなまし法をベースとした解決が行われていたが、大規模回路を実装する際には処理時間が問題となる。そこで我々の研究グループでは Kohonen により提案された自己組織化マップ (SOM:Self Organizing feature Maps) を用いた配置手法を提案している。この場合、ネットリストのもつ特徴を SOM の入力ベクトルとして正しく表現することが重要になる。しかし、ネットリストの隣接行列を単に入力に用いただけでは、計算機のメモリ使用量や計算時間が問題となる。そこで本稿ではシンベル指数と呼ばれるグラフ間の距離指標に基づく入力ベクトル作成方法を提案する。本手法では入力ベクトルの次元数は回路モジュールの入出力数となる。また、配置の質向上のため 3 種類のグラフ距離を用いて学習を行った。ベンチマーク回路を用いた計算機実験結果より、SA ベースの VPR と比較して実行時間を最大 92%改善することがわかった。

研究成果の概要（英文）：

A placement process is one of the heavily computational process in FPGA (Field Programmable Gate Array) design flow. Although nondeterministic algorithms such as SA (Simulated Annealing) algorithm are successful in solving this problem, they are known to be slow. We have been introduced neural network approach which is a Kohonen SOM (Self Organizing feature Maps) to FPGA placement. In our method, it is important to represent the features of netlists. However, it is not enough to sufficient for using only connection matrix as a input vectors in terms of computational resources and time. In this paper, we proposed input vector based on a shimbel index. We also discuss three graph distance measurement to enhance placement quality. Our method can improve computational time compared with SA based VPR using some benchmark circuits in the evaluation.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	700,000	210,000	910,000
2010年度	900,000	270,000	1,170,000
2011年度	700,000	210,000	910,000
年度			
年度			
総計	2,300,000	690,000	2,990,000

研究分野：総合領域・情報学

科研費の分科・細目：計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム

1. 研究開始当初の背景

リコンフィギャラブル IP コアとしてシステム LSI に搭載されることを想定した場合、IP コア自身は低面積かつ高性能な動作が要求される。しかしながら、FPGA の実装密度は CAD (Computer Aided Design) のアルゴリズムおよびその性能に頼る所が非常に大きい。ASIC ではフィジカル合成、パワー合成が通常フローに組込まれている現在、FPGA のテクノロジマッピング、クラスタリング、配置配線アルゴリズムには非常に多くの改良の予知がある。さらに、これらのアルゴリズムはスタンドアロンタイプの FPGA を想定したものであり、潤沢な回路リソースが利用できることを想定している。一方で IP コアとして実装する場合、回路リソースは限られたものでありよりコンパクトな実装手法が望まれる。このようにシステム LSI 上にてリコンフィギャラブルロジックを生かす設計ツールの研究開発は世の中では進んでいない。

2. 研究の目的

本研究の目的はこれまで申請者による研究で得られた知見を基に、リコンフィギャラブルシステムを構成する次世代に向けた CAD アルゴリズムの提案および開発環境の構築を行いその有効性を示すことである。

3. 研究の方法

Kohonen により提唱された自己組織化マップ (Self Organizing Maps, 以下 SOM) をベースとした FPGA 配置手法を提案する。SOM は教師なし学習ニューラルネットワークに分類され、入力ベクトルと呼ばれる入力パターン群をその類似度に応じて出力層へ写像する。巡回セールスマン問題を中心に SOM を組合わせ最適化問題に適用するアプローチが研究されており、解の精度は SA と比較して劣るものの、実行時間の高速化が可能との特徴をもつ。

本研究では SOM アルゴリズムを配置問題に適用するにあたり以下の 2 点に着目する。

(1) SOM の出力空間は 2 次元格子状であり、これは FPGA の論理ブロックと同様に扱うことができる。(2) アルゴリズムに関し並列化の効果が期待できる。特に本研究では (1) に焦点をあて、基本的な Kohonen の SOM アルゴリズムを FPGA 配置問題へ適用し、バッチ型学習則での解の精度および実行時間について計算機実験を行う。

4. 研究成果

本研究の成果として、①入力ベクトルに隣接

行列を用いた場合、②入力ベクトルにシンベル指数を用いた場合について述べる。

①SOM は目的関数をもたないかわりに、入力集合に対応したトポロジカルな写像を行う点が重要である。すなわち、ネットリストの近接関係を入力として与えることで、その近接関係を保ちながら 2 次元上の FPGA アレイへと写像を行う。SOM を FPGA 配置問題に適用するにあたり、入力ベクトル、出力層の参照ベクトルの構成、勝者の選択方法、I/O 領域についてスタンダードな Kohonen の SOM に改良を加える必要がある。本配置手法では、SOM のトポロジカルマッピングの性質を利用し、総配線長最小化のモジュール配置を行うために、次のように SOM を設定する。

- ・ネットリストに M 個の論理モジュール集合 X があるとき、それを構成する入力ベクトルは M 個存在し、M 次元である出力層のニューロンは FPGA アレイ上の論理ブロックであり、参照ベクトルの次元は入力と同様に M となる

- ・近傍関係は格子状に並んだ論理ブロックのマンハッタン距離で表されるこの設定のもとで学習を行うことで、入力集合 X はその近接関係をたもちながら FPGA アレイ上の論理ブロックへと配置される

勝者の選択は通常ユークリッド距離が使用されるが、配置への適応に関しては好ましくない。なぜなら隣接関係を入力で表現する場合、ノード間の距離がユークリッド距離では表現できないからである。そこで勝者の選択方法として内積を用いる。内積で距離を計算する場合、ベクトル同士に近接関係がある場合は高い値をとり、接続関係がない場合は 0 となる。また、直接接続しているモジュールへの重みを重視するように重み付き内積にて勝者を決めるための距離を計算する。

本アルゴリズムではあらかじめ入力集合が決まっていることと、安定した配置解を得るためにバッチ型学習則を用いる。ネットリスト中の PI (Primary Input) および PO

(Primary Output) に関しては I/O 領域に写像する必要があるため、論理ブロックアレイとは別の I/O 領域を設け学習を行う。例えば PI, PO の論理モジュールの勝者は I/O 領域より選択される。ただし、学習についてはどちらも違いはなく、同様に学習が行われる。本手法のオーダーは $O(n)$ である。SA を用いた VPR[20] のオーダーは $O(n^{4/3})$ であるので、配置処理の高速化が期待できる。

本評価では数種類のベンチマーク回路を用いて配置を試みる。MCNC ベンチマーク回路[21] に対し ABC[22] にてテクノロジマッピングを行い、TV-Pack [23] を用いてクラ

スタリングを行う。得られたネットリストに対し、従来手法では VPR5.0 [20] にて V-Place で配置を行い、V-Route で配線する。一方、我々の提案配置手法 (SOM-Place) にて配置を行い、V-Place で配線する。これらの配線結果より比較を行う。配線アーキテクチャはアイランドスタイル FPGA を想定しており、スイッチブロックは Wilton タイプを用い、その柔軟性は $F_s=0.3$ とする。テクノロジマッピングでは 4-LUT でマッピングし、クラスタ数は 1 とする。また重み付き内積の係数 k はバランスを考慮して $M-2$ (M はネットリストの論理モジュール数) とした。

まず最初に配置の質を見るためにマンハッタン距離を用いて総配線長を算出する。続いて配線後の結果より、クリティカルパス遅延と配線トラック数の比較を行う。配置評価に際し、学習総数を決定するため学習回数 100 回、500 回、1,000 回で配置処理を実行する。得られた傾向より学習総数を決定し、配線処理を行う。その際、配置時の初期値の影響を考慮して 5 回試行の平均で比較を行う。ベンチマーク回路には MCNC5 種類を使用する。

今回の評価では総配線長 L の値が $\pm 5\%$ に収まる範囲を収束と判断した。この結果、学習回数 100 回でも十分総配線長が収束していることがわかった。他のアプリケーションも同様の傾向をとることから本評価では学習回数を 100 回とした。続いて、配線結果について述べる。総配線長に関しては提案する入力ベクトルでも V-Place と同様のトラック数を達成できた。また、チャンネル幅についても同じ傾向にあった。これより、提案手法は総配線長および混雑度について一定の改善を示すことを確認できた。一方、配線後のクリティカルパス遅延は約 15% の劣化がみられた。この理由として、VPR ではタイミングを考慮した配置を行っているのに対し提案配置手法では遅延については未考慮のためである。遅延を考慮した配置に関しては今後の課題である。

② ①のアプローチではネットリストより得られた隣接行列を入力としていた。そのため、入力ベクトルの次元数がネットリスト数分必要となり無駄が多かった。また、ネットリストのノード数を n とした場合、計算機におけるメモリ使用量が $O(n^2)$ となり、大規模回路への対応が困難になることが予想される。解の質向上のためにはネットリストの特徴を少ない次元数で表現することが重要となる。配置の質向上にはネットリストがもつ特徴を入力ベクトルに正確に反映させるため、ネットリストの特徴を以下の 5 つに分類する。

(1) モジュールの接続関係

(2) モジュール間接続の向き

(3) ファンイン数およびファンアウト数

(4) 論理ブロックと IO ブロックの区別

(5) エッジがもつ各種のクリティカルティ

計算量の観点より入力ベクトルの次元数は可能な限り少ない方が望ましい。これより、(1), (2) のモジュール間の接続関係および接続方向を考慮した入力ベクトルを作成する。(3) のファンイン、ファンアウト、(4) のモジュールの種類については SOM の学習段階で考慮する。なお、エッジのクリティカルティについては今回は考慮しない。入力ベクトルにおける接続表現にはシンベル指数を用いる。シンベル指数とは Shimbel によって提唱されたグラフ上の近接指標である。ネットワーク分析の分野では、観測点と定めたノードから他ノードまでのグラフ距離を求めるのに用いられる。ここではシンベル指数に基づき、論理モジュール間の距離を算出する。

ネットリストより生成する入力ベクトル集合を定義する。ネットリストはモジュールを頂点、出力方向を有向なエッジとした有向グラフとしてみなすことができる。有向グラフ G に属するモジュール $G \ni mi, mj$ について、 mi から mj までの最短のグラフ距離を $d(mi, mj)$ と表す。ここで、ネットリスト中の入出力の集合を P と定義し、入出力数が k の場合、 $(p_1, p_2, \dots, p_k) \in P$ と表現される。論理モジュール mi について、 pk からの距離はシンベル指数を用いて $d(pk, mi)$ と表現される。これより論理モジュール mi は入出力集合 k 個分の距離関係をもつ。すなわち、論理モジュール mi に対応する入力ベクトルは次のように定義され、 xi は k 次元となる。シンベル指数での距離を求める際、 PI を観測点とした場合はファンアウト方向、 $P0$ を観測点とした場合はファンイン方向にたどっていく。

一方で、ネットリスト注には入出力から直接たどることのできないモジュールが存在する。ここではこのように直接関係を持たないモジュールの扱いについて、以下の 2 つの入力ベクトル作成法を提案する。提案手法 1 では直接関係のないモジュールに擬似的な接続を作る。提案手法 2 では接続関係のあるノードまでさかのぼり、その距離情報を保持する。これは、直接関係のある経路のみで接続関係を表現することで、次元毎に接続情報を重複して定義しないようにしている。どちらの手法も回路の入出力を観測開始点とするため、入力ベクトルは k 次元となりモジュール数に依存しない。そのため、隣接行列を用いた場合と比べ計算量や計算機のメモリ使用量の削減が期待できる。

続いて、SOM の類似度を表す距離について議論する。SOM アルゴリズムでは距離計算にユークリッド距離を用いる

ことが多いが、今回はミンコフスキー距離とチェビシェフ距離を加えた 3 種類の方法について検討する。

・ユークリッド距離：ユークリッド距離は 2 次元空間上の距離を測定するのに用いられる。SOM は入力ベクトルと参照ベクトルを n 次元の座標として考えるため、距離を表現するのにユークリッド距離が最もよく利用される。ユークリッド距離の計算はシンプルであるものの、提案入力ベクトルを用いた際に接続関係のあるノード間の距離が正しく表現できない場合が存在する。

・ミンコフスキー距離：ユークリッド距離のもつ問題点を改善するのがミンコフスキー距離である。ミンコフスキー距離では入力ベクトルと参照ベクトルの差を強調する。

・チェビシェフ距離：チェビシェフ距離では次元毎の差分で得られた値のうち最大のものを用いる。チェビシェフ距離はミンコフスキー距離において累乗を無限大としたものであるが、各次元ごとの差分の最も大きな値が距離として計算できるため、累乗計算を必要とせず計算量の削減が期待できる。

続いて評価方法について示す。MCNC ベンチマーク回路に対し ABC を用いてテクノロジマッピングを行い、T-VPack によりクラスタリングを行う。得られたネットリストに対し、提案手法と VPR5.0 の配置ツール VPlace でそれぞれ配置を行う。最後に得られた結果を VPR の配線ツールである VRoute で配線し結果の比較を行う。なお、入力ベクトル作成も含めた提案ツール SOM-Place は C++ でコーディングを行った。VPR はタイミグドリブモードをオフにし、総配線長削減に重きをおいた配置を行う。配線アーキテクチャはアイランドスタイル FPGA を想定しており、配線構造は single ラインのみを用いる。スイッチブロックは Wilton タイプを用い、その柔軟性は $F_s=0.3$ とする。テクノロジマッピングでは 4-LUT でマッピングし、クラスタ数は 1 とする。

提案手法 1 による評価結果を表 2、提案手法 2 による評価結果について議論する。上記 2 つの入力ベクトル作成手法はそれぞれ 3 種類の勝者選択の距離と組合わせている。実行時間はどちらも同程度であるが、総配線長、最大遅延、チャンネル幅は手法 1 が良い結果となった。3 種類の勝者決定法について、総配線長ではミンコフスキー距離が良い結果を示したが、計算量が多いため今回の類似度中で最も実行時間を要した。実行時間の面では累乗計算を必要としないチェビシェフ距離が良い結果を示した。しかし、VPR と比較するとチェビシェフ距離で平均 92%削減に対し、ミンコフスキー距離でも平均 90%程度の削減を達成しており、今回の条件では実行時間は同程度であった。今回使用したベンチマーク

では、手法 2 を inc に適用した際の解が悪い傾向にあった。これは回路 inc146 個の論理モジュールを 16 個の IO だけで特徴付けているため、差異化できていない論理モジュールが存在することが一因だと考えられる。このように IO 数が少ない回路に対しては、IO 以外に観測開始点を増やす必要があるが今後の課題とする。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 0 件)

[学会発表] (計 3 件)

① Motoki Amagasaki, Yasuaki Tomonari, Masahiro Iida, Morihiro Kuga and Toshinori Sueyoshi, "A Self-Organization Maps Approach to FPGA Placement", Proc. The 17th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2012), pp. 468-469, Beppu, Japan, 2012. 3. 9, B-CONPLAZA (別府市) 査読有

② 友成恭章, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "コホーネンネットワークを用いた FPGA 配置アルゴリズム," 若手の会セミナー2011 講演論文集, 情報処理学会九州支部, pp. 1-7, 2011. 9. 16, パレスイン鹿児島 (鹿児島市) 査読無

③ 友成恭章, 尼崎太樹, 飯田全広, 久我守弘, 末吉敏則 "自己組織化マップを用いた FPGA 配置手法の提案," 信学技報 RECONF2011-26, vol. 111, no. 218, pp. 25-30, 2011. 9. 26, 名古屋大学 (名古屋市) 査読無

[その他]

ホームページ等

<http://www.arch.cs.kumamoto-u.ac.jp>

6. 研究組織

(1) 研究代表者

尼崎 太樹 (AMAGASAKI MOTOKI)

熊本大学・大学院自然科学研究科・助教

研究者番号：50467974

(2) 研究分担者

()

研究者番号：

(3) 連携研究者 ()
研究者番号 :