

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 6 月 6 日現在

機関番号：21602  
 研究種目：若手研究（B）  
 研究期間：2009～2011  
 課題番号：21700062  
 研究課題名（和文） 処理速度の自由度を活かした非同期式回路の低消費エネルギー化に関する研究  
 研究課題名（英文） Energy Optimization for Asynchronous Circuits using Freedom of Execution Speed  
 研究代表者  
 齋藤 寛 (Hiroshi Saito)  
 会津大学・コンピュータ理工学部・准教授  
 研究者番号：50361671

研究成果の概要（和文）：本研究では、処理速度の自由度を活かした非同期式回路の低消費エネルギー化に関する研究を行った。クロック信号によって全ての演算の動作タイミングが定められる同期式回路とは異なり、非同期式回路においては、各演算の処理速度を自由に決めることができる。この自由度を活用することにより、低消費エネルギー化を行う。研究の成果は大きく2つに分けることができ、一つは専用回路に対して、もう一つはプロセッサに対してである。専用回路においては、アプリケーションの動作仕様記述、レイテンシ制約、リソースライブラリを入力に、回路構造を自動で合成する動作合成の段階で、各演算に許容される演算の開始時間のゆとりを計算し、低速なリソースを割り当てることによって低消費エネルギー化を実現する手法を提案した。プロセッサにおいては、AVRプロセッサを非同期化し、FPGAやASICを対象に設計を行った。また、低消費エネルギー化のために、面積の最適化手法や性能の最適化手法を提案した。同期式AVRプロセッサと比較して、消費エネルギーが約半分になることを確認した。

研究成果の概要（英文）：In this research, we optimize asynchronous circuits in terms of energy consumption using freedom of execution speed. Different from synchronous circuits where execution timing of all operations is decided by a global clock signal, execution timing of each operation in asynchronous circuits can be decided freely. Using this freedom, energy optimization is carried out. The result of this research is classified into two sub result. The first is for specific circuits and the second is for processor. For specific circuits, we proposed an energy optimization method. For given behavioral description of an application, latency constraint, and resource library, the proposed method calculates slack for each operation defined for the start time during behavioral synthesis. Then, slow circuits are allocated to operations which have slack. For processor, we designed an asynchronous AVR processor aimed for FPGA and ASIC implementations. Also, for energy optimization, we proposed area optimization and performance optimization methods. Comparing to synchronous AVR processor, the energy consumption of our asynchronous AVR processor was half of the synchronous one.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	1,100,000	330,000	1,430,000
2010年度	1,100,000	330,000	1,430,000
2011年度	800,000	240,000	1,040,000
総計	3,000,000	900,000	3,900,000

研究分野：総合領域

科研費の分科・細目：情報学、計算機システム・ネットワーク

キーワード：非同期式回路、低消費エネルギー、動作合成、プロセッサ

### 1. 研究開始当初の背景

組み込みシステムが世の中に広く浸透している中、携帯機器やセンサーネットワークなど多くの用途でバッテリーライフの長期化のため、消費エネルギーの削減が重要課題として認識されている。こうしたシステムのほとんどは、グローバルクロック信号によって回路全体を制御する同期式回路として実現されているが、クロックネットワークにおける消費電力が無視できない。もちろん、不必要な時にクロック信号の供給を止める技術（ゲートドクロック）は存在するが、付加的な回路が必要となるため、回路規模の増大と消費電力のバランスを取りながら適用する必要がある。しかしながら、集積規模が今後も増大することを考えると、クロックネットワークにおける低消費電力化にも限界がある。

同期式回路とは異なり、ローカルなハンドシェイク信号によって必要な時に必要な部分が動作する非同期式回路は、潜在的に低消費電力である。この事実は、Handshake Solution 社が ARM996HS と呼ばれる非同期式プロセッサを実装し評価を行った結果、同期式のものに比べて消費電力が約 1/3 だったということより裏付けられる。現在では、携帯電話やスマートカードといった用途で、こうした非同期式プロセッサが利用されるに至ってきた。しかしながら、非同期式回路の中で低消費エネルギー化に関する研究はあまりなく、そうした研究のほとんどは、同期式回路を対象としたものである。これらの手法を非同期式回路に適用することは可能であるが、適用の仕方を工夫することにより同期式回路よりさらなる低消費エネルギー化が実現できると考えている。

同期式回路より低消費エネルギー化が見込める理由は以下のとおりである。同期式回路の場合、クロックサイクルを想定しながら低消費電力化を行う必要がある。例えば Dynamic Voltage and Frequency Scheduling (DVFS) のように処理速度を遅くして供給電圧を低くし、消費エネルギーを削減する場合、どのくらい遅くできるかは、クロック信号の供給を制御する回路に依存する。したがって、供給電圧をどのくらい低くするかも制限される。また、クロック制御回路は通常、チップ外におかれていることが多く、処理速度を変える時のオーバーヘッドも無視できない。一方、非同期式回路の場合、クロック信号を用いない分、処理速度の設定に自由度がある。処理速度に自由度があるということは、供給

電圧の設定にも自由度があるということになるので、処理速度の設定をうまく行うことにより低消費エネルギー化が図れる。また、動作完了を検知する遅延素子や回路は、処理を行う回路と同じところに配置するため、処理速度を変化させるときのオーバーヘッドも少なく済む。

### 2. 研究の目的

本研究では、処理速度の自由度を活かした束データ方式による非同期式回路の低消費エネルギー化を実現する手法の提案と評価を行う。実用的に利用されている手法を提案手法のベースとし、そうした手法を非同期式回路に適用した時の消費エネルギーの削減効果を評価する。

### 3. 研究の方法

平成 21 年度は専用回路の低消費エネルギー化を実現する手法を研究する。提案手法は、C 言語で記載されたアプリケーションの動作仕様、時間制約、リソースライブラリを入力とする。リソースライブラリの各リソースは、前もって Synopsys 社の Design Compiler とテクノロジライブラリを用いて合成し、遅延時間と消費電力のパラメータを抽出する。なお、各演算にたいして、遅延時間の異なる複数の演算器を準備する。一般的に、遅延時間が長い演算器は消費電力が低く、短い演算器は消費電力が高い。次に、動作仕様上の各演算に対し、リソースライブラリにある高速演算器を割り当て、各演算にかかる遅延と消費電力より初期消費エネルギーを概算する。遅延の概算には、レジスタやマルチプレクサ、リソース間の配線遅延を含める。その後、各演算にかかる遅延と時間制約より、各演算の最速開始時間と最遅開始時間を概算する。最遅開始時間と最速開始時間の差が各演算におけるスケジュールのゆとり、すなわちスラックとなる。次に、スラックの範囲で、他の演算の終了時間より各演算の開始時間候補を概算する。その後、スラックの利用が最大となるように、演算スケジューリングとリソース割り当てを行う。スラックの利用が最大になるようにするにはすなわち、リソースのパラメータを参照しながら、低速演算器を用いることができるくらい十分なスラックを維持したまま演算の開始時間を決定し、低速演算器を割り当てるということである。回路の合成後、消費エネルギーを評価する。

平成 22 年度は、前年度の研究で提案した手法を実装し評価する。また、束データ方式

によるプロセッサを対象とした低消費エネルギー化手法を研究する。評価には、メディア処理向けのベンチマークとして定評がある MediaBench II を用いる。また、設計コストを抑えるために、Synopsys 社の Design Compiler とテクノロジライブラリは、東京大学大規模集積システム設計教育センターを利用する。さらには、クロックサイクルをベースに合成した同期式回路と提案手法による束データ方式による非同期式回路で消費エネルギーを評価し、処理速度の自由度による消費エネルギー削減効果を調査する。プロセッサに関しては、Atmel 社の AVR プロセッサを対象に、非同期化を行う。Opencore.org にあるソースコードを入手し、制御回路部分を同期式のものから非同期式のものにおきかえる。また、面積や性能に関する最適化手法を提案する。

平成 23 年度は、前年度までに設計した非同期式 AVR プロセッサの評価を行う。

#### 4. 研究成果

平成 21 年度当初の計画では、専用回路の低消費エネルギー化を中心に研究を行う予定だったが、平成 21 年度は、今後の研究のための準備を中心に研究を行った。まず、C 言語で記載されたアプリケーションの動作仕様、時間制約、リソースライブラリより、束データ方式による非同期式回路の RTL 設計を合成し、東大 VDEC の支援の下、Synopsys 社の Design compiler とローム社の 0.18um テクノロジーを用いて論理合成し、性能、面積、消費電力を評価するフローを提案した。提案したフローを用い、簡単な専用回路を合成し、同期式回路のものと比較して低消費エネルギーということを実証した。また、opencore.org より Atmel 社の AVR プロセッサの Verilog モデルをダウンロードし、束データ方式による非同期式回路に変換し、FPGA を対象にレイアウト設計までを行い、様々なベンチマークプログラムを走らせ、消費エネルギーを評価した。専用回路の時と同様、非同期式回路のほうが低消費エネルギーということを実証した。

平成 22 年度はまず、ASIC を対象に非同期式 AVR プロセッサを再設計し、性能、面積、消費電力、消費エネルギーの評価を行った。次に、データパスに最大パス遅延制約を設定した性能最適化、メモリロードにおける制御の分離による性能最適化、制御回路部品の共有による面積最適化を行った。動作合成に関しては、動作記述に対して事前に準備したリソースを割り当てることによって各演算の実行時間を定め、与えられた時間制約の下、各演算にどれくらい時間設定に関して自由度があるかを計算するプログラムを開発した。

平成 23 年度は前年度までに設計した非同期式 AVR プロセッサに関して、同期式回路と比較評価を行い、同期式回路と比べ消費エネルギーが半分程度に済むことを示した。しかしながら、スループットの面で同期式 AVR プロセッサに劣るため、非同期式制御モデルを再検討した。今後は、再設計及び再評価を行う予定である。一方、専用回路に関しては、処理速度の自由度を活かした低消費エネルギー化手法を検討した。この手法は、まず最速の同期式回路、および非同期式回路の Register Transfer Level モデルを基に、与えられた時間制約の下、各演算における処理速度の自由度を計算する。次に、回路面積の削減が消費電力の削減に貢献するため、面積削減効率の高い演算器を低速なものに置き換わるよう最大遅延制約を緩めに設け再合成を行う。予備実験での効果を確認したので、今後は実装と評価を行う予定である。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 1 件)  
熊谷、飯塚、松浦、齋藤 “非同期式 AVR プロセッサの設計”、第 24 回回路とシステムワークショップ、pp152-157、2011

〔図書〕(計 0 件)

〔産業財産権〕  
○出願状況(計 0 件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

○取得状況(計 0 件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

〔その他〕  
ホームページ等

6. 研究組織

(1) 研究代表者

齋藤 寛 (Hiroshi Saito)  
会津大学・コンピュータ理工学部・准教授  
研究者番号：50361671

(2) 研究分担者

なし

(3) 連携研究者

なし