

機関番号：14401

研究種目：若手研究 (B)

研究期間：2009～2010

課題番号：21760009

研究課題名 (和文) レーザーアニールによる選択的局所 GOI 構造作製技術の開発

研究課題名 (英文) Selective formation of germanium-on-insulator structures based on liquid phase epitaxy by laser annealing

研究代表者

細井 卓治 (HOSOI TAKUJI)

大阪大学・工学研究科・助教

研究者番号：90452466

研究成果の概要 (和文)：次世代半導体基板として期待される GOI (Germanium-On-Insulator) もしくは SGOI (SiliconGermanium-On-Insulator) 構造を Si 基板上に局所選択的に作製する手法として、アモルファス Ge 層を融解・凝固させる液相エピタキシャル成長を提案し、単結晶 Ge ワイヤと結晶性に優れた完全歪緩和 SGOI 層をそれぞれ絶縁層上に形成することに成功した。

研究成果の概要 (英文)：GOI (Ge-On-Insulator) and SGOI (SiGe-On-Insulator) structures are promising candidates for next-generation semiconductor substrate. We proposed and demonstrated the selective fabrication of single-crystalline Ge wires and high-quality fully relaxed SiGe layers on insulators by liquid-phase epitaxy.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009 年度	2,000,000	600,000	2,600,000
2010 年度	1,400,000	420,000	1,820,000
年度			
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：半導体工学

科研費の分科・細目：応用物理学・工学基礎 応用物性・結晶工学

キーワード：ゲルマニウム、GOI 基板、SGOI 基板、液相エピタキシャル成長

## 1. 研究開始当初の背景

Ge はその移動度の高さから Si に替わる MOS トランジスタのチャネル材料として有望視され、高性能 Si-CMOS と Ge デバイスを同一基板上に集積した次世代電子デバイスの研究開発が進められている。絶縁体である Si 酸化膜上に薄い単結晶 Si 層を有する SOI (Si-On-Insulator) 基板の長所と Ge 半導体の特性を組み合わせた GOI 構造、または SGOI (SiGe-On-Insulator) 構造には、寄生容量低減や高いキャリア移動度による高速動作化、リーク電流の低減による低消費電力化という利点があり、次世代の高性能電子デバイスのプラットフォームとなることが期待

されている。

これまで GOI 基板の作製技術として、SiO<sub>2</sub> 付 Si 基板上に Ge 基板を貼り合わせ、Ge 層を薄く残して剥離するという方法 (貼り合わせ法) が米 Silicon Genesis 社などから提案されているが、既に 300 mm 径基板が市販されており、数年後には 450 mm 径に達しようとしている Si に対し、Ge ではその機械的強度の低さから大口径基板を作製することが困難であるという課題が残されている。一方、SOI 基板の上に SiGe 層を堆積し高温酸化することにより、表面に厚い SiO<sub>2</sub> 層が形成しつつ、埋め込み SiO<sub>2</sub> 層上に高濃度 Ge 層を形成するという酸化濃縮法が検討されている。ところ

が SiGe 固相中での濃縮反応で形成した GOI 基板には結晶欠陥が多く存在し、さらなる品質向上が要求されている。さらに、これらの手法はプロセスの複雑さといった課題も残されている。そこで本研究は、簡便かつ効率良く高品質単結晶 Ge (または SiGe) 層を絶縁膜上に局所選択的に形成するための技術を開発することを目的とする。

## 2. 研究の目的

本研究課題は、素子分離が容易で寄生容量の低減が可能な SOI 基板の構造的な利点と、Ge の高いキャリア移動度を活かした次世代半導体基板として期待される GOI あるいは SGOI 構造を、Si 基板上で選択的かつ高品質に作製するための技術を開発することを目的とする。そこで、Si と Ge の近赤外光に対する光吸収係数の違い、および融点の違いを利用した熱処理により、シリコン基板上で周囲を完全にシリコン酸化膜で覆われた薄膜アモルファス Ge のみを融解・液相化し、一部に設けておいたシリコン基板との接点から選択的に単結晶 Ge 層を基板平面方向にエピタキシャル成長させることを考えた。本手法の有利な点は、堆積する Ge 層はアモルファスで良いことに加え、熱処理を施すだけというプロセスの簡素化が実現できる。さらに、基板の SiO<sub>2</sub> 開口部からの SiGe 成長部分では、Si と Ge 半導体の格子不整合を反映して転位等の格子欠陥が多数形成される可能性があるが、その後の横方向 Ge 成長によって結晶欠陥が回復することが期待される。一方で、液相 Ge は SiO<sub>2</sub> 界面との表面エネルギーを下げるために凝集することが、これまでに明らかとなっており、パルスレーザー照射や急速加熱処理といった手法を採用することにより、Ge が熔融状態となる時間と領域を制御することを試みた。

## 3. 研究の方法

### (1) 横方向液相エピタキシャル成長による局所 GOI 構造の作製

約 50 nm の熱酸化膜を形成した Si (001) 基板に対して、リソグラフィ及び反応性イオンエッチングにより液相エピタキシャル成長を誘起するための Si 基板との接触領域 (seed 領域) を形成した。その後、60~180 nm 厚のアモルファス Ge 層を高真空下での分子線蒸着 (MBD: Molecular Beam Deposition) により成膜し、幅 1~20 μm のライン状にパターンニングした。この Ge ワイヤ全体を覆うように 500 nm 厚の SiO<sub>2</sub> キャップ層を成膜した (図 1(a))。作製した試料に対して、ランプ加熱炉による急速加熱アニール処理あるいは波長 1064 nm のフェムト秒 YAG レーザー照射を施して Ge 層を熔融・凝固させ、液相エピタキシャル成長による GOI 構造を行った。光学

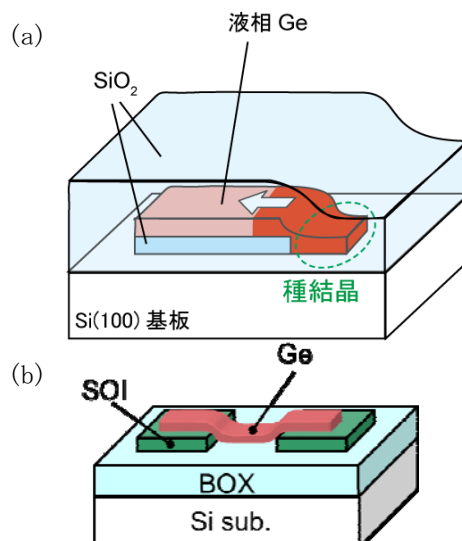


図1 横方向液相エピタキシャル成長の模式図。(a) Si基板上、(b) SOI基板上

顕微鏡により Ge 層の形状を確認した後、SiO<sub>2</sub> キャップ層を HF 溶液で除去し、結晶化した Ge 層の形態を評価するために走査型電子顕微鏡 (SEM: Scanning Electron Microscopy) で観察した。また、エネルギー分散型 X 線 (EDX: Energy-Dispersive X-ray spectroscopy) 分析と電子後方散乱回折 (EBSD: Electron Backscatter Diffraction) 分析により Ge ワイヤの組成と結晶性の評価をそれぞれ行った。

また、SOI 基板を用いて SOI 層をパッド状に加工した後、Ge を成膜・パターンニングすることにより SOI パッドから埋め込み酸化膜上に横方向エピタキシャル成長が起きることも確認した (図 1(b) 参照。ただし SiO<sub>2</sub> キャップ層は省略)。EBSD による結晶性評価に加え、形成した Ge ワイヤの両サイドに Al 電極を形成し、バックゲートトランジスタを作製した。

### (2) 液相エピタキシャル成長による完全歪緩和 SGOI 基板の作製

SOI 基板 (SOI 層: 57 nm、BOX 層: 143 nm) を洗浄後、MBD によりアモルファス Ge を室温で 35 nm 成膜し、さらにスパッタ法にて SiO<sub>2</sub> 層を 100 nm 成膜した。その後、N<sub>2</sub> 雰囲気中で 1035°C、1 分間の急速加熱処理を行った。図 2 に急速加熱前後の層構造変化を模式的に示す。作製した SiGe 層の表面ラフネスは、フッ酸により最表面の SiO<sub>2</sub> 層を除去した後、AFM 及び光学干渉顕微鏡を用いて評価した。SiGe 層中の Ge 濃度及び歪み緩和率は X 線逆格子マッピング測定法 (XRSM) を用いて測定した。結晶欠陥、深さ方向の Ge 濃度分布測定にはそれぞれ TEM と EDX を使用した。

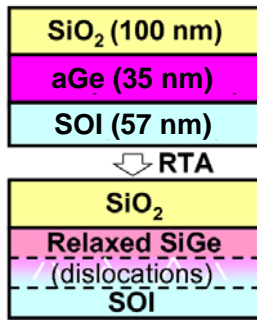


図2 液相エピタキシャル成長によるSGOI基板作製の模式図。

#### 4. 研究成果

##### (1) 横方向液相エピタキシャル成長による局所GOI構造の作製

まず液相 Ge と SiO<sub>2</sub> 層の塗れ性の悪さに起因した Ge の凝集を抑制し、液相エピタキシャル成長を誘起するために熱処理条件、Ge 膜厚、SOI 層の厚さの最適条件を検討した。Si 基板上での Ge ワイヤ作製では、単結晶 Ge 層の形成は確認できたが、キャップ SiO<sub>2</sub> 層のウェットエッチングの際に Ge 層下層の SiO<sub>2</sub> 層も除去されてしまい、トランジスタ等のデバイスを作製することが困難であった。また、フェムト秒パルス YAG レーザーを用いた溶解・結晶化では、アブレーションによる SiO<sub>2</sub> キャップ層の変形が顕著に見られ、その抑制が課題となることがわかった。

以上の結果から、急速ランプ加熱装置を用いて SOI 基板上での Ge ワイヤ作製を行なった。急速加熱処理後の Ge の形状維持のためには、シード領域をウェットエッチングによって作製することが有効であることがわかった。EBSD によって Ge ワイヤの結晶方位を評価したところ、Ge ワイヤは SOI パッド層と結晶方位を同じくする単結晶であることを確認した。横方向液相エピタキシャル成長によって作製した単結晶 Ge ワイヤと、多結晶 Ge およびアモルファス Ge のバックゲートトランジスタ特性とを比較することより、横方向液相エピタキシャル成長によって形成した単結晶 GOI の方が優れた特性を示すことを確認した。

##### (2) 液相エピタキシャル成長による完全歪緩和 SGOI 基板の作製

SOI 層厚が 57 nm の試料の断面 TEM 像及び EDX による Ge 濃度分布を図 3 に示す。大きく 3 つの層に分かれ、表面層は無転位の単結晶となっていることがわかる。EDX の結果と照らし合わせると、下層は残存した SOI 層だと考えられる。また、中間層の Ge 濃度には組成傾斜があるのに対し、表面層の Ge 濃度は

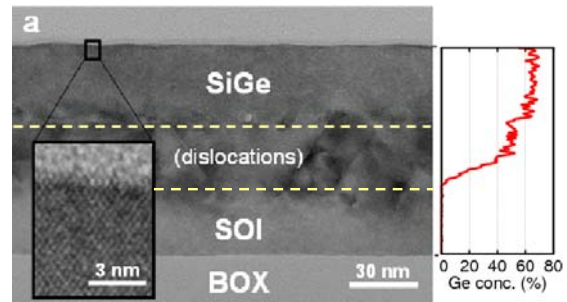


図3 液相エピタキシャル成長によって作製したSGOI基板の断面TEM像およびGe濃度プロファイル。

63%とほぼ一定になっていることが特徴的である。さらに、中間層には歪み緩和に由来する欠陥が多く見られるが、表面層には全く見られない。つまり、中間層にて発生した転位が表面層に伝播せず、水平方向に進路を変える何らかの要因が示唆された。

XRSM 測定の結果、SGOI 層は完全に歪み緩和していることがわかった。さらにキャップ SiO<sub>2</sub> 層を除去後、SGOI 層表面を光学干渉顕微鏡および AFM 観察 (500×500 nm<sup>2</sup>) により評価した結果、表面ラフネスはそれぞれ 0.29 および 0.51 nm (RMS) という良好な値を示した。さらに、これらの SiGe 表面には酸化濃縮などの従来法特有のクロスハッチパターンも見られず、液相成長における SiO<sub>2</sub> キャップによる表面ラフネス抑制効果が期待できる。

一方、SGOI 層中の Ge 濃度について、熱処理温度依存性を調べたところ、熱処理温度を下げるほど SiGe 層の Ge 濃度が増加することがわかった。以上のように、簡便なプロセス、良好な結晶性に加え、熱処理温度を変えることにより、Ge 濃度の異なる SiGe 層を作製できる本手法は SGOI 構造作製において非常に有用な技術であると結論できる。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計2件)

① Takayoshi Shimura, Shimpei Ogiwara, Chiaki Yoshimoto, Takuji Hosoi, and Heiji Watanabe, Fabrication of Fully Relaxed SiGe Layers with High Ge Concentration on Silicon-on-Insulator Wafers by Rapid Melt Growth, Appl. Phys. Express, Vol.3 (2010) 105501-1-3. (査読有)

② Tatsuya Hashimoto, Chiaki Yoshimoto, Takuji Hosoi, Takayoshi Shimura, and Heiji Watanabe, Fabrication of Local Ge-on-Insulator Structures by Lateral

Liquid-Phase Epitaxy: Effect of Controlling Interface Energy between Ge and Insulators on Lateral Epitaxial Growth, Appl. Phys. Express, Vol.2 (2009) 066502-1-3. (査読有)

〔学会発表〕(計5件)

①荻原伸平、鈴木雄一朗、吉本千秋、細井卓治、志村考功、渡部平司、急速加熱液相エピタキシャル成長法による高 Ge 濃度 SGOI 構造の作製、ゲートスタック研究会—材料・プロセス・評価の物理—第 16 回研究会、2011. 1. 22、東京工業大学

②荻原伸平、吉本千秋、細井卓治、志村考功、渡部平司、急速加熱液相エピタキシャル成長法による高 Ge 濃度 SGOI 構造の作製、第 71 回応用物理学会学術講演会、2010. 9. 14、長崎大学

③荻原伸平、鈴木雄一朗、吉本千秋、細井卓治、志村考功、渡部平司、急速加熱液相エピタキシャル成長法により作製した SGOI 構造の Ge 濃度のアニール温度依存性、第 71 回応用物理学会学術講演会、2010. 9. 14、長崎大学

④ Tatsuya Hashimoto, Chiaki Yoshimoto, Takuji Hosoi, Takayoshi Shimura, and Heiji Watanabe, Fabrication of Single-Crystal Local Germanium-on-Insulator Structures by Lateral Liquid-Phase Epitaxy, 2009 Material Research Society Fall Meeting, 2009. 11. 30, Boston, USA.

⑤ Chiaki Yoshimoto, Tatsuya Hashimoto, Takuji Hosoi, Takayoshi Shimura, and Heiji Watanabe, Fabrication of Ge Nano-Wires on Insulators Using Lateral Liquid-Phase Epitaxy, 5th Handai Nanoscience and Nanotechnology International Symposium, 2009. 9. 1, Osaka University, JAPAN.

## 6. 研究組織

### (1) 研究代表者

細井 卓治 (HOSOI TAKUJI)  
大阪大学・工学研究科・助教  
研究者番号：90452466

### (2) 研究分担者

なし

### (3) 連携研究者

なし