

令和 6 年 9 月 20 日現在

機関番号：17104

研究種目：基盤研究(B)（一般）

研究期間：2021～2023

課題番号：21H01314

研究課題名（和文）高電力パワーIC実現に向けたヘテロジニアスインテグレーション技術の研究

研究課題名（英文）Study on heterogeneous integration technology for high power power IC

研究代表者

松本 聡 (MATSUMOTO, Satoshi)

九州工業大学・大学院工学研究院・教授

研究者番号：10577282

交付決定額（研究期間全体）：（直接経費） 13,400,000円

研究成果の概要（和文）：GaNパワーデバイスとSi-CMOSのヘテロジニアスインテグレーション実現に向け、GaN/Si(111)基板とSi(100)基板（Si-CMOSを搭載することを想定）の接合技術とSi(111)基板とBuffer層の除去技術及びThrough Semiconductor VIAの形成技術を確立した。また作成した基板を用いてGaN/AlGaNヘテロ接合界面のひずみ・応力場を、(1)ラマン分光法、(2)有限要素法熱応力解析、および(3)TEM画像へのサンプリングモアレ法の適用により評価した。評価結果から、GaN/AlGaN界面のGaN側に8.4 GPaの圧縮応力が生じていることを明らかにした。

研究成果の学術的意義や社会的意義

GaNパワーデバイスとSi-CMOSをヘテロジニアスインテグレーションする技術を実現するとともに、実現した基板の応力を解析することにより3次元パワーIC実現に向けての基盤技術を確立した。提案した技術を採用することにより、高効率で小型の電源が実現でき、カーボンニュートラル2050に貢献できる。

研究成果の概要（英文）：We have developed the wafer bonding technology of GaN/Si(111) substrate and Si(100) substrate (assuming Si-CMOS is mounted), the removal technology of Si(111) substrate and Buffer layer to realize heterogeneous integration of GaN power devices and Si-CMOS. We have also developed the technology for making a Through Semiconductor VIA. The strain and stress fields at the GaN/AlGaN heterojunction interface were evaluated by (1) Raman spectroscopy, (2) finite element thermal stress analysis, and (3) application of the sampling Moire method to TEM images. From the evaluation results, it was found that a compressive stress of 8.4 GPa was generated on the GaN side of the GaN/AlGaN interface.

研究分野：パワーエレクトロニクス

キーワード：3D パワーIC 3DIC ヘテロジニアスインテグレーション GaNパワーデバイス

1. 研究開始当初の背景

“パワーエレクトロニクス”は、省エネルギー技術戦略 2016 (<http://nedo.go.jp/content/100795546.pdf>)の重要技術として取り上げられている。パワーエレクトロニクス技術の重要な課題の1つが電力変換装置の高効率化であり、パワーデバイスや電源回路の低損失化とパワーマネジメント機能等の高機能化によるシステムレベルの高効率化が有効な手段である。高機能化に対してはパワーIC化が有望である。

モータの電力消費量は日本の消費電力の約 55%を占めており [1]、産業用モータ向けのインバータのパワーデバイスを Si から GaN に替えることにより 30%~50%損失が低減できる [2]。GaN パワーデバイスを用いたインバータ用の IC が実現できればインバータの導入が容易になり、さらに大容量の 10kW 級のインバータ IC (従来の 5 倍以上) が実現できれば適用範囲が広がり、省エネが促進される。GaN デバイスは n-ch デバイスが主流であり、また Si レベルの高集積化が難しいため、Si 技術のパワーIC のようなパワーマネジメント機能の搭載は難しい。Si 技術で作製した制御 IC を用いて GaN パワーデバイスを駆動する方法があるが、寄生インピーダンスの影響で GaN パワーデバイスの性能を引き出すことが困難である [3]。GaN パワーデバイスと Si-LSI を 3次元に積層し、集積することにより寄生インピーダンスを極限まで低減できる 3次元パワーSoc (Supply on Chip) を研究代表者が提案した (図 1) [4]。この技術を高電圧・大容量むけに発展させ、200~240V 入力で 10kW 級パワーIC 実現できればインバータの装着率が増加し、省エネの促進に貢献できる。

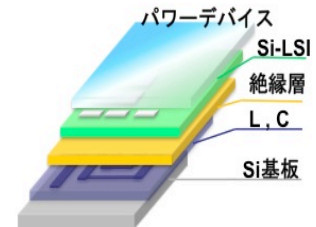


図1 3次元パワーSoC

2. 研究の目的

本研究では、GaN パワーデバイスと Si-CMOS を集積し、650V 耐圧、10kW クラスのパワーIC を搭載することが可能な基板を開発する (図 2)。GaN パワーデバイスはピエゾ電荷効果のような応力を利用して高性能化している反面、GaN 層の膜厚や基板の層構成による応力の影響により基板にクラックの発生や、最悪の場合は基板が割れる。また、大電力を扱うことから排熱構造も重要となる。このため、基板への応力と排熱構造を考慮に入れながら GaN パワーデバイスと Si-CMOS との集積化に適した基板の実現とその製造プロセスを確立する。また、パワーIC 用 GaN-on-Si 構造における GaN/AlGaIn ヘテロ接合界面のひずみ・応力場を評価することや GaN-on-Si 試験片断面の TEM 画像にサンプリングモアレ法 [6] を適用する新たな試みを実施し、評価結果から、GaN-on-Si 構造デバイスの動作、高性能化について考察する

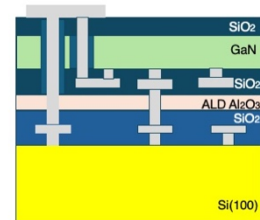


図2 本研究で提案するパワーIC用基板

3. 研究の方法

GaN/Si(111)基板と Si(100)を出発基板として、両基板を貼り合わせた後、Si(111)基板の除去及び各種の評価を進めた。

4. 研究成果

(1) Si(100)基板と GaN/Si(111)の接合と Si(111)基板の除去

図 3(a)と (b)に Si(111)層のウエットエッチング後の顕微鏡写真を示す。周辺部に保護層を設けない場合 (図 5(b))、サイドエッチングにより GaN 層と buffer 層が剥離している。

図 4 に Si(111)層除去後、図 5 に Buffer 層除去後の断面の SEM 写真を示す。Al 電極を埋め込んでも Si(111)と GaN 層が接合できている。

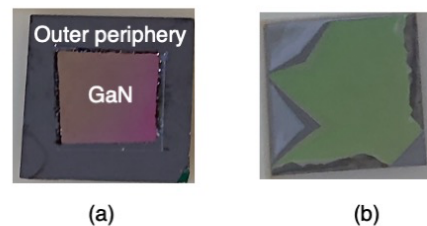


図3(a)外周部に保護層を設けた場合の表面の顕微鏡写真

(b)外周部に保護層を設けない場合の表面の顕微鏡写真

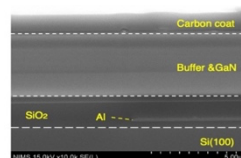


図4 Si(111)基板除去後の断面のSEM写真

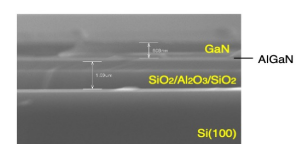


図5 Si(111)基板除去後の断面のSEM写真

(2)応力解析

ラマン分光法

デバイス構造を模擬した GaN-on-Si 構造試験片、具体的には、図 6 に示す Si(111)基板上に buffer 層、C doped i-GaN 層、i-GaN 層、i-AlGaIn 層、i-GaN 層の順にエピタキシャル成長させた。GaN-on-Si 構造試験片に対し、ラマン分光法を用いて i-GaN 層と i-AlGaIn 層界面の i-GaN 層側の応力を評価した。その際、スペクトルを Si(111)と GaN- E_2^H , $A_1(LO)$ の 3 モードに分類し、ラマンピークに Pseudo-Voigt 関数をフィッティングしてピーク位置を同定した。

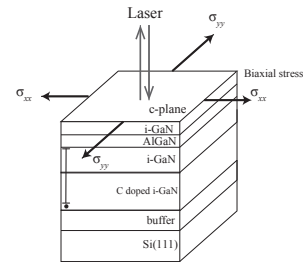


図 6 ラマン分光評価用試験片

有限要素法熱応力解析

Si(111)基板上に buffer(AIN)層, GaN 層を堆積した 3 次元 GaN-on-Si 構造モデルを対象に、GaN の成長温度である 800°C から常温 (20°C) まで降温した際の残留熱応力解析を行った。その際、Si(111)基板厚さを変化させ (1000 μm~100 μm)、基板厚さの違いによる残留熱応力の変化を評価した。図 14 には、本研究で用いた有限要素法モデル (1/4 対象モデル) を示す。線膨張係数と弾性係数は温度依存性を考慮した。

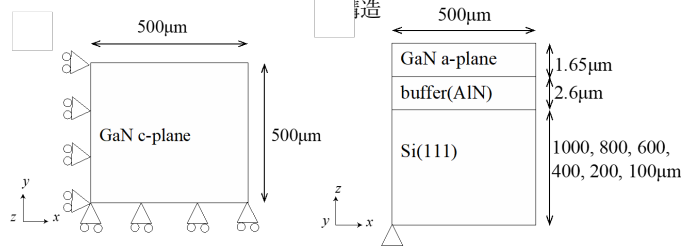


図 7 有限要素法熱応力解析モデル

TEM 画像へのサンプリングモアレ法の適用

本研究では、TEM 画像にサンプリングモアレ法[6]を適用してひずみを評価するという新たな試みを実施した。具体的には、図 8 に示す GaN-on-Si 試験片断面の TEM 観察を行い、観察画像にサンプリングモアレ法を適用して、GaN/AlGaIn 界面の応力場評価を行った。TEM 観察試験片は FIB 加工を行い、その後 Ar イオンミリングを施した。

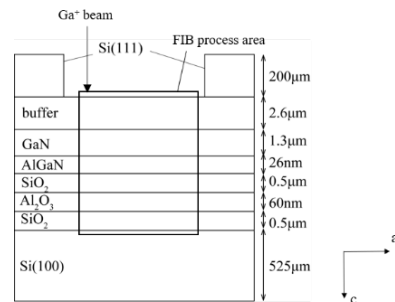


図 8 TEM 観察用試験片構造

参考文献

- [1] https://www.jema-net.or.jp/jema/date/date/2016_TM.PDF.
- [2] X.Ding, et al., CES Trans. on Electrical Machines and Systems, Vol.3, pp. 54-64, 2019.
- [3] D. Reusch et al., IEEE APEC 2013, p.649, 2013.
- [4] Y.S. Cheng, et al., IEEE ECCE 2018, p.6441, 2018.
- [5] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, Jpn. J. of Applied Physics, vol.54.No. 4 04CR13, 2017.
- [6] 小金丸他, 位相シフトサンプリングモアレ法を用いた電子パッケージのひずみ計測手法の提案, エレクトロニクス実装学会誌, Vol.22, No.1, pp.95-102, 2019.

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 R. Yamanishi and S. Matsumoto	4. 巻 126
2. 論文標題 Comparison of the instability in device characteristics for thin-film SOI power n- and p-MOSFETs at high temperature under AC stress	5. 発行年 2021年
3. 雑誌名 Microelectronics reliability	6. 最初と最後の頁 114301
掲載論文のDOI（デジタルオブジェクト識別子） 10.1016/i.microrel.2021.114301	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計11件（うち招待講演 0件/うち国際学会 5件）

1. 発表者名 A. Furue, S. Miyasaka, Y. Ohgushi, R. Yamanishi, and S. Matsumoto
2. 発表標題 Design Consideration of 3D Power SoC Using Virtual Prototyping
3. 学会等名 International Conference on Electronics Packaging 2022（国際学会）
4. 発表年 2022年

1. 発表者名 古江文乃, 松本聡, 長谷川雅考
2. 発表標題 2次元材料を3次元パワーICに導入するためのシミュレーションによる検討
3. 学会等名 第32回マイクロエレクトロニクスシンポジウム
4. 発表年 2022年

1. 発表者名 大串悠介, 松本聡
2. 発表標題 ゲートドライバーICの1チップ化・高機能化に向けての検討
3. 学会等名 電子情報通信学会電子通信エネルギー技術研究会
4. 発表年 2022年

1. 発表者名 古江文乃, 宮坂晋永, 大串悠介, 山西理樹, 松本聡, 長谷川雅考
2. 発表標題 次世代スイッチング電源の設計方法としてのVirtual Prototypingの提案とこれを用いたスイッチング電源の小型化の検討
3. 学会等名 電子情報通信学会電子通信エネルギー技術研究会
4. 発表年 2023年

1. 発表者名 尾ノ上義喜, 小金丸正明, 松本聡, 池田徹
2. 発表標題 有限要素法解析とラマン分光法によるパワーデバイス用GaN-on-Si構造の応力場評価
3. 学会等名 CMD2022 日本機械学会第35回計算力学講演会
4. 発表年 2022年

1. 発表者名 塩田智基, 小金丸正明, 塩塚航生, 松本聡, 池田徹
2. 発表標題 S01-nMOSFETにおける機械的応力効果のゲート長さおよび負荷方向依存性のデバイスシミュレーション
3. 学会等名 CMD2022 日本機械学会第35回計算力学講演会
4. 発表年 2022年

1. 発表者名 A. Furue and S.Matsumoto
2. 発表標題 Numerical investigations for 3D power supply on chip by coupling of thermal-fluid, circuit, and electromagnetic field simulations
3. 学会等名 IEEE 3D system integration conference 2021(3DIC2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Y. Ogushi and S.Matsumoto
2. 発表標題 Fully integrated transformer less floating gate driver for 3D power supply on chip
3. 学会等名 IEEE 3D system integration conference 2021(3DIC2021) (国際学会)
4. 発表年 2021年

1. 発表者名 瀨屋有志, 岡本萌, 新海聡子
2. 発表標題 アルコール希釈TMAHを用いた窒化ガリウムのウエットエッチング
3. 学会等名 第69回応用物理学会春季学術講演会
4. 発表年 2022年

1. 発表者名 Masaaki Koganemaru, Tomoki Shiota, Koki Shiotsuka, Satoshi Matsumoto, Toru Ikeda
2. 発表標題 Experimental and numerical study for mechanical stress effects of SOI-powerMOSFETs under parasitic bipolar region
3. 学会等名 International Microsystems, Packaging, Assembly and Circuits Technology conference (IMPACT 2023) (国際学会)
4. 発表年 2023年

1. 発表者名 S.Miyasaka, Y.Norihide, A.Furue, S.Shinkai and S. Matsumot
2. 発表標題 Development of a heterogeneous integration of GaN power device on Si-LSI
3. 学会等名 2023 IEEE the 73rd Electronic Components and Technology Conference, (国際学会)
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	小金丸 正明 (KOGANEMARU Masaaki) (20416506)	鹿児島大学・理工学域工学系・准教授 (17701)	
研究 分担者	新海 聡子 (SHINKAI Satoko) (90374785)	九州工業大学・大学院情報工学研究院・准教授 (17104)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------