

令和 6 年 6 月 10 日現在

機関番号：12608

研究種目：基盤研究(B)（一般）

研究期間：2021～2023

課題番号：21H01384

研究課題名（和文）化合物半導体横方向ヘテロ接合の創成とその電子デバイスへの応用

研究課題名（英文）Creation of compound semiconductor lateral heterojunctions and their application to electronic devices

研究代表者

宮本 恭幸（Miyamoto, Yasuyuki）

東京工業大学・工学院・教授

研究者番号：40209953

交付決定額（研究期間全体）：（直接経費） 13,870,000円

研究成果の概要（和文）：化合物半導体トンネルFETは、低消費電力と高駆動能力を両立できると期待されるが、従来の縦方向素子では、チャネル単体の評価が難しかった。そこで、本研究では横方向に化合物半導体ヘテロ接合を導入することで、チャネル単体の評価を可能にし、作製したトンネルFETとプレーナー型素子との直接比較を可能にした。また、横方向トンネル接合のさらなる可能性として、ラテラルHBTについての探索を行った。

研究成果の学術的意義や社会的意義

トンネルFETは、低電源電圧におけるオフ時の消費電力の少なさから期待されているが、シリコンではオン時の駆動能力も減ってしまう難点がある。化合物半導体のヘテロ接合をトンネル接合とすることでオン時の高駆動能力は期待できるが、化合物半導体のMOS構造は未成熟でゲートスタック構造の評価とトンネル接合の構造を分けて評価すべきである。本研究では、横方向化合物半導体ヘテロ接合を用いたトンネルFETの作製を行い、おなじチャネル構造を持つ一般的なプレーナー型素子との比較を可能にした。また、この構造はHBTなどの他のデバイスでも新たな可能性を見出せることからその探索も行った。

研究成果の概要（英文）：Compound semiconductor tunnel FETs are expected to combine low power consumption with high drive capability, but it has been difficult to evaluate the channel alone in conventional vertical devices. In this study, we introduced a compound semiconductor hetero junction in the lateral direction, which enables evaluation of the channel alone and direct comparison between the fabricated tunnel FET and planar devices. We also explored lateral HBTs as a further possibility for lateral tunnel junctions.

研究分野：電子デバイス

キーワード：ヘテロ構造 トンネルFET ラテラルHBT 低消費電力

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

Si 系において、材料の限界に達していることから、低電圧においても電子の高速性を得られる化合物半導体によるトランジスタへの要求が高まり、その中でも低電源電圧でも低い待機電力とオン時の高駆動電流を併せ持つ可能性を持つヘテロ接合トンネル FET が期待されていた。ただし、一般的な結晶成長によって縦型のヘテロ構造を形成した場合は、チャンネルが側壁になり、平面的なチャンネルで確立された諸特性評価が行えないことから、問題の抽出が難しくなっていた。そこで、横型ヘテロ接合を用いてのトレンドから次のマルチゲート構造はナノシート構造と考えナノシート InGaAs MOSFET をすでに作製していること、III-V 族ヘテロ接合トンネル FET についての福田との計算でチャンネルの薄膜化は 6nm 程度まで進めるべきだが同時に膜厚の差でしきい値がばらつくことから現時点での縦型素子がチャンネル幅のばらつきで性能限界が来ている可能性が示唆されたこと、さらに同じ結晶成長装置を共有している東工大研究者が横方向 p-i-n 接合を 4 回の成長により形成したレーザ等からナノシートトンネル FET の着想を得た。さらに狭バンドギャップバイポーラトランジスタを用いた低消費電力・相補型回路の可能性について菅原と議論したことから、横方向ヘテロ接合の結晶成長技術を拡張し、ラテラル HBT を作成するという着想を得た。

2. 研究の目的

本研究の目的は、化合物半導体薄膜の横方向のみに形成するヘテロ接合を創成し、横方向ヘテロ接合の自由度を用いた電子デバイスを実験的に示すことである。作製するデバイスは、論理回路における高速性と低消費電力性を両立できると考えられるナノシートトンネル FET とラテラル HBT である。ラテラル HBT は狭バンドギャップバイポーラトランジスタによる相補型回路(以下 CBipolar)の実現を目指して作製する。

3. 研究の方法

ナノシートトンネル FET の基礎としてナノシート FET の作製を行う。ナノシートは初回の成長により成膜される InGaAs チャンネル部分の形成、それを両端で支える SD 電極部の再成長層の形成、初回成長層のチャンネル層の上下層のエッチングによるナノシート形成、原子層堆積法によるチャンネル部分への金属・絶縁体・半導体によるゲートスタック構造の形成、ALD 金属とゲートパッド部分の形成などからなる。

ナノシートトンネル FET のもう一つの基礎として、GaAsSb の再成長層をソースにし、チャンネル層とその横方向で接触したトンネル FET を作製する。初回の成長により成膜される InGaAs チャンネル部分とドレイン部分の形成、そこに側面から接合を形成するための、p-GaAsSb 層の再成長によるソース層の形成、電極部の再成長層の形成などからなる。また得られた特性の評価を、同じゲートスタック構造を持つ平面 MOSFET と比較して行う。

ラテラル HBT について、特に特性を決めると考えられる pnp ラテラル HBT について、デバイスシミュレーションおよび CBipolar を仮定して回路シミュレーションを行う。正孔移動度が高いことが期待できる Sb 系の材料を用い、かつ横方向の成長を前提として格子整合の制約を廃して計算を行う。回路としての消費電力特性、遅延時間特性などを明らかにする。

4. 研究成果

過去の我々の報告でナノシート FET として電流特性が得られたものは、ナノシートの裏面には電極が形成されていなかった。そこで今回はメタル ALD によりチャンネル全体をすべて囲んだ形状のメタルゲートでの形成を行えるようにし、透過電子顕微鏡による断面観察、および原子分布分析から、図 1 に示すような 10nm 厚のナノシート構造の形成でのゲートスタック構造が確認された。

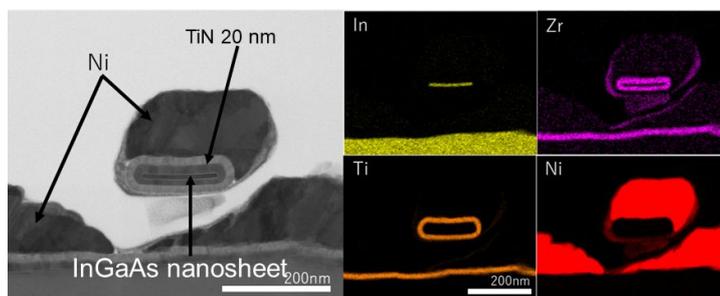


図 1 ナノシートチャンネルの透過電子顕微鏡像および原子分布

この構造においてトランジスタ動作の確認も行えた。しかしながら得られた電流密度は $8.4 \mu\text{A}/\mu\text{m}$ と低かった。我々が試したゲートスタック構造では、TiN 上に直接 Au/Ni 電極層を形成することにより、移動度が低下していることが平面 MOSFET の作製から明らかになった。そこで、ALD による TiN 層と通常の Au/Ni 電極の間にスパッタによりタングステンを入れることで改善することを平面 MOSFET で明らかにした。

しかしながらその構造によってナノシート FET を作成すると、ナノシートのチャンネル部分が図 2 のように破断してしまい、動作が得られなかった。その後スタック構造などの改善は試みたが、高い移動度をもつナノシート FET を破断なく実現することができなかった。

GaAsSb の再成長層をソースにし、チャンネル層とその横方向で接触したトンネル FET の作成においては、 $5 \times 10^{19} \text{cm}^{-3}$ という高濃度の p-GaAsSb の成長条件においては、選択成長性が弱くなることが明らかになった。このとき、チャンネルの保護に用いる SiO_2 マスク表面上に析出した多結晶などがソース層と結合することで、作製が阻害されてしまう。そこで、マスクの厚さを結晶成長層厚より厚くすることで、この結合を低減できることを明らかにした。その手法を用いることで、最初に平面方向に形成されたヘテロ構造による InGaAs チャンネルと、再成長において形成した p-GaAsSb ソースを横方向のヘテロ接合を形成することを可能にした。作製したトンネル FET の模式図を図 3 に示す。この構造においては、形はまったく同じチャンネルであるが、ソースが通常の InGaAs 層である平面 MOSFET も作成でき、それとの比較から、移動度など、様々な特性を抽出することができる。

得られた特性でのサブスレッシュヨルドスロープは、図 4 に示すように $120 \text{mV}/\text{dec}$ であったが、ヒステリシスが大きいことも同時に観測された。これは再成長などを含むプロセス全体が、一般的に平面 MOSFET よりも長いことから、界面準位密度により悪化していると考えられた。サブスレッシュヨルドスロープは、ゲート電圧に対する表面ポテンシャルの変化と表面ポテンシャルの変化による電流の変化の積からなると考えられる。ここで、ヒステリシス特性は、おもにゲート電圧に対する表面ポテンシャルの変化で決まると考えられる。一方、表面ポテンシャルの変化による電流の変化は一般的な MOSFET においては、 $60 \text{mV}/\text{dec}$ になると考えられ、ここが $60 \text{mV}/\text{dec}$ よりも小さいことがトンネル FET の急峻な特性の原理である。そこで、同様のヒステリシス特性を持つ、同チャンネル構造の InGaAs MOSFET と比較することで、表面ポテンシャルと電流の変化を見積もったところ、 $52 \text{mV}/\text{dec}$ と $60 \text{mV}/\text{dec}$ よりも下回っていることを明らかにした。この解析手法は、今までにないものであり、トンネル FET の新たな評価法と言える。

GaInSb npn ラテラル HBT について、CBipolar 回路における待機時消費電力や遅延時間を求めた。デバイス構造としては、図 5 に示すように、エミッタとコレクタに p-GaInSb を、ベース層として n-InSb を想定し、ベース層などのキャリア濃度は電流利得ができるだけ高くなるように最適化を行った。また、再成長による外部ベース InSb 層も導入した。この外部ベース層高さを高くすると電流利得は高くなることから、ベース電極と真性ベース層を離すことで、電流利得が高くなることも示した。この構造において、まず、図 5 に示すようなガンメルプロットを計算した。電源電圧 250mV において、電流利得は 1,000 以上が得られる。一般的に III-V 族半導体において、電子移動度は正孔移動度とより大きく、npn トランジスタの性能は容易に pnp トランジスタを上回れると考えられる。そこで、npn トランジスタの特性は pnp トランジスタの極性のみを反転させた特性と仮定することで、CBipolar 回路の待機時消費電力と遅延時間の計算を可能とした。図 7 に電源電圧とオン時、オフ時の消費電力、図 8 に電源電圧と負荷容量、遅延時間の関係を示す。電源電圧 250mV においてオン/オフ消費電力比は約 180、遅延時間は 2.6ps である。

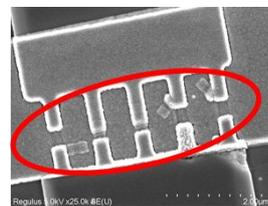


図 2 破断したチャンネル

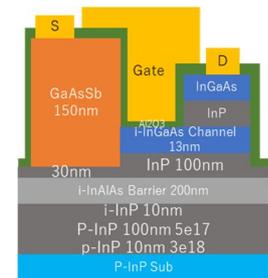


図 3 作製されたトンネル FET

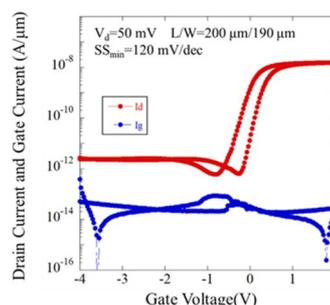


図 4 トンネル FET の I-V 特性

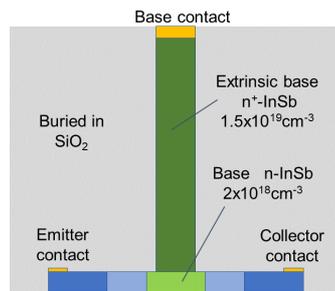


図 5 pnp ラテラル HBT

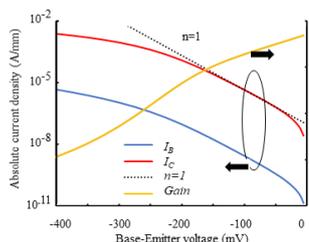


図 6 ガンメルプロット

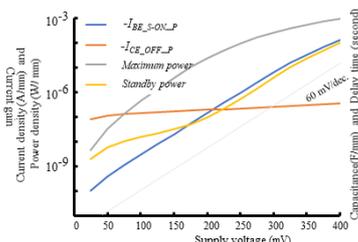


図 7 電源電圧と消費電力

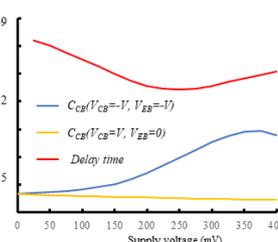


図 8 電源電圧と遅延時間

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Fan Jiawei, Xu Ruifeng, Arai Masakazu, Miyamoto Yasuyuki	4. 巻 63
2. 論文標題 GaAsSb/InGaAs tunnel FETs using thick SiO ₂ mask for regrowth	5. 発行年 2024年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 03SP75 ~ 03SP75
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ad27be	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Miyamoto Yasuyuki, Honjyo Makoto, Fukuda Koichi	4. 巻 63
2. 論文標題 Calculation of GaInSb PNP lateral HBT for complementary bipolar logic technology	5. 発行年 2024年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 03SP63 ~ 03SP63
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ad2919	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 3件）

1. 発表者名 T. Go, M. Kitamura, T. Gotow and Y. Miyamoto
2. 発表標題 PMA Evaluation of TiN ALD in InGaAs Nanosheet MOSFETs
3. 学会等名 34th International Microprocesses and Nanotechnology Conference (MNC 2021), 28B-5-3 (国際学会)
4. 発表年 2021年

1. 発表者名 Y. Miyamoto, M. Honjyo and K. Fukuda
2. 発表標題 Calculation of pnp GaInSb pnp lateral HBT for Complementary Bipolar Logic Technology
3. 学会等名 2023 International Conference on Solid State Devices and Materials (SSDM 2023), N-3-02 (国際学会)
4. 発表年 2023年

1. 発表者名 R. Xu, J. Fan, M. Arai, Y. Miyamoto
2. 発表標題 GaAsSb/InGaAs tunnel FETs using thick SiO2 mask for regrowth
3. 学会等名 2023 International Conference on Solid State Devices and Materials (SSDM 2023), PS-4-16 (国際学会)
4. 発表年 2023年

1. 発表者名 許 瑞豊、范 珈偉、荒井 昌和、宮本 恭幸
2. 発表標題 厚いSiO2マスクを用いた再成長によるGaAsSb/InGaAsトンネルFETの実現
3. 学会等名 2023年第84回応用物理学会秋季学術講演会 23p-B201-5
4. 発表年 2023年

1. 発表者名 范 珈偉、宮本 恭幸、荒井 昌和
2. 発表標題 厚いSiO2マスクを用いた再成長によるGaAsSb/InGaAsトンネルFETの改善
3. 学会等名 2024年第71回応用物理学会春季学術講演会 24p-52A-1
4. 発表年 2024年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	福田 浩一 (Fukuda Koichi) (00586282)	国立研究開発法人産業技術総合研究所・エレクトロニクス・ 製造領域・主任研究員 (82626)	

6. 研究組織（つづき）

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	菅原 聡 (Sugahara Satoshi) (40282842)	東京工業大学・科学技術創成研究院・准教授 (12608)	
研究分担者	荒井 昌和 (Arai Masakazu) (90522003)	宮崎大学・工学部・准教授 (17601)	
研究分担者	後藤 高寛 (Gotow Takahiro) (70827914)	東京工業大学・工学院・助教 (12608)	2023年3月に東工大を離任し、産総研に移り研究テーマが変わったため、2023年度は研究分担者ではない。

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関