

令和 4 年 5 月 19 日現在

機関番号：10101

研究種目：奨励研究

研究期間：2021～2021

課題番号：21H04328

研究課題名 アナログ回路を用いたイジングアニーラの3次ハミルトニアンへの拡張

研究代表者

吉川 浩 (Yoshikawa, Hiroshi)

北海道大学・事務局・特定専門職

交付決定額（研究期間全体）：（直接経費） 470,000円

研究成果の概要：本研究は、アナログ電圧が自然に定まる原理を最適化問題の局所解探索に利用することで従来の計算機では苦手とする問題を効率よく解ける新たな計算手法を開発することを目指している。今年度は、昨年度までの研究で得られたアナログ回路による最適解探索回路（アナログアニーラ）を拡張し、目的関数（ハミルトニアン）が従来の2次方程式から3次以上の方程式へ拡張され、基本論理（AND/OR/NOT）や任意の論理関数を扱えるようになった。また実機回路によるデモでは、加算器の論理式からハミルトニアンを作成し、アニーラに和を与えてそれを満たす2数が求まることを示し、逆問題（出力から入力を求める問題）への応用可能性を示した。

研究成果の学術的意義や社会的意義

今回の研究成果によりアナログアニーラによる逆問題解法の可能性が示せた。また、ハミルトニアンが高次へ拡張されたことで任意の論理関数（論理述語）が扱えるようになり、Prolog等の論理プログラミングへの応用も期待される。

これらはデジタルコンピュータが苦手とする問題領域である。量子コンピュータもデジタルコンピュータが苦手とする問題を扱えるが、量子は非常にデリケートで扱いが難しく、ごく限られた環境でしか動かせない。一方、アナログ回路は扱いやすく通常的环境下で動作が可能である。アナログ回路はデジタル回路と同じく電子回路であるためデジタルとアナログ両方の長所を融合させたハイブリッド計算機も作りやすい。

研究分野：電子回路工学

キーワード：アナログ回路 イジングモデル 最適化問題 アニーラ 述語論理

1. 研究の目的

本研究は、アナログ回路が持つ性質 — 回路定数や接続状態に応じてアナログ電圧が自然に決定される性質 — を「焼きなまし法 (シミュレーテッド・アニーリング)」に応用することで最適化問題を高速に解く新しい計算手法や計算機を実現しようとするものである。

今年度の課題の目的は、昨年度までの研究成果であるアナログ回路を利用した最適化問題を解く機構 (アナログ・イジング・アニーラ) に対し、扱えるハミルトニアン方程式を 2 次方程式から 3 次以上へ拡張すること、ハミルトニアンで基本論理ゲート (AND/OR/NOT) を表せるようにすること、それにより任意の論理関数を扱えるようにすること、および述語論理への応用を可能にすることである。

2. 研究成果

(1) 最適化問題を解くイジングモデルにおけるハミルトニアン H は図 1 に示す σ_i の 2 次方程式で表される。イジングモデルは物理学において物質の磁気的な性質を説明するために導入されたモデルで、ノード i における磁気スピンの向きを表す変数 σ_i 、2 つのスピン σ_i, σ_j の相互作用を表す定数 J_{ij} 、外部磁場を表す定数 h_i 、および定数 K からなる。ハミルトニアン H はエネルギーを表しており、イジング・アニーラはエネルギーを最小にするような σ_i の組み合わせ (基底状態) を探索していることになる。一般にイジングモデルで扱える最適化問題は図 1 で示す 2 次方程式で表されるものに限定されてしまうため、今回の研究では扱える最適化問題の範囲を広げるためにハミルトニアンを 3 次方程式に拡張することを目指した。

$$H = - \sum_{i,j} J_{ij} \sigma_i \sigma_j - \sum_i h_i \sigma_i + K$$

$\sigma_i \in \{-1, 1\}$
 $J_{ij}, h_i, K = \text{const.}$

図 1 ハミルトニアン(2 次式)

3 次式では 3 スピン ($\sigma_i, \sigma_j, \sigma_k$) 間の相互作用を考える必要が出てくる。これを解決するため、まず 3 スピンのうちのひとつ σ_k を 1 に固定した回路と -1 に固定した回路を σ_k の値に応じて切り替える方式を机上で検討した (切り替えにはアナログスイッチまたは 3 ステートバッファの利用を想定)。しかし、この方法は 3 スピンそれぞれについて固定したものを考えた場合に回路が複雑になってしまうため実現まで至らなかった。

次に、3 スピンの相互作用について、2 スピン間 σ_i, σ_j の相互作用 J_{ij} が残りのスピン σ_k の関数 $J_{ij}(\sigma_k)$ となるモデルを検討した。この方式では、相互作用 J_{ij} は σ_k の値により符号だけが変化するため構造が簡単となっていた。このため、この考えを更に進めることで 4 次式以上へも容易に拡張できることが分かり採用した。この方式を回路で実現する際には、相互作用の絶対値を電気抵抗で表し、符号部分のみデジタル回路で実現ができるため、デジタル部分は FPGA で実現することにした (図 2)。

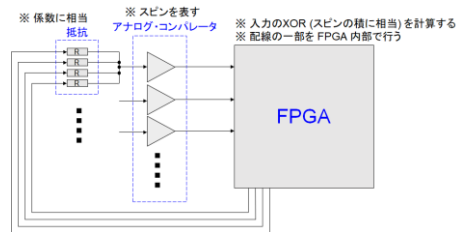


図 2 アナログアニーラ構成

(2) 実際に高次ハミルトニアンを扱うアナログアニーラ基板を試作し動作を確認した (図 3)。基板上には FPGA、アナログ・コンパレータ・アレイ、および抵抗アレイが実装されている。FPGA にはスピンの積に相当する XOR のみ計算させ、ハミルトニアンの値が極小となる状態への遷移は基板上のアナログ・コンパレータと抵抗により行われる。なお、計算には関係ないがスピンの状態を確認するためアナログ・コンパレータの出力によって光る LED を搭載し、スピンの状態を強制的に固定できるよう各アナログ・コンパレータの出力をスイッチで切り替える仕組みを搭載した。

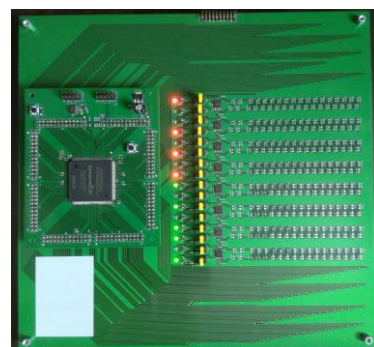


図 3 試作回路基板

本回路基板の FPGA はスピンの積 (XOR) を計算するだけでなく配線の一部も担っている。手はんだで回路の配線を変更するのは回路規模が大きくなると現実的ではなくなるが、FPGA は内部の配線を柔軟に変更できるため問題に応じた回路変更を容易にし、回路規模の拡大にも貢献している。

(3) ハミルトニアンが 3 次式へ拡張されると基本論理ゲート (AND/OR/NOT) を表せるようになり、基本論理ゲートを表せると理論的には任意の論理関数を実現でき、論理関数を用いた述

語論理へと発展可能である。例えば簡単な例として XOR を考えた場合、 $Y = A \text{ xor } B$ という関係は 3 次のハミルトニアン $H = YAB$ の基底状態に等しいことが分かる（ただしスピン 1 を True、スピン -1 を False と考える）。なお $Y = A \text{ xor } B$ という関係は述語論理の記号では $\text{xor}(A, B, Y)$ と表す。このことから、アリティ 3 の述語 $\text{xor}/3$ の解釈はハミルトニアン $H = YAB$ の基底状態として定義できることが分かる。このようにハミルトニアンの基底状態を述語の解釈として捉えることにより、最適化問題を述語という高位言語で記述できることが予想されていた。

本研究では、実際に図 4 に示す 4 ビットの加算器を述語で記述し、その述語記述からハミルトニアンを生成することに成功している。得られた加算器のハミルトニアンは図 5 に示すような 4 次方程式となった。

更に、図 5 のハミルトニアンの基底状態を図 3 の試作基板でアニーリングして求めたところ、全ての入力の組み合わせ（ $16 \times 16 = 256$ 通り）に対して出力に和の値が正しく現れることを確認した。

本来、述語は引数の間の関係を表しているにすぎず引数に入力や出力という概念はない。そこで試作基板に対して和を与えた場合に、それを満たす 2 数が求まるかどうか（すなわち入出力の役割を入れ替えて）実験を行い、正しく動作することを確認した。

以上 (1) ~ (3) の成果を情報処理学会第 84 回大会で発表した。

(4) 今後の課題や予定について

① 本研究課題を通じて、ハミルトニアンの生成手法の研究が重要であることが分かった。既に現時点でも述語記述からハミルトニアンを自動的に生成する方法は一つ見つかっているが、そこで生成されるハミルトニアンの質が問題になる場合がある。例えば、図 4 および図 5 に示した加算器の実験は、当初は乗算器を予定していた。しかし、生成された乗算器のハミルトニアンを実現するには配線が複雑になりすぎることが分かり、予定を変更して加算器にした経緯がある。扱うスピン数が増えると配線の複雑度は指数的に増大し組み合わせ爆発が生じてしまうので、この問題を解決する必要がある。この問題は一般のデジタル回路の設計でも生じているものでもあり、デジタル回路の設計手法から学べるがあると考えている。また、同じ基底状態を持つハミルトニアンは一意に決まらず複数存在しうるため、例えば複数の候補を生成して選択することや、基底状態を変えないハミルトニアンの変換理論を構築することも可能であろうと期待される。今後そのような生成手法を数学的に掘り下げる研究も考えているところである。

② 今回は述語論理の述語のみが扱えるようになったただけであるが、確定節と呼ばれるさらに高度な論理式が扱えるようになると Prolog などの論理プログラミングへの応用が可能になり、論理の問題をアニーリングで解くという新しいパラダイムを開拓できる。そのためには確定節からハミルトニアンを生成する方法が必要であり、現在その研究を本研究課題から継続して行っているところである。

③ 従来の 2 次ハミルトニアンで表されるイジングモデルは、アニーリングによって基底状態に収束することが理論的に保証されている（ただし無限に時間をかけてよいと仮定した場合）。本研究課題で 3 次あるいはそれ以上の次数に拡張したハミルトニアンで表されるモデルにおいても理論的な裏付けが必要であると考えており、今後着手する予定である。

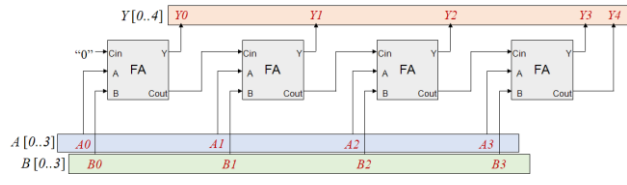


図 4 加算器 (4 bit リプルキャリアダー)

$$\begin{aligned}
 H = & 2S_0X_0Y_0 - C_1X_0Y_0 - C_1X_0 - C_1Y_0 + C_1 \\
 & - 2C_1S_1X_1Y_1 + C_1C_2X_1Y_1 - C_2X_1 - C_2Y_1 - C_1C_2 \\
 & - 2C_2S_2X_2Y_2 + C_2C_3X_2Y_2 - C_3X_2 - C_3Y_2 - C_2C_3 \\
 & - 2C_3S_3X_3Y_3 + C_3C_4X_3Y_3 - C_4X_3 - C_4Y_3 - C_3C_4 \\
 & \quad \quad \quad (\text{ただし } S_4=C_4 \text{ とする})
 \end{aligned}$$

図 5 4bit リプルキャリアダーのハミルトニアン

主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 0件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 吉川 浩	4. 巻 1
2. 論文標題 高次ハミルトニアンを扱うアナログアニーラの開発	5. 発行年 2022年
3. 雑誌名 情報処理学会第84回全国大会講演論文集	6. 最初と最後の頁 15-16
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計1件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 吉川 浩
2. 発表標題 高次ハミルトニアンを扱うアナログアニーラの開発
3. 学会等名 情報処理学会第84回全国大会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

研究組織（研究協力者）

氏名	ローマ字氏名