

令和 6 年 5 月 29 日現在

機関番号：12601

研究種目：基盤研究(A)（一般）

研究期間：2021～2023

課題番号：21H04887

研究課題名（和文）超低電力ニューロモルフィックハードウェア基盤技術のブレークスルー

研究課題名（英文）Breakthrough in fundamental technology for ultralow-power neuromorphic hardware

研究代表者

河野 崇 (KOHNO, Takashi)

東京大学・生産技術研究所・教授

研究者番号：90447350

交付決定額（研究期間全体）：（直接経費） 32,500,000円

研究成果の概要（和文）：脳神経ネットワークに迫るエネルギー効率を実現可能なニューロモルフィックハードウェア基盤技術確立を視野に入れ、脳神経ネットワークの情報処理からより多くを学ぶことで、ニューロモルフィックハードウェアの電力効率を高めるための基礎技術を開発した。特に、超低電力なニューロン回路とそれを用いて実行可能な情報処理モデルとの開発にフォーカスし、神経活動のダイナミクスに着目することで200pW程度の消費電力で動作する神経細胞体回路、及び、効率的に電子回路実装可能な、ノイズを考慮した教師なし学習モデルとを開発した。

研究成果の学術的意義や社会的意義

ニューロモルフィックハードウェアは、神経スパイクと呼ばれるパルス状の電気活動が脳神経ネットワークの情報処理の重要な要素であることから着想された、パルスを用いて情報をコーディングする超並列ハードウェアであり、人工知能（AI）と同等の情報処理を低電力で実行できるハードウェア基盤として注目されている。本研究では、より脳神経系から学ぶことで、脳神経ネットワークに近いエネルギー効率で動作するニューロモルフィックハードウェアの基礎技術を開発した。本技術は、現行のニューロモルフィックハードウェアよりエネルギー効率が3桁程度高い新しいニューロモルフィックハードウェアの基盤技術となりうる。

研究成果の概要（英文）：Fundamental technologies for enhancing power efficiency of neuromorphic hardware were developed by being aware of detailed mechanisms of information processing in the nervous system. Establishing the fundamental technology for neuromorphic hardware with power efficiency comparable to the nervous system is included in the scope of this work. By reproducing the dynamical structures in the neuronal activities, we developed an ultra-low power ( $\sim 200$  pW) neuron circuit. In addition, unsupervised learning models that exploit noises and can be implemented efficiently by mixed-signal circuits were developed.

研究分野：神経模倣システム

キーワード：ニューロモルフィックハードウェア 神経模倣システム 低電力アナログ集積回路 教師なし学習

## 1. 研究開始当初の背景

ニューロモルフィックハードウェアは、神経スパイクと呼ばれるパルス状の電気活動が脳神経ネットワークの情報処理の重要な要素であることから着想された、パルスを用いて情報をコーディングする超並列ハードウェアである。近年社会的重要性の高まっている人工知能(AI)の喫緊の課題の一つが消費電力の高さであるが、AIの実行に用いられている人工ニューラルネットワークと同等の情報処理を低電力で実行できるハードウェア基盤として注目されている。脳神経ネットワークの情報処理はエネルギー効率が非常に高く、例えばヒトの脳の平均消費エネルギーは20W程度といわれている。これに比べ、現行ニューロモルフィックハードウェアは単純比較で3桁程度エネルギー効率が低く、大幅な電力効率の改善の余地があると考えられている。

## 2. 研究の目的

脳神経ネットワークに迫るエネルギー効率を実現可能なニューロモルフィックハードウェア基盤技術確立を視野に入れ、脳神経ネットワークの情報処理からより多くを学ぶことで、ニューロモルフィックハードウェアの電力効率を高めるための基礎技術を開発することが本研究の目的である。本研究期間では、超低電力なニューロン回路とそれを用いることのできる情報処理モデルとの開発にフォーカスした。

## 3. 研究の方法

現行ニューロモルフィックハードウェアは、極めて単純化されたモデルに基づいており、脳神経ネットワークの超高エネルギー効率情報処理を支えていると考えられる様々な特徴を取り込んでいない。本研究では特に、(1)神経活動のダイナミクス、(2)ノイズを利用した情報処理の2点に着目し、より脳神経ネットワークに近い電力効率、情報処理が可能なニューロモルフィックハードウェア要素技術を開発した。アナログ回路の活用がニューロモルフィック回路の電力効率向上に有利であるため、アナログ回路により神経活動を再現し、シナプス伝達効率の保持などにデジタル回路を用いる、アナログ・デジタル混在ニューロン回路にフォーカスした。

### (1) 神経活動のダイナミクスに着目した低電圧ニューロン回路

神経スパイクの生成を含む様々な神経活動は、電位依存性イオンチャネルのなめらかな膜電位依存特性により生成されている。これに対し現行ニューロモルフィックハードウェアでは、神経スパイクを積分発火型モデルと呼ばれる簡略化モデルに基づいて生成している。本モデルでは、神経細胞の膜電位に対応する内部変数 $v$ が閾値を超えることをトリガとして神経スパイクイベントの記録とリセット回路による $v$ の初期化が行われる。このような不連続なプロセスの電子回路実装には急峻な入出力特性を持つスイッチング回路が必要であり、モデルを忠実に実装するためにはスイッチング速度を充分高速にする必要がある。このような回路では、消費電流、電源電圧の削減に限界があり、低電力化の妨げとなっている。

そこで本研究では、神経活動が生成されるダイナミクスを定性的に再現した定性的神経モデルをCMOSアナログ電子回路実装に適した形で構築することで、スイッチング回路を必要としない回路モデルを開発した。また、非線形動力学の手法を応用した独自のアナログ電子回路設計技術により、MOSトランジスタのサブスレッショルド線形領域を用いることで電源電圧を200mV程度にまで落とすことで消費電力を大幅に削減できる低電圧ニューロン回路を設計した。本回路では、MOSトランジスタの物理的特性を直接的に活用するため、各トランジスタのゲートバイアス電圧を適切に設定する必要がある。また、サブスレッショルド領域におけるMOSトランジスタの物理的特性は製造ばらつきの影響を大きく受けるため、適切なゲートバイアス電圧値はニューロン回路ごとに異なる。ゲートバイアス電圧値を決める必要のあるトランジスタは10から20程度あるため、高次元探索問題を解く必要がある。本研究では、非線形動力学の手法を活用したマニュアルフィッティングの手法と、メタヒューリスティクスを活用したフィッティングアルゴリズムとに取り組んだ。

### (2) ノイズを利用した情報処理

現行ニューロモルフィック回路の電力効率の高留まりの要因の一つは、現行のニューロモルフィック情報処理モデルが人工ニューラルネットワークに基づいており、充分高い信号ノイズ比を確保する必要があることである。一方脳神経ネットワークでは、イオンチャネルの開閉に起因するチャンネルノイズやシナプス伝達物質の自発的あるいは確率的放出に起因するノイズ(シナプスノイズ)を活用した情報処理が行われていると考えられている。そこで本研究では、

Masquelier らによる、ランダムなシナプス入力を考慮した時空間スパイクパターン検出モデル<sup>[1]</sup>を基に、ニューロモルフィック回路での実行に適した学習モデルを開発した。これにより、物理ノイズの影響の大きい低電力アナログ電子回路での実行に適したニューロモルフィック情報処理モデルを提案した。

#### 4. 研究成果

##### (1) 神経活動のダイナミクスに着目した低電圧ニューロン回路

###### 低電圧CMOSアナログ細胞体回路

ホジキン分類クラスI、IIの両方の神経スパイク生成をサポートする細胞体回路を、TSMC 0.25 $\mu$ m CMOSプロセスを用いて設計した。回路シミュレーションで評価した消費電力は約200 pWだった(電源電圧200 mV)。ヒト脳の神経細胞数は約1000億個といわれており、細胞あたりの消費エネルギーを単純計算すると約200 pWである。本回路にはシナプス回路が含まれていないため単純に比較はできないが、先行研究(数nW程度)に比べ、神経細胞と同スケールの消費エネルギーに大きく近づいた。

本回路は、10個のトランジスタのゲートバイアス電圧を適切に設定することで、閾値や振幅、定値刺激に対する周期発火の周波数などの特性を調整することができる。従って、集積回路上に複数のニューロン回路を実装する場合、各ニューロン回路でそれぞれ異なる特性を実現するためにはトランジスタごとにゲートバイアス電圧値を保持する回路が必要である。強誘電体電界効果トランジスタ(F e F E T)のゲートオフセット電圧をアナログメモリとして利用し、細胞体回路のトランジスタのゲート端子を適切な電圧に駆動するソースフォロワ型回路を考案し、研究分担者の試作したF e F E TデバイスとディスクリートMOS F E Tとを用いて動作確認を行った。加えて、F e F E Tを回路素子として用いることで、ゲートバイアス電圧値を細胞体回路自体に記憶させる技術についても研究を進めた。これにより、ソースフォロワ型回路の電力消費(回路あたり数pW程度)を排除できる。複数のF e F E Tデバイスを集積して動作させることに時間がかかり本研究期間中に完成しなかったが、引き続き研究を進めるための資金獲得に成功した。

###### ゲートバイアス電圧値を求める手法

本回路で目的の特性を得るためには10次元パラメータ空間の探索問題を解く必要があり、一般的に非常に難しい問題である。本回路では、研究代表者の本研究開始前までの成果を基に、回路理想モデルの位相空間上でのナルクラインの形状及び刺激入力値を分岐パラメータとしたときの分岐図を手がかりに適切なパラメータセットを求める手法を開発した。この手法は人手で行う必要があるため、多数のニューロン回路を集積した場合には破綻してしまう。そこで、メタヒューリスティクスを用いたアルゴリズム的な手法の開発も進めた。ベイズ最適化のハイパーパラメータを粒子群最適化によって修正しながらパラメータ探索を行う手法を考案し、神経活動からニューロンモデルのパラメータを推定する能力を評価した。シミュレーションの技術的理由により本回路の理想モデルの代わりに、同等の神経ダイナミクス再現能力を持つPQNモデル(12パラメータ)を用い、神経活動波形の二乗平均平方根誤差が0.6-0.7程度と、先行研究でよく用いられる差分進化法を使用した場合に比べ40%程度改善された<sup>[2]</sup>。

##### (2) ノイズを利用した情報処理

先行研究<sup>[1]</sup>で、脳神経ネットワークで行われていると考えられているスパイクタイミング依存可塑性(STDP)に基づいた教師なし学習則により、チャネルノイズによる発火やシナプスノイズを考慮したランダムなシナプス入力に埋め込まれた特定の時空間入力パターンを検出できる理論モデルが提案された。本モデルではシナプス伝達効率は連続値(64ビット浮動小数点)と仮定されているが、ニューロモルフィック回路では回路実装の技術的境界により6ビット程度以下のデジタルメモリを使用する必要があり、そのまま実装すると検出性能が大幅に下がってしまう。先端不揮発性アナログメモリを使用する研究も進んでいるが、高精度を実現するためには大きなオーバーヘッドが必要である。そこで本研究では、回路実装に適した学習則を2つ提案した。

###### アダプティブSTDP学習則

STDP学習則では、神経細胞の発火時刻( $t_{post}$ )と入力スパイクの時刻( $t_{pre}$ )との時間差 $t$ に依存して、シナプス伝達効率の修正量( $\Delta w$ )が決まる。先行研究では一般的な理論モデリングで用いられる図1破線のような指数減衰型の関数が採用された。これに対し、本研究ではデジタルメモリを用いた回路実装に適した矩形型の関数を採用した(図1実践:矩形STDP)。シナプス伝

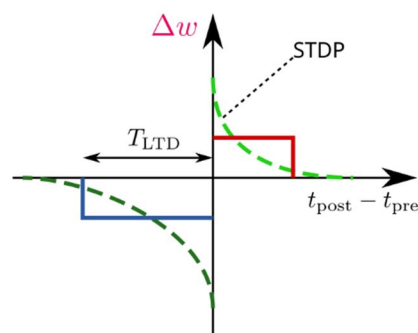


図1: STDP 学習則

達効率は4ビットのデジタルメモリに記録し、 $w$ が正の場合は1ビット加算、負の場合は1ビット減算する。学習開始時点から徐々に $T_{LTD}$  ( $w$ が負となる時間幅)を伸ばしていくアダプティブSTDP学習則を提案し、このような簡略化を行った場合でも、理論モデル(64ビット浮動小数点)と同等の検出性能を実現できることを、モデル、回路実験両方で示した[3,4]。

#### 神経系からより深く学んだ学習則

STDP学習則は、脳神経ネットワークで行われている学習の一側面のみを捉えたモデルである。脳科学分野で様々なシナプス可塑性メカニズムが解明されているが、その中から、NMDA受容体に依存したメタ可塑性とグルタミン酸スピルオーバーとを考慮した学習則を提案した。矩形STDPに本学習則を組み合わせることで、4ビットのシナプス伝達効率メモリで、理論モデル(64ビット浮動小数点)と同等の検出性能を実現できることを、シミュレーションにより示した[5]。

#### <引用文献>

- [1] Masquelier et al., Competitive STDP-based spike pattern learning, *Neural Computation*, 21(5), 1259-1276, 2009.
- [2] Yang and Kohno, Parameter fitting approach for the piecewise quadratic neuron model using improved particle swarm optimization framework, *Proc. the 12th RIEC International Symposium on Brain Functions and Brain Computer*, GS2-2, p.55, Feb. 2024.
- [3] Gautam and Kohno, An Adaptive STDP Learning Rule for Neuromorphic Systems, *frontiers in Neuroscience*, 15(74116), 2021.
- [4] Gautam and Kohno, Adaptive STDP-based on-chip spike pattern detection, *frontiers in Neuroscience*, 17(1203956), 2023.
- [5] Furuichi and Kohno, Neuromorphic spatio-temporal spike pattern detection model with biological plausibility, *Proc. the 12th RIEC International Symposium on Brain Functions and Brain Computer*, GS-2-5, p.18, Feb. 2024.

## 5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件/うち国際共著 0件/うちオープンアクセス 3件）

1. 著者名 Gautam Ashish, Kohno Takashi	4. 巻 7
2. 論文標題 A Conductance-Based Silicon Synapse Circuit	5. 発行年 2022年
3. 雑誌名 Biomimetics	6. 最初と最後の頁 246 ~ 246
掲載論文のDOI（デジタルオブジェクト識別子） 10.3390/biomimetics7040246	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Gautam Ashish, Kohno Takashi	4. 巻 15
2. 論文標題 An Adaptive STDP Learning Rule for Neuromorphic Systems	5. 発行年 2021年
3. 雑誌名 Frontiers in Neuroscience	6. 最初と最後の頁 1, 12
掲載論文のDOI（デジタルオブジェクト識別子） 10.3389/fnins.2021.741116	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Gautam Ashish, Kohno Takashi	4. 巻 17
2. 論文標題 Adaptive STDP-based on-chip spike pattern detection	5. 発行年 2023年
3. 雑誌名 Frontiers in Neuroscience	6. 最初と最後の頁 1, 15
掲載論文のDOI（デジタルオブジェクト識別子） 10.3389/fnins.2023.1203956	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計5件（うち招待講演 0件/うち国際学会 5件）

1. 発表者名 GAUTAM Ashish, KOHNO Takashi
2. 発表標題 Adaptive STDP Learning with Lateral Inhibition for Neuromorphic Systems
3. 学会等名 The 2023 International Conference on Artificial Life and Robotics（国際学会）
4. 発表年 2023年

1. 発表者名 GAUTAM Ashish, KOHNO Takashi
2. 発表標題 Toward on-chip STDP learning on mixed-signal neuromorphic chips
3. 学会等名 ICRC 2023: THE 8TH IEEE INTERNATIONAL CONFERENCE ON REBOOTING COMPUTING (ICRC) 2023 (国際学会)
4. 発表年 2023年

1. 発表者名 YANG Zihan, KOHNO Takashi
2. 発表標題 Parameter fitting approach for the piecewise quadratic neuron model using improved particle swarm optimization framework
3. 学会等名 The 12th RIEC International Symposium on Brain Functions and Brain Computer (国際学会)
4. 発表年 2024年

1. 発表者名 FURUICHI Shunta, KOHNO Takashi
2. 発表標題 Neuromorphic spatio-temporal spike pattern detection model with biological plausibility
3. 学会等名 The 12th RIEC International Symposium on Brain Functions and Brain Computer (国際学会)
4. 発表年 2024年

1. 発表者名 GAUTAM Ashish, KOHNO Takashi
2. 発表標題 On-chip spike pattern classification for neuromorphic systems
3. 学会等名 American Physical Society March Meeting 2024 (国際学会)
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担 者	小林 正治  (KOBAYASHI Masaharu)  (40740147)	東京大学・大学院工学系研究科(工学部)・准教授   (12601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------