

令和 6 年 6 月 27 日現在

機関番号：55201

研究種目：基盤研究(C)（一般）

研究期間：2021～2023

課題番号：21K04163

研究課題名（和文）NiCO₃とのヘテロ接合によるグラフェンTFTの高移動度と高オンオフ比の実現研究課題名（英文）Realization of graphene TFT with high mobility and high on/off ratio using NiCO₃/graphene hetero-junction

研究代表者

市川 和典（ICHIKAWA, KAZUNORI）

松江工業高等専門学校・電子制御工学科・准教授

研究者番号：90509936

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：より性能の高いグラフェンの薄膜トランジスタの作製を目指し、研究期間3年間で様々な合成条件で研究を行ってきた。

その結果、最も高性能の薄膜トランジスタの作製条件は、ニッケルの膜厚200 nm、合成温度900℃、炭素の供給源であるアセチレンの導入時間30秒、希釈ガスに窒素ガスを用いた場合であり、これまでよりもON/OFF比を向上させることができた。その中でキャリアガスをアルゴンから窒素に変更した場合、グラフェンの膜質が大幅に向上することが新たに分かった。よって様々な希釈ガスを用いることで大幅な性能向上が見込めることが明らかとなった。

研究成果の学術的意義や社会的意義

これまでグラフェンの薄膜トランジスタは、二硫化モリブデンなどとのヘテロ接合により性能向上させてきたが、我々はグラフェン合成時にできるNiCO₃とのヘテロ接合によりトランジスタのON/OFF比を向上させてきた。今回の結果は結果的にON/OFF比を向上することができたことから、様々な半導体とのヘテロ接合の研究が進んでいくことで、グラフェンの薄膜トランジスタの実現が近づくと考えられる。

研究成果の概要（英文）：We aimed to fabricate high-performance graphene thin-film transistors and conducted research under various synthesis conditions over a period of three years. As a result, the optimal conditions for fabricating the highest performance thin-film transistors were found to be a nickel film thickness of 200 nm, synthesis temperature of 900 °C, acetylene introduction time of 50 seconds as the carbon source, and using nitrogen gas as the dilution gas, which improved the ON/OFF ratio compared to previous methods. Among these, it was newly discovered that changing the dilution gas from argon to nitrogen significantly enhances the quality of the graphene film. It has become evident that substantial performance improvements can be expected by using various dilution gases in the future."

研究分野：半導体デバイス

キーワード：グラフェン 薄膜トランジスタ ヘテロ接合

様式 C-19、F-19-1 (共通)

1. 研究開始当初の背景

近年 5G の実現により大容量の情報を高速に処理することができるトランジスタが熱望され、その候補の一つとして「グラフェン」が世界中で注目されている。グラフェンは理論的なキャリア移動度が 20 万 cm^2/Vs を有し既存の Si よりも 100 倍高速化することから、グラフェンを用いる事で高速処理に対応したトランジスタの実現が期待される。しかしグラフェンの驚異的な物性は早くから注目され 2010 年にノーベル賞を受賞してから 10 年以上経つが、現在もまだグラフェンを用いたトランジスタの実用化はされていない。その理由として以下の 2 つの問題がある。

1 つ目は、グラフェンを合成してもそのままではデバイス化できず、通常、熱酸化により形成した SiO_2 のような絶縁膜の基板への転写が必要となる。この転写により工程の増加、グラフェンへの欠陥の発生、有機物の残渣が生じるため、最大の特徴であるキャリア移動度の大幅な低下が起こる。

2 つ目は、グラフェンはバンドギャップを形成しないため、ON と OFF での電流値の差である ON/OFF 比が低いことが問題となっている。この問題に対して先行研究では、電子ビームでナノサイズのトランジスタを形成する「ナノリボン構造」などによりバンドギャップを形成する方法が用いられる。しかしグラフェンのナノリボンの形成には微細加工のための設備が必要となり、技術的なハードルが非常に高い。

このバンドギャップの形成について、グラフェンと異種の半導体をヘテロ接合にする方法が、現在最も研究されている。具体的には、同じ 2 次元材料である二硫化モリブデンや窒化ホウ素とのヘテロ接合により、高い ON/OFF 比が得られることが報告されている。しかし最終的にそれぞれの膜を合成後にグラフェンを転写することや、このヘテロ接合の絶縁膜の基板への転写が必要のため ON/OFF 比は向上するが、移動度の低下が起こる。更にホウ素や硫化物を使用するため、環境負荷が高い。そのため、ナノ構造の作製や転写を行わず、かつ汎用性の高いガスを用いてヘテロ接合を作り、高移動度を維持したまま高い ON/OFF 比を得る新たな技術が必要である。

2. 研究の目的

我々は長年グラフェンの研究を行う中で、グラフェンの合成前に酸素を導入するとグラフェンの欠陥が低減し、触媒の Ni は金属から 2.6 eV のバンドギャップを持つ N 型半導体の NiCO_3 になることを発見した。更に酸素を導入することで膜質が向上するだけでなく、自然にグラフェンと NiCO_3 でヘテロ接合を作り、転写を必要とせずそのまま TFT (薄膜トランジスタ) として動作し、移動度が大幅に増加することも明かにしてきた。しかし、移動度は Si の 4 倍高い約 4 千 cm^2/Vs になるもののナノリボンが示す約 2 万 cm^2/Vs には、遠く及ばない状況であった。

そこで研究期間 3 年間で①ニッケルの純度の影響②グラフェン合成温度の最適化③アセチレン導入条件の最適化④酸素およびキャリアガスの影響⑤ニッケルの膜厚の影響⑥ゲート絶縁膜の薄膜化について研究することで、より性能の高いグラフェン TFT の作製を目指し研究を行った。

3. 研究の方法

3 年計画の初年度は、これまでのグラフェン合成に用いた Ni 触媒の純度を 99.9% から 99.99% まで上げ、より高い純度の Ni を用いてグラフェンの合成を行った。更に合成温度を 800°C から 1200°C まで 100°C ごとに精密に変化させ、合成温度の依存性について評価を行った。評価方法はラマン分光測定におけるグラフェンの膜質評価だけではなく、グラフェン合成後の Ni についても X 線回折により評価を行った。

2 年目は Ni 中への炭素の導入時間の最適化を行う研究である。1 年目に決定した合成温度 900°C において炭素供給源となるアセチレンガスの導入時間を 1 分から 5 分までの間で変化させ、電気特性評価、ラマン分光測定によるグラフェンの膜質および、X 線回折によるグラフェン合成後の Ni 化合物の膜質評価を行った。更に酸素濃度についても 85% から 100% と変化させ同様に評価を行った。

最終年度はキャリアガスをアルゴンから窒素ガスに変え、更に Ni の膜厚を 400 nm から 200 nm と半分にして同様に前年度の合成プロセスによって比較を行った。

4. 研究成果

(1). Ni の純度とプロセス温度について

これまでと同じ合成温度 800°C において Ni の純度による比較を行うと、ラマン分光測定より高純度である 99.99% の Ni の方が欠陥が少ないグラフェンが合成されることが分かった。またプロセス温度を 900°C としたとき、炭化時間を 10 秒ずつ詳細に変えていくと 1 分 50 秒が最もドメインサイズの大きいグラフェンが合成されることが分かった。800°C の時に最も膜質の良い炭化時間 4 分では、単層のグラフェンが合成されることから、熱 CVD の温度を高くすることによ

ってプロセス時間の短縮とグラフェンの層数が増加することが分かった。

一方 800°C に比べ 900°C では合成温度を高くするにつれてグラフェンの欠陥が低減するが、1000°C 以上では炭素の析出量が多く層数が厚くなり、逆に欠陥が増大することが明らかになった。よって本研究ではプロセス温度を 900°C に固定した。

表 1. 炭化時間別のドメインサイズと層数の関係

C ₂ H ₂ 導入時間	I _G /I _G	Domein size (L _a)(nm)	I _G /I _{2D}	Number of layers
1分	0.970	19.8	0.973	Bilayer
1分50秒	0.801	24.0	1.106	Multilayer
3分	1.020	18.9	0.998	Bilayer
5分	1.044	18.4	0.935	Bilayer

(2). 合成後の Ni の状態について

この研究で新たに分かったこととして、炭化時間を 1 分、1 分 50 秒、5 分としてグラフェンを合成した後の Ni 薄膜の X 線回折では全ての炭化時間において NiO に帰属するピークが現れた。ドメインサイズの最も大きい炭化時間 1 分 50 秒では NiO のピークのみが見られた。これまで NiCO₃ のヘテロ接合によってグラフェンを合成してきたが、結晶性の高いグラフェンが合成された場合 NiCO₃ と NiO が両方含まれる膜上よりも NiO のみに合成した方がより高い電流値が得られることが新たに分かった。

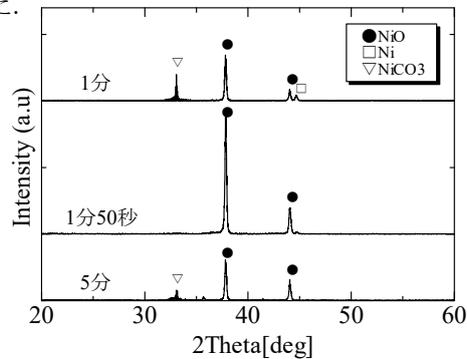


図 1. 膜厚 400 nm における炭化時間別の XRD 測定結果

(3). 薄膜化について

Ni の膜厚を 400 nm から 200 nm にして研究を行った結果、炭化時間 30 秒で 2 層のグラフェンが合成されている。これまで 400 nm の膜厚の Ni では、1 分以上の炭化時間においても 2 層のグラフェンが合成されたことから、膜厚が薄い場合には一度 Ni に固溶した炭素が析出しやすく、複数層のグラフェンが合成されることが分かった。

更にドメインサイズは両方の Ni 膜厚において 20 nm 程度とほぼ同じであり、Ni を薄膜化することでプロセス時間を大幅に短縮できることが明らかとなった。また炭化時間が 30 秒の場合のみ NiO のみのピークが現れているのに対し、それ以外の場合には NiCO₃ と NiO の両方のピークが現れている。今回、膜厚が 200 nm の場合において NiO のみのピークが現れているのは炭化時間が 30 秒の場合のみで、この炭化条件の電気特性やラマン分光測定の結果は、他の炭化条件と比較した場合に最良となっており、薄膜化した場合でも同様の事が言えることが分かった。

表 2. 各炭化時間, Ni 膜厚におけるドメインサイズとグラフェンの層数の関係。

Ni thickness (nm)	C ₂ H ₂ introduction time (sec)	I _G /I _{2D}	Domein size (L _a)(nm)	Number of layers
200	30	0.950	20.2	Bilayer
	40	1.005	19.1	Multilayer
	50	1.029	18.6	Multilayer
	110	1.089	17.6	Multilayer
400	60	0.973	19.8	Bilayer
	110	1.106	24.0	Multilayer
	180	0.998	18.9	Bilayer
	300	0.935	18.4	Bilayer

(4). その他の条件について

以上の結果、ニッケルの純度および合成温度が高くなるにつれて欠陥が少ないグラフェンが合成され 900°C まではグラフェンの欠陥が低減するが、1000°C 以上では炭素の析出量が多く、逆に欠陥が増大することが分かった。また最も高品質なグラフェンが合成できる炭素導入時間は、800°C の 4 分から 900°C では 1 分 50 秒と大幅に短縮し、更にニッケルの膜厚を半分にするると 30 秒で合成可能となることも明らかとなった。酸素濃度、昇温時の還元時間、水素濃度によるグラ

フェンの膜質に変化は無く、X線回折にもNiOのピークが見られることから、90%の酸素濃度が最適条件であることが分かった。アルゴンに比べ窒素ガスをキャリアガスに用いることでグラフェンの結晶は5倍以上となり、欠陥は半分以下と大幅に低減したことから、キャリアガスがグラフェンの膜質に大きく影響を与えることが今回の研究で新たに分かった。今後様々な不活性ガスをキャリアガスとして用いることにより、更なる高品質なグラフェンを合成できる可能性がある。一方ゲート絶縁膜の薄膜化はゲートリーク電流の制御が難しく100 nm以下の研究が思ったよりも進まなかった。

(5). TFT 特性

これまでの研究結果より得られたニッケルの膜厚200 nm、合成温度900°C、アセチレンの導入時間30秒、キャリアガスに窒素ガスの条件を用いて図3に示す構造のTFTを作製した。Niをフォトリソグラフィによりパターンニングしグラフェンを合成した後、ルテニウムを電極として蒸着しバックゲート型トランジスタを作製し入力特性および出力特性の測定を行った(図4)。この測定結果からゲート電圧0V付近を境にして電流値が反転するディラックポイントが存在していることがわかる。このトランジスタはグラフェントランジスタとして動作していることが分かった。



図3. グラフェン TFT の構造

測定結果から、作製したトランジスタの最も高いON/OFF比は 5.2×10^3 であり3桁を示し、相互コンダクタンスは1.6 mS程度の値を示した。グラフェンをトランジスタとして動作させる場合、通常ON/OFF比は1桁程度である。しかし、今回作製したトランジスタではその約5000倍のON/OFF比を示しており、OFF電流が極めて小さくなっている。ON電流に大きな変化は無いがこの研究でON/OFF比を上げることができた。

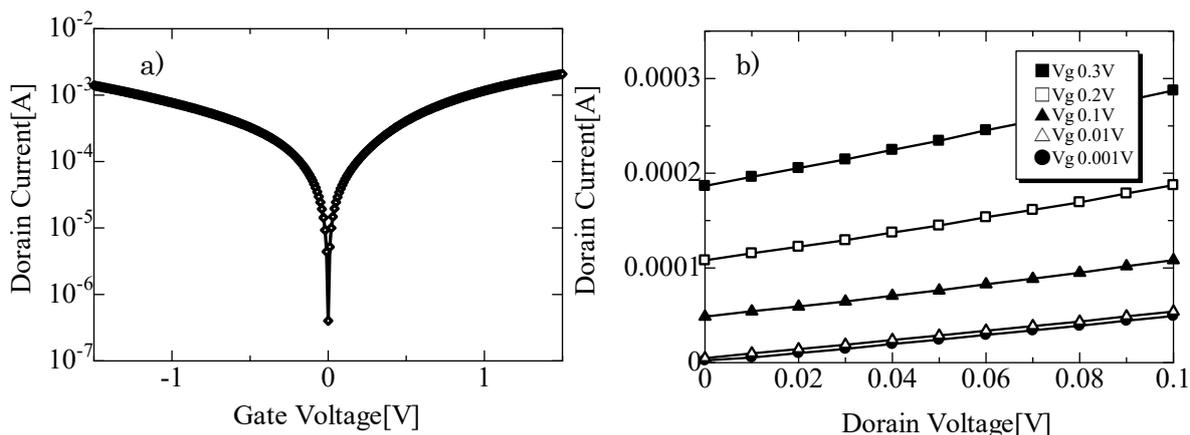


図4. グラフェン TFT の a) 入力特性と b) 出力特性

(6). 今後の展望について

日本でグラフェンのトランジスタの研究は少なく、ON/OFF比が大きく得られるような研究はほとんどされていない。今回の研究の中でキャリアガスにより大きくグラフェンの膜質が変化することが、計画時の予想にはない結果として得られた。今後は様々な不活性ガスをキャリアガスに用いることでより良質なグラフェンを合成できるものと考えている。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 0件/うち国際共著 0件/うちオープンアクセス 1件）

1. 著者名 市川和典	4. 巻 vol. 121, no. 8
2. 論文標題 Ni化合物半導体とのヘテロ接合によるグラフェンTFTの特性向上	5. 発行年 2021年
3. 雑誌名 信学技報	6. 最初と最後の頁 pp. 26-29
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計6件（うち招待講演 2件/うち国際学会 0件）

1. 発表者名 榎本陽菜, 市川和典, 大島多美子
2. 発表標題 900 の熱 CVD で合成したグラフェンの炭化時間依存性
3. 学会等名 第19回薄膜材料デバイス研究会
4. 発表年 2022年

1. 発表者名 市川和典
2. 発表標題 Ni化合物半導体とのヘテロ接合によるグラフェンTFTの特性向上
3. 学会等名 電子情報通信学会 シリコン材料・デバイス研究会（SDM）（招待講演）
4. 発表年 2021年

1. 発表者名 市川 和典, 江角 卓哉, 大島 多美子
2. 発表標題 Ni 触媒の酸化によるヘテロ接合型グラフェン TFT の高性能化
3. 学会等名 令和 3 年 電気学会 基礎・材料・共通部門大会（招待講演）
4. 発表年 2021年

1. 発表者名 市川 和典, 江角 卓哉, 赤松 浩, 大島 多美子
2. 発表標題 グラフェン合成後における Ni 薄膜の酸素濃度依存性
3. 学会等名 第18回薄膜材料デバイス研究会
4. 発表年 2021年

1. 発表者名 市川 和典, 江角 卓哉
2. 発表標題 炭素導入量の変化によるグラフェン合成後の物性評価
3. 学会等名 第27回高専シンポジウム
4. 発表年 2022年

1. 発表者名 錦織 悠玖, 市川 和典, 赤松 浩
2. 発表標題 Ni膜厚の薄膜化によるヘテロ接合型グラフェンへの影響と炭化時間依存性
3. 学会等名 第20回薄膜材料デバイス研究会
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

松江高専 電子制御工学科 市川研究室HP
<http://www2.matsue-ct.ac.jp/home/ichikawa/>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	大島 多美子 (OHSHIMA TAMIKO) (00370049)	佐世保工業高等専門学校・電気電子工学科・准教授 (57301)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関