

令和 6 年 6 月 14 日現在

機関番号：54601

研究種目：基盤研究(C)（一般）

研究期間：2021～2023

課題番号：21K11820

研究課題名（和文）多入力多出力の非同期式順序素子を対象としたテスト容易化設計

研究課題名（英文）Design for Testability Methodology for Multi-Input/Output Asynchronous Sequential Elements

研究代表者

岩田 大志（Iwata, Hiroshi）

奈良工業高等専門学校・情報工学科・准教授

研究者番号：50613139

交付決定額（研究期間全体）：（直接経費） 3,200,000 円

研究成果の概要（和文）：本研究では非同期式回路に対して高品質な製造テストを実現するために、多入力・多出力の順序素子である排他制御素子に対してスキャン機能を付与した。ゲートレベルで設計した2入力2出力のスキャン排他制御素子を用いて、任意のテストパターンの印加と、出力応答の観測が可能であることを示し、スキャンパス設計法に加え、テストプラン設計について提案した。応用としてn入力n出力の排他制御素子に対するスキャン機能付与方法とテスト手法、スキャンパス設計法を提案した。また、提案したスキャン素子について、Rohm 0.18umプロセスルールを用いたトランジスタレベル設計による実チップを試作し評価を行った。

研究成果の学術的意義や社会的意義

非同期式回路設計の普及を阻む最大の要因は製造テストの方法が確立していないことであるが、本研究で提案したスキャン素子はライブラリとして扱えるよう、モジュール化しているため非同期式回路設計者はより容易に非同期式回路のテストが可能となるため、社会的意義が非常に高い。学術的にはこれまで提案されてこなかった多入力・多出力のスキャン素子を用いたスキャンシフト方法の特徴を整理できたことに大きな学術的意義がある。また、2入力2出力のスキャン排他制御素子を線形に拡張することでn入力n出力の排他制御素子に対応できることを示したことも大きな意義がある。

研究成果の概要（英文）：In this study, a scan function was implemented to a mutual exclusion module, which is a multi-input, multi-output sequential element, in order to realize high-quality manufacturing tests for asynchronous circuits. Using a gate level two-input, two-output scan mutual exclusion element, we showed that it has a function of applying arbitrary test patterns and observing the output response. Moreover, we proposed a design method of a scan path and a test plan controlling the scan shift.

As an application, we proposed a scan function implementing method, a test method, and a scan path design method for an n-input/n-output mutual exclusion element. The proposed scan elements were evaluated by fabricating a real chip with a transistor-level design using the Rohm 0.18um process rule.

研究分野：非同期式回路のテスト容易化設計

キーワード：非同期式回路 テスト容易化設計 スキャン素子 スキャン設計 排他制御素子 木構造スキャンパス レイアウトレベル設計 トランジスタレベル設計

## 様式 C - 19、F - 19 - 1 (共通)

### 1. 研究開始当初の背景

SoCやNoCなどの大規模なVLSIを設計する際、大域クロックの分配問題が顕在化している。これを緩和するためには、局所的な回路ブロック(コアやモジュール)には従来の同期式設計を用い、回路ブロック間の通信には非同期式設計を用いる、大域非同期局所同期(Globally Asynchronous, Locally Synchronous, GALS)設計を利用することが現実的である。

ネットワークや一部のコアに非同期式回路が利用されているGALSシステムでは、非同期式回路に対しても同期式回路と同等の高い信頼性を保証する必要がある。しかし、現状では製造したVLSIに対して高い信頼性を担保する効果的なテスト技術が普及しておらず、非同期式回路設計の普及を阻む要因となっている。一方で、同期式回路設計ではこれまでの知見と経験から、製造テストを短時間でかつ0.1%以下の不良見逃し率を実現するテスト技術が確立している。具体的には、回路中の順序素子に対して任意の値をVLSI外部から制御可能で、かつ、任意の値をVLSI外部で観測できるように設計変更するテスト容易化設計法(スキャン設計)がなされている。スキャン設計では、順序素子を数珠状に接続することでスキャンパスを構築し、外部ピンの追加を最低3本で実現可能である。同期式回路で用いられる順序素子はDフリップフロップのため、スキャンパスは1入力1出力のシフトレジスタとして動作している。

我々はこれまでに非同期式回路で最も一般的に用いられる順序素子である、C素子に対してスキャン機能を付与し、Dフリップフロップと同様にスキャンパスを構築するテスト容易化設計法を提案してきた。しかし、非同期式回路には多種多様な順序素子が用いられており、例えば排他制御素子(Mutual Exclusion, Arbiter)などは、回路ブロック間の通信を制御する経路のルーティングに多く用いられる基本的な順序素子である。基本的な排他制御素子は、2入力2出力の順序素子であり、2出力、それぞれの出力先にデータの受け渡しが可能である。つまり、排他制御素子を使ったスキャンパスはシフトレジスタのようにパスを実現する必要はなく、「スキャンパスの最適なグラフ構造」を考えることが可能である。例えば、木構造のようにスキャンパスを構築してかつ、任意の値をVLSI外部から制御可能で観測できるように設計変更できた場合、順序素子数を $n$ としたときのスキャンパスの長さは $O(n)$ から $O(\log n)$ となり、テスト実行時間の大幅な短縮が可能になる。一方で、同期式回路のスキャン設計技術である、圧縮スキャンやランダムスキャンの考え方を導入できれば高い信頼性を確保したままテスト実行時間を短縮可能である。このように、多入力多出力順序素子を使ったスキャンパスの最適なグラフ構造が明らかになっていないため、本研究では多入力多出力の非同期式順序素子を対象としたテスト容易化設計法を実現することを目指した。

### 2. 研究の目的

本研究の大きな目的は、非同期式回路の普及を阻害しているテスト技術をブレイクスルーし、デファクトスタンダードなテスト技術を社会に提供することで、社会産業基盤となっているVLSIのさらなる高速化・高機能化・高信頼化を実現することである。そのために、本研究では非同期式回路で用いられる任意の順序素子について、可制御・可観測となるようスキャン機能を付与し、非同期式回路についても同期式回路と同じ方法で製造テストを実施できるテスト容易化設計法を提案する。

### 3. 研究の方法

2章で述べた目的を達成するために、以下の3つの研究目標を相互補完的にブラッシュアップしていくことで研究を進めた。

#### (1) 2入力2出力排他制御素子に対するスキャン機能の付与

最も基本的な多入力・多出力の順序素子である排他制御素子に対してスキャン機能を持つ、スキャン排他制御素子を設計する。また、そのスキャン素子を用いたテスト方法(スキャンシフトやテスト時の制御入力の印加方法など)を確立する。

#### (2) 多入力・多出力のスキャン素子を用いたスキャンパスの構築とテスト手法の提案

上述の(1)で提案したスキャン機能を持つ2入力2出力排他制御素子のノウハウを基に、多入力・多出力のスキャン素子に適したスキャンパス構築法を提案し、それらを用いたテスト生成方法を提案する。具体的には3入力・3出力の排他制御素子や、ネットワークオンチップ(NoC)で用いられるルータの排他制御で用いられる5入力5出力アービタを対象に、スキャン機能付与やテスト手法を提案する。

(3) スキャン素子のトランジスタレベル設計

(1) や (2) で設計したスキャン順序素子をトランジスタレベルでフルカスタム設計し、Rohm 0.18um プロセスルールでレイアウトレベル設計し、実チップを試作し提案したテスト手法・テスト容易化設計手法の有効性を評価する。

4. 研究成果

3章で述べた3つの研究目標それぞれについて取り組んだ内容を以下に示す。

(1) 2入力2出力排他制御素子に対するスキャン機能の付与

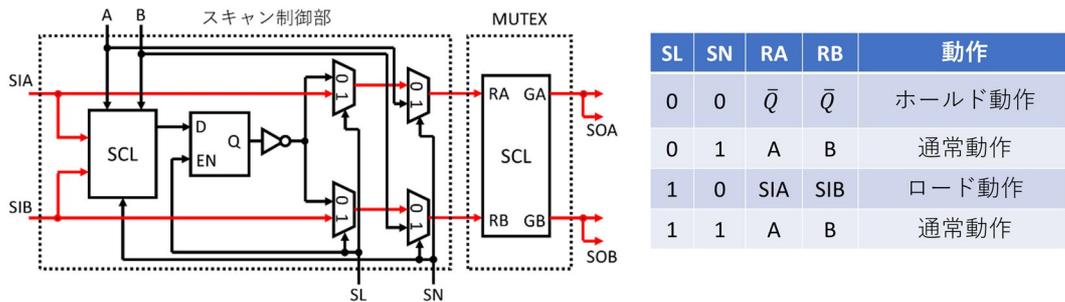


図1：提案したスキャン機能を付与した2入力2出力排他制御素子

図1は2入力2出力排他制御素子に対してスキャン機能の付与したゲートレベル回路のブロック図である。排他制御素子は2状態しか持たないが、出力は3パターン存在するため、スキャンパスを2つ用意し、スキャン制御部にDラッチを付与することで同期式回路と同じテスト手法でテストパターンの印加と出力応答の観測を可能とした。

(2) 多入力・多出力のスキャン素子を用いたスキャンパスの構築とテスト手法の確立

A	B	A	B	A	B
0	0/1	1	0/1	0/1	0/1
0	1/0	1	1/0	0/1	1/0
0/1	0	0/1	1	0/1	1/0
1/0	0	1/0	1	1/0	1/0

図2：スキャン排他制御素子に伝搬されうる誤りの一覧

図2は提案したスキャン排他制御素子に伝搬されうる誤りの一覧を示しており、それぞれの場合において、排他制御素子がおもつ内部状態を適切な値に設定する必要がある。それらの条件を整理し、テスト時に必要な制御入力を時系列でまとめたテスト系列を提案し、提案したスキャン排他制御素子を用いることで、テスト対象に任意のテストパターンを印加することができ、かつ、任意の誤りを観測できることを示した。

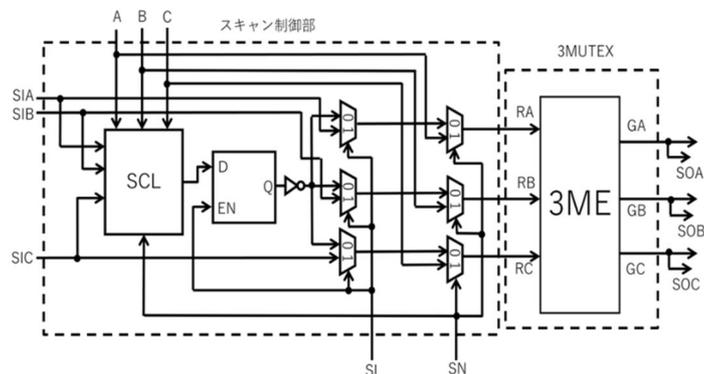


図3：スキャン機能を付与した3入力3出力排他制御素子

図3は図1で2入力2出力排他制御素子にスキャン機能を付与した手法を、3入力3出力の排他制御素子に適用した図である。図1と図3を見比べると、スキャンパスが3本になり、マル

チプレクサが4つから6つに増えていることが分かる。つまり、 $n$  入力  $n$  出力の排他制御素子は線形（およそ  $n$  倍）でスキャン機能を付与できることが分かった。

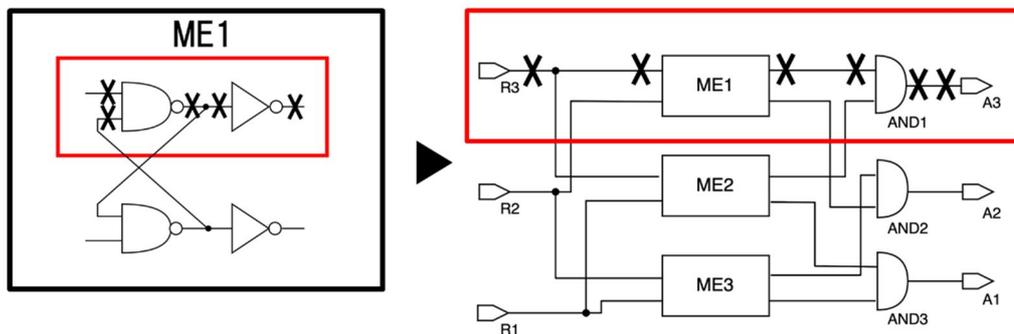


図4：3入力3出力排他制御素子の故障検出アルゴリズム

図4は2入力2出力排他制御素子を利用した3入力3出力アービタ[1]に対して、2入力2出力排他制御素子で検出できる故障を検出するアルゴリズムを示している。この方法で拡張された5入力5出力のアービタに対しても同じアルゴリズムを用いて生成した71パターンですべての故障を検出できることを示した。

### (3) スキャン素子のトランジスタレベル設計

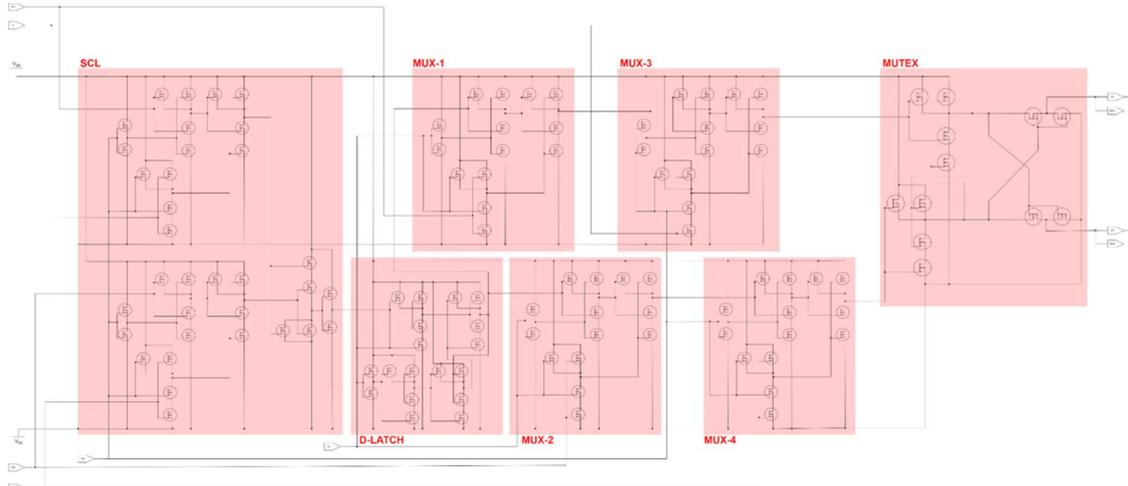


図5：トランジスタレベル設計したスキャン排他制御素子

図5は図1の2入力2出力スキャン排他制御素子をトランジスタレベル設計した回路である。この回路をRohm 0.18um プロセスルールによりレイアウトレベル設計し、動的検証やLVS/DRCを行い、実チップを試作した。

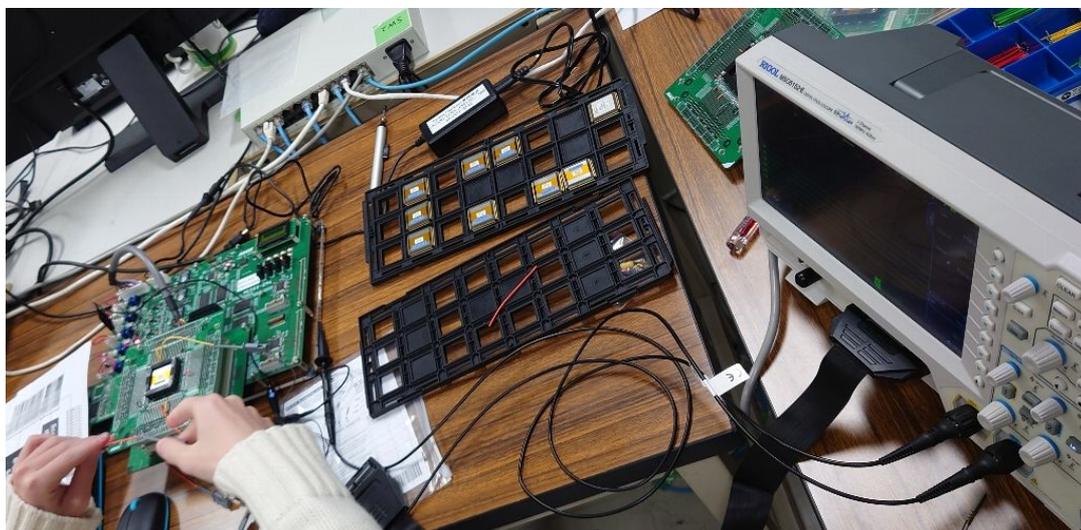


図6：試作した実チップの計測

図6はRohm 0.18umプロセスルールにより試作した回路の動作検証を行っている様子である。論理動作だけでなく、オシロスコープを用いたアナログ動作検証も行い、試作した実チップが正しく動作するか、提案したスキャン機能が実用性や効果を検証することができた。

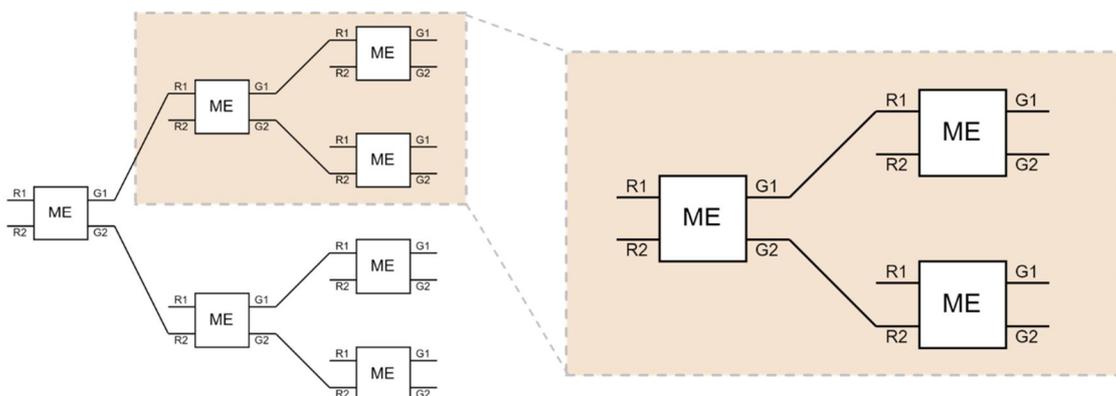


図7：スキャン機能を付与した2入力2出力排他制御素子による木構造スキャンバス

図7は2入力2出力のスキャン排他制御素子を用いて木構造のスキャンバスを構築した際の模式図である。文献[2]で述べられているスキャンフリップフロップを用いた木構造のスキャンバス構築法と同じように設計することを前提に提案した。そのため、スキャンシフトに要する時間は $O(n)$ から $O(\log n)$ となるが、スキャン機能やテストパターン印加法は図1や図2で提案したスキャン機能やテスト手法がそのままでは利用できないことが分かった。つまり、木構造スキャンバスを用いるためには、新たに「4状態から任意状態を印加するためには最低2入力必要」「1つのMUTEXから2つのMUTEXに対して出力する」という2つの条件を満たすスキャン排他制御素子を提案する必要があることが分かった。

#### <参考文献>

- [1] Andrey Mokhov, Victor Khomenko, Alex Yakovlev, "Flat Arbiters", Fundamenta Informaticae, vol.108, no.1-2, pp.63-90, 2011.
- [2] 宮瀬紘平, 梶原誠司, レディスターカ. "多重スキャンツリー設計によるテストデータ量・テスト印加時間の削減", 情報処理学会論文誌, Vol.47, No.6, pp.1648-1657, 2006.

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計9件（うち招待講演 1件 / うち国際学会 2件）

1. 発表者名 Kokoro Yamasaki, Hiroshi Iwata and Ken'ichi Yamaguchi
2. 発表標題 An Implementation of Self-Testable Layout-Level Scan C-element
3. 学会等名 The 24th Workshop on Synthesis And System Integration of Mixed Information Technologies (国際学会)
4. 発表年 2022年

1. 発表者名 衛藤優, 山口賢一, 岩田大志
2. 発表標題 非同期式回路に向けたスキャン設計の適用方法
3. 学会等名 電子情報通信学会 関西支部 第27回学生会研究発表講演会
4. 発表年 2023年

1. 発表者名 衛藤優, 山口賢一, 岩田大志
2. 発表標題 非同期式回路におけるスキャン設計のフローの確立
3. 学会等名 2023年電子情報通信学会 総合大会 ISS特別企画「ジュニア&学生ポスターセッション」
4. 発表年 2023年

1. 発表者名 山田裕隆, 岩田大志, 山口賢一
2. 発表標題 2入力2出力排他制御素子に対するスキャン機能の付与
3. 学会等名 第21回情報科学技術フォーラム講演論文集
4. 発表年 2022年

1. 発表者名 岩田大志
2. 発表標題 非同期式回路のスキャン設計
3. 学会等名 令和3年電気関係学会関西連合大会（招待講演）
4. 発表年 2022年

1. 発表者名 Yu ETO, Hiroshi IWATA, and Ken'ich YAMAGUCHI
2. 発表標題 Establishment scan design flow in asynchronous circuits
3. 学会等名 International Workshop on Effective Engineering Education(IWEEE)（国際学会）
4. 発表年 2023年

1. 発表者名 谷口翔寿人, 岩田大志, 山口賢一
2. 発表標題 スキャンMUTEXを対象としたレイアウトレベルの設計
3. 学会等名 第22回情報科学技術フォーラム講演論文集
4. 発表年 2023年

1. 発表者名 鳥岡宏彰, 岩田大志, 山口賢一
2. 発表標題 MUTEXに対する適したスキャン構造とスキャン機能の提案
3. 学会等名 電子情報通信学会 関西支部 第28回学生会研究発表講演会
4. 発表年 2024年

1. 発表者名 鷗田拓也, 岩田大志, 山口賢一
2. 発表標題 並列型 5 入力 5 出力アービタの設計とテスト法案
3. 学会等名 電子情報通信学会 関西支部 第28回学生会研究発表講演会
4. 発表年 2024年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	山口 賢一  (Yamaguchi Ken'ichi)  (50370010)	奈良工業高等専門学校・情報工学科・教授    (54601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------