

様 式 C - 1 9、F - 1 9 - 1、Z - 1 9 （共通）

科学研究費助成事業 研究成果報告書



令和 5 年 6 月 1 6 日現在

機関番号：8 2 6 2 6

研究種目：若手研究

研究期間：2021 ~ 2022

課題番号：2 1 K 1 4 1 5 1

研究課題名（和文）高速スイッチングと低サージを実現可能な階調制御型アクティブゲート駆動回路

研究課題名（英文）A gradational active gate drive circuit capable of reducing surge voltages under a fast switching condition

研究代表者

山口 大輝（Yamaguchi, Daiki）

国立研究開発法人産業技術総合研究所・エネルギー・環境領域・研究員

研究者番号：1 0 8 7 0 2 3 0

交付決定額（研究期間全体）：（直接経費） 3,600,000 円

研究成果の概要（和文）：本研究課題では，SiC MOSFETの高速スイッチング時に生じるサージ電圧を抑制するために，汎用部品のみで構成可能なアクティブゲート駆動回路の開発および，その駆動技術の検討を行った。開発したゲート駆動回路は，ゲートドライバのインエーブル機能を活用してゲート抵抗の並列数を高速に変化させることにより，SiC MOSFETのスイッチング波形を整形することが可能となる。シミュレーションと実験を行い，本研究課題で開発したアクティブゲート駆動回路は，数十V/nsの高速スイッチング条件下において，サージ電圧を低減可能であることを実証した。

研究成果の学術的意義や社会的意義

SiC MOSFETを活用した高性能なパワーエレクトロニクス機器は，産業・インフラ・民生などの様々な分野で普及期にあり，価格競争が激しい領域である。従来のアクティブゲート駆動回路は，専用のドライバICが必要であり低コスト化の観点に課題があったが，本研究で開発するアクティブゲート駆動回路は，回路構成と制御法を工夫することで汎用部品のみで構成可能であり，低コスト化が容易である。本研究成果が，高性能なパワーエレクトロニクス機器の普及促進の一助を担うことを期待する。

研究成果の概要（英文）：This project develops a new active gate drive circuit capable of reducing surge voltages under fast switching conditions using general-use gate drivers. The developed active gate drive circuit can shape switching waveforms of a SiC MOSFET by quickly changing the number of parallel connections of the gate resistances. Simulation and experimental results reveal that the developed active gate drive circuit can reduce the surge voltage under a fast switching condition of several tens of volts per nanosecond.

研究分野：パワーエレクトロニクス

キーワード：ゲート駆動回路 SiC MOSFET

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

現在、産業・インフラ・民生などの様々な分野では、パワーエレクトロニクスの発展とともに電気エネルギーの利用が拡大している。このパワーエレクトロニクスは、回路・制御・デバイスなどの要素技術を統合した分野であり、各技術の進歩とともに機器の高性能化が進んでいる。現在では、新世代のパワー半導体デバイスであるSiC MOSFETが実用化しており、機器の高性能化のキーテクノロジーとして注目されている。

図1にSiC MOSFETのゲート駆動法とサージ電圧の関係を示す。SiC MOSFETは、従来のシリコンデバイスよりも高速にスイッチング、すなわちスイッチングに要する過渡時間を短縮することができるので、スイッチング損失の大幅な削減が可能となった。

図1(b)の従来法を用いてSiC MOSFETを駆動する場合、ゲート抵抗の値を小さく設定することでスイッチング速度を高速できる。しかし、スイッチングの高速化に伴って大きなサージ電圧が生じ、素子の過電圧破壊を引き起こしてしまう。そこで、ゲート抵抗を大きくしてスイッチング速度を低減すればサージ電圧を抑制できるが、スイッチング損失は増大してしまう。したがって、SiC MOSFETの性能を引き出すためには、サージ電圧の低減とスイッチング損失の低減を両立することが重要である。

そこで、現在様々な研究機関から図1(c)のアクティブゲート駆動法が提案されている。これは、スイッチングの過渡期間にゲート抵抗を高速に変化させることにより、高速スイッチングとサージ電圧の抑制を両立するものである。しかし、既存のゲート駆動回路と比べて回路構成が複雑であり、特注のゲート駆動ICや制御器が必要であるなど、実用化やコストの観点に課題があった。

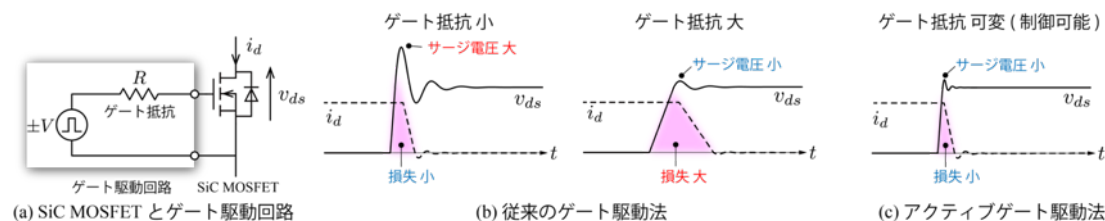


図 1 ゲート駆動法とサージ電圧の関係

2. 研究の目的

上記の研究背景に鑑み、本研究の目的は SiC MOSFET に適した実用的なサージ抑制技術を実現することである。具体的には、汎用素子のみで、尚且つ少ない素子数で構成可能な新しいアクティブゲート駆動回路と制御法を検討し、その実験実証を行う。

3. 研究の方法

まず、様々な SiC MOSFET に適用可能なアクティブゲート駆動回路を実現するために、ゲート抵抗を高分解能かつ高速に調整可能なアクティブゲート駆動回路を設計・制作する。そのうえで、アクティブゲート制御を実現するための制御器を開発し、ゲート抵抗を高速に調整する技術を確立する。最後に、開発したアクティブゲート駆動回路をインバータに適用し、本研究で確立したアクティブゲート制御技術の有用性を実験で実証する。

4. 研究成果

(1) アクティブゲート駆動回路の実現

図 2 は、本研究で開発したアクティブゲート駆動回路の回路構成である。このゲート駆動回路は、4 組のゲートドライバとゲート抵抗を並列接続した構成に特徴がある。ゲートドライバのイネーブル機能を活用して同時にオンするゲートドライバの数を変更することにより、ゲート抵抗の並列数を変更することができる。また、抵抗器の組み合わせを $2R_0$, 2^2R_0 , 2^3R_0 , 2^4R_0 とすることで、ゲート抵抗を 4bit(16 段階)の分解能で調整することができる。

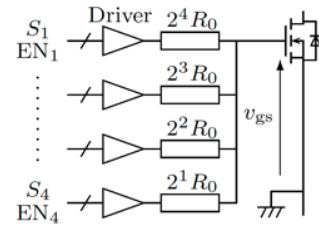
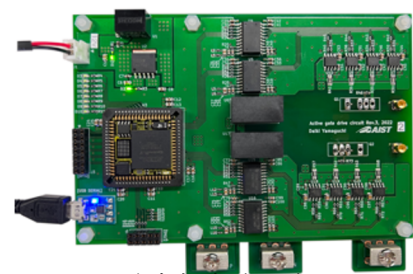


図 2 アクティブゲート駆動回路の回路構成

図 3 は本研究で開発した実験回路の写真であり、アクティブゲート駆動回路、制御器、および主回路を一体化した構成である。図 3(a)は、予備実験を行うために作製した実験回路であり、SiC MOSFET のスイッチング速度に対応するために、アクティブゲート制御の信号は、高速かつ低 EMI である LVDS (Low voltage differential signal) を介して送信している。図 3(a)の回路を用いて、アクティブゲート駆動回路のクロック周波数や、抵抗器の組み合わせ等の検討を行った。図 3(b)は、本検討を反映して改良した実験回路である。予備実験の結果、アクティブゲート駆動回路のクロック周波数は当初の設計よりも低減できることが明らかとなった。そこで、図 3(b)の実験回路では、アクティブゲート制御信号の通信に一般的な TTL シングルエンドを適用している。最後に、ハーフブリッジインバータ (図 3(b)の回路の裏面に搭載) を用いてスイッチング試験を行い、開発したアクティブゲート駆動回路を用いて、サージ電圧とスイッチング損失の低減を両立可能であることを確認した。



(a) 初版実験回路



(b) 改良版実験回路

図 3 本研究で開発したアクティブゲート駆動回路および主回路

(2) SiC MOSFET の高速スイッチング動作に適したゲート制御技術に関する研究

本研究課題を遂行するうえで、スイッチング速度が高速化するにつれて、アクティブゲート駆動回路が誤動作するという課題が生じた。このような課題は、スイッチング時に生じる共通モードノイズが制御信号に干渉することが原因であることが知られているが、ノイズの伝送経路が複雑であり、効果的な対策は困難である。そこで、本研究では誤動作の原因を工学的に特定し、その解決法を検討した。

図 4 はダブルパルス試験回路であり、2 パターンの結線方法を採用している。図 4(a)の回路は、下側アームの MOSFET のみにゲート駆動回路を接続し、上側アームの MOSFET はゲート・ソー

ス間を短絡して常にオフ状態としている。この場合、ゲート駆動回路には、スイッチングによるコモンモード電流は生じない。一方、図 4(b) の回路は上下のアームにゲート駆動回路を接続し、上側アームには常にオフ信号を与え、下側アームのみスイッチする。図 4(b) の構成の場合、

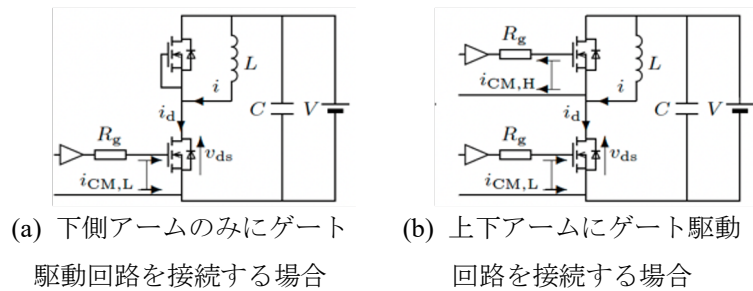


図 4 ダブルパルス試験回路

合、下側 MOSFET のドレイン・ソース間電圧が変化することにより、上下のゲート駆動回路を還流するようにコモンモード電流が流れる。図 4(a) と (b) の結果を比較することにより、誤動作の原理と対策法を検討する。

図 5 に実験波形を示す。これらの波形は、数百回のダブルパルス試験の結果を重ね書きしたものである。図 5(a) は、コモンモード電流が生じない図 4(a) の回路を用いた場合の実験結果である。図 5(a) は、40 V/ns の変化率で比較的高速にスイッチングしているが、誤動作は生じていない。一方、図 5(b) は、コモンモード電流が生じる図 4(b) の回路を用いた場合の結果であり、MOSFET は誤ターンオンしている。これらの結果から、高速スイッチング時に生じる誤ターンオンは、ゲート駆動回路のコモンモード電流が原因であることが示唆される。

図 5(b) のゲートドライバの入力信号(v_{sig})に注目すると、信号に生じるリンギングが図 5(a) よりも増大していることが分かる。ゲートドライバの出力電圧(v_g)が一時的に上昇し、本来 MOSFET をオフ状態すべき期間にもかかわらず、MOSFET をターンオンするようにゲート駆動されている。これにより、高速スイッチング時に生じる誤ターンオンは、コモンモード電流がゲート駆動信号の符号誤りを引き起こすことで、デジタル的に誤動作することが原因であることが明らかとなった。また、紙面の都合上割愛するが、この信号の符号誤りは、コモンモード電流が流れることでデジタルアイソレータが誤動作することが原因であることを突き止めた。

以上の検討により、高速スイッチングに適したアクティブゲート駆動回路を実現するためには、誤動作防止の観点から dv/dt 耐量大きなアイソレータを適用しなければならないことが明らかとなった。一方、一般的なアイソレータの dv/dt 耐量は 100 V/ns 程度が限度であるが、最先端の SiC MOSFET は数百 V/ns 程度でスイッチングすることが可能である。すなわち、SiC MOSFET

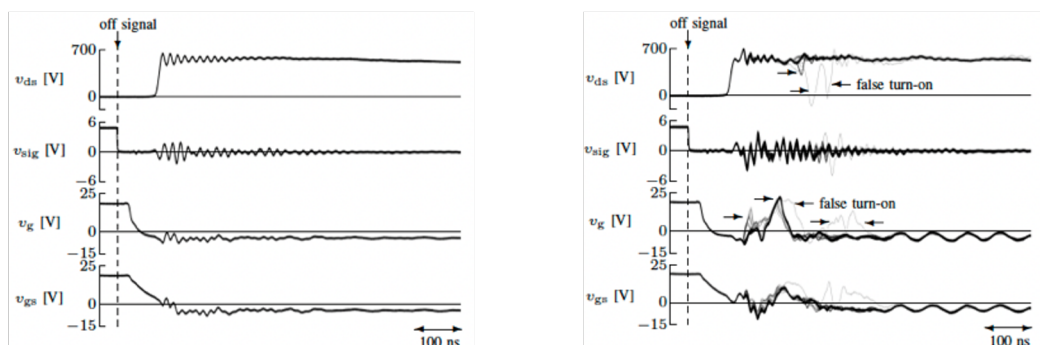


図 5 コモンモード電流による誤動作の実証実験

の高速スイッチング性能を引き出すためには、アイソレータ等の素子のノイズ耐量にとらわれない誤動作の対策が必要になると考えられる。

(3) アクティブゲート駆動回路を用いたサージ電圧抑制法の実験実証

図 6 は、SiC MOSFET のターンオフ波形である。図 6 の波形は、従来のゲート抵抗が一定値の従来のゲート駆動法を適用した場合および、本研究で開発したアクティブゲート制御法を提案した場合の実験波形であり、ドレイン・ソース間電圧は 46.8 V/ns の比較的高速な変化率で上昇している。アクティブゲート制御を適用する場合、ゲート抵抗を一時的に増大させることにより、ドレイン・ソース間電圧が $v_{ds} = 500 \text{ V}$ に達する直前に dv/dt を低減している。これにより、本研究で開発したアクティブゲート駆動回路は、ゲート抵抗が一定値の従来のゲート駆動回路を用いる場合に比べ、高速スイッチング時のサージ電圧を低減できることが実証された。

表 1 は、サージ電圧とスイッチング損失のシミュレーション結果である。ゲート抵抗が一定値の従来のゲート駆動回路を適用する場合、 dv_{ds}/dt を 30.5 V/ns から 11.5 V/ns に低減することで、サージ電圧は 694.8 V から 579.4 V に低減している。一方で dv_{ds}/dt を低減することにより、スイッチング損失が 0.29 mJ から 0.87 mJ まで増大した。これは、従来のゲート駆動回路を用いる場合、サージ電圧とスイッチング損失にトレードオフ関係が生じることを表している。一方、アクティブゲート制御を適用すると、ドレイン・ソース間電圧の上昇率が $dv_{ds}/dt=30.5 \text{ V/ns}$ であるにも関わらず、サージ電圧は 579.4 V であり、同じ dv_{ds}/dt 条件の従来制御を用いる場合よりもサージ電圧を低減している。また、同じサージ条件の従来制御を用いる場合よりも、スイッチング損失は低減されている。表 1 の結果により、本研究で実現したアクティブゲート駆動回路は、サージ電圧とスイッチング損失のトレードオフ関係を改善できることが実証された。

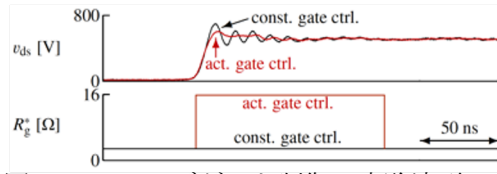


図 6 アクティブゲート制御の実験波形

表 1 サージ電圧とスイッチング損失

Gate ctrl.	dv_{ds}/dt	Surge voltage	Switching loss
const.	30.5 V/ns	694.8 V	0.29 mJ
const.	11.5 V/ns	579.4 V	0.87 mJ
active	30.5 V/ns	579.4 V	0.50 mJ

5 . 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 2件）

1 . 発表者名 山口大輝 , 佐藤伸二 , 八尾惇 , 佐藤弘
2 . 発表標題 アクティブゲート制御によるMOSFETの出力容量と浮遊インダクタンスの共振抑制効果の解析
3 . 学会等名 令和5年電気学会全国大会
4 . 発表年 2023年

1 . 発表者名 Daiki Yamaguchi , Shinji Sato , Atsushi Yao and Hiroshi Sato
2 . 発表標題 One-Pulse Active Gate Control Method Capable of Reducing Both Surge Voltage and Switching Loss
3 . 学会等名 2023 IEEE Energy Conversion Congress and Exposition (ECCE 2023) (国際学会)
4 . 発表年 2023年

1 . 発表者名 Daiki Yamaguchi , Shinji Sato , Atsushi Yao and Hiroshi Sato
2 . 発表標題 Experimental Verification of a Gate-Drive Circuit Using Distributed Signal Processing for Fast-Switching Operation of SiC MOSFETs
3 . 学会等名 International Power Electronics Conference 2022 (IPEC 2022 ECCE Asia) (国際学会)
4 . 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6 . 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	-------------------------------	-------------------------	----

7 . 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------