

令和 6 年 6 月 14 日現在

機関番号：32665

研究種目：若手研究

研究期間：2021～2023

課題番号：21K14213

研究課題名（和文）SiスピンMOSFETの実現を可能とする低界面抵抗構造の創製

研究課題名（英文）Development of Low Interface Resistance Structures Enabling the Realization of Si Spin MOSFETs

研究代表者

石川 瑞恵（ISHIKAWA, Mizue）

日本大学・工学部・専任講師

研究者番号：60751865

交付決定額（研究期間全体）：（直接経費） 3,500,000円

研究成果の概要（和文）：シリコンスピン電界効果トランジスタ(SiスピンMOSFET)は、不揮発メモリとロジック機能を1つのデバイスで実現できる超低消費電力電子デバイスとして期待されている。このSiスピンMOSFETを実現するため、申請者は界面抵抗に着目し、低界面抵抗構造を創製することによりスピン信号強度を増大させる方法を検討した。その結果、高濃度不純物層の形成方法や強磁性体電極層の作製方法に課題があることが判明した。一方、スピン信号測定器や微細加工素子の作製条件を確立した。これは、SiスピンMOSFETの実現だけでなく、スピントロニクスデバイスの基盤技術の確立にも寄与する極めて有用な知見である。

研究成果の学術的意義や社会的意義

本研究は、これまでに着目されてこなかった界面抵抗構造がSiスピンMOSFETの実現に大きく作用する可能性について警鐘を鳴らしている。今回の研究成果は、低界面抵抗構造が実現できる方法を確立するための多くの知見を与えており、今後SiスピンMOSFETの実現のみならず、スピントロニクスデバイスの半導体エレクトロニクスへの応用に向けた基盤技術の確立にも寄与する、極めて有用な知見である。

研究成果の概要（英文）：Si spin MOSFETs are anticipated as ultra-low power electronic devices that combine non-volatile memory and logic functions. The key technology for realizing Si spin MOSFETs is spin injection into silicon, which requires increasing the magnetoresistance (MR) ratio, a crucial metric for non-volatile memory. This study focuses on interface resistance and explores methods to enhance the MR ratio by increasing spin signal strength through low interface resistance structures. The study identified challenges in forming high-concentration impurity layers and ferromagnetic electrode layers. However, it successfully established conditions for fabricating fine-processed devices and spin signal measurement equipment necessary for evaluating the MR ratio. These findings are valuable not only for realizing Si spin MOSFETs by increasing the MR ratio but also for establishing foundational technologies for applying spintronics devices to semiconductor electronics.

研究分野：スピントロニクス

キーワード：スピントロニクス ホイスラー合金 スピン伝導

### 1. 研究開始当初の背景

これまでコンピュータや家電、自動車などにも使われてきた半導体デバイスは、その性能を向上させる手段として、主に微細化技術が用いられてきた。しかし、近年ではその物理限界が近づきつつあるため、新しい動作原理に基づく新型半導体デバイスの実用化が期待されている。その候補であるシリコンスピン電界効果トランジスタ(Si スピン MOSFET)は、不揮発メモリとロジック機能を1つのデバイスで実現できる超低消費電力電子デバイスとして期待されている(図1)。

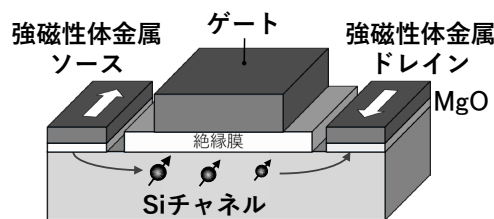


図1. Si スピン MOSFET の概略図

この Si スピン MOSFET を実現するための最重要技術は、Si へのスピン注入技術であり、不揮発メモリ機能を付与するために重要な指標となる「磁気抵抗(MR)比」の増大が必要となる。MR 比とは、Si スピン MOSFET のソース・ドレイン電極の磁化の向きが平行・反平行となった際の抵抗変化の比率を示しており、この比率が大きいほど不揮発メモリとしての性能が向上する。しかし現状では、電極を形成する強磁性体/MgO/Si チャンネル構造の界面抵抗が高くなり、MR 比が大幅に低減されることが理論計算から明らかとなっている。そこで、界面抵抗を抑制するため、申請者は界面抵抗を低減させ、Si スピン MOSFET に必要な高 MR 比を実現する方法を検討した。

### 2. 研究の目的

本研究では、高いスピン注入・検出効率を維持した低界面抵抗構造を創製し Si スピン MOSFET に必要な高 MR 比を実現することを目的とする。低界面抵抗構造を創製するためには、酸化マグネシウム(MgO)/Si チャンネル界面付近における MgO 層の結晶規則度を向上させ、極薄 MgO 層の単結晶化が高 MR 比を実現する上で重要となる。そこで申請者は、低界面抵抗構造として、非晶質(アモルファス)な CoFeB 層と接する極薄 MgO 層が単結晶化しやすい特性を利用し、高スピン分極率ホイスラー合金/CoFeB/極薄 MgO/Si チャンネル層からなる積層構造を提案する。

具体的には、(1)Si 上への CoFeB/極薄 MgO 積層膜の単結晶成長により、低界面抵抗構造の実現を図る。次に、(2)MR 比を観測するためのスピン信号測定器を立上げる。最後に、(3)微細加工素子の作製により、スピン信号・磁気抵抗(MR)比の増大を観測する。

### 3. 研究の方法

(1) Si スピン MOSFET の構造に近い CoFeB/極薄 MgO/ $n^+$ -Si 積層膜を形成するため、まずは  $n^+$ -Si 層の作製を行った。具体的には、不純物であるリン(P)を含んだガラス膜(SOG)を Si 基板上に形成し、加熱(拡散アニール)により Si 基板へ P を拡散させ  $n^+$ -Si 層を形成した。次に、MgO(001)単結晶基板上に、ホイスラー合金/CoFeB 層の積層膜を形成し、その結晶構造評価を行った。MgO(001)単結晶基板上で  $\text{Co}_2\text{MnSn}$  /CoFeB 層が単結晶化できれば、これまでの我々の研究で Si 基板上に形成した MgO 層が単結晶化する技術を組み合わせることで、Si 上への CoFeB/極薄 MgO 積層膜の単結晶成長が完成するためである。ここでホイスラー合金には、スピン分極率 100%のハーフメタルとして期待されている  $\text{Co}_2\text{MnSn}$  を用いた。

(2) スピン信号測定器の立上げには、作製した微細加工素子に電流を通電し、Si チャンネル中にスピン注入を行った状態で外部磁場をスイープすることで、ホイスラー電極の磁化配置が平行・反平行とスイッチする。そのため、抵抗測定プログラムと外部磁場制御プログラムを作成し、動作確認を行った。これらの測定プログラムの作成には、測定ソフトウェア(Vee Pro)を用いた。外部磁場の印加には電磁石を用いた。またソースメーターから素子へ一定電流を流し、ナノボルトメーターによる電圧値を検出する、一連のシステムを準備した。

(3) 素子作製には、電子デバイスの作製などに用いられる半導体加工技術を応用した。作製に使用した基板形状は 2cm $\square$ を用いた。具体的には、電子線描画装置やコンタクトアライナーなどの露光装置や材料を削るための反応性エッチング装置などを用いて素子形状を確定し、エッチング装置やウェット処理を利用して加工した。この際、素子の構造毎に露光装置を利用する必要があるため、1つ目に加工した構造と2つ目に加工する予定の構造がずれないように構造ごとに配置したマークが重なる“マーク合わせ”を行いながら加工を進めていく必要がある。微細加工素子では、このマーク合わせが非常に重要な工程となるため、今回はマークの形状と合わせ精度の

関係について、顕微鏡でズレ幅を測長しながら加工を進めることにした。

#### 4. 研究成果

(1) 作製した  $n^+$ -Si 層においてシート抵抗から不純物濃度を算出した結果、拡散アニール温度が  $750^{\circ}\text{C}$  の場合では  $\sim 8.14 \times 10^{17}/\text{cm}^3$ ,  $850^{\circ}\text{C}$  の場合では  $\sim 3.12 \times 10^{19}/\text{cm}^3$ ,  $950^{\circ}\text{C}$  の場合では  $\sim 2.13 \times 10^{20}/\text{cm}^3$  となり、拡散アニール温度の増加にともない不純物濃度が高くなった。また作製した  $n^+$ -Si 層の表面形状を原子間力顕微鏡(AFM)像による測定した結果、拡散アニールを行うことにより、表面粗さが増加していることがわかった(図 2)。この表面粗さが増加すると、スピン信号が減少し MR 比が抑制されてしまうため、今後は表面粗さの小さい  $n^+$ -Si 層の作製が重要となる。本着眼点に端を発し、来年度は MR 比向上のための低界面粗さ構造の創製を目指す予定である。

次に、 $\text{MgO}(001)$ 単結晶基板の上に  $\text{Co}_2\text{MnSn}/\text{CoFeB}$  層を形成した場合での結晶構造評価を行った。図 3(左)は作製した  $\text{Co}_2\text{MnSn}/\text{CoFeB}$  層の断面透過型電子顕微鏡(TEM)解析の結果を示す。図 3(左)より、 $\text{Co}_2\text{MnSn}$  層と  $\text{MgO}(001)$ 基板を比較すると、 $\text{MgO}(001)$ 基板は規則正しく配列した単結晶構成を有しているのに対し、 $\text{Co}_2\text{MnSn}$  層は単結晶構造が確認できないため非晶質(アモルファス)を形成していると考えられる。同様に  $\text{CoFeB}$  層と  $\text{MgO}(001)$ 基板を比較すると、 $\text{CoFeB}$  層ではアモルファスを形成していることが確認できる。よって、アモルファス  $\text{CoFeB}$  層上での  $\text{Co}_2\text{MnSn}$  層の高規則度化には至らなかったが、 $\text{CoFeB}/\text{MgO}(001)$ 界面に白い不純物層が存在していることが今回明らかとなった。次に図 3(左)部でのエネルギー分散型蛍光 X 線分光法(EDX)による組成分析を行った結果を図 3(右)に示す。炭素(C)が  $\text{CoFeB}/\text{MgO}(001)$ 界面に多く存在していることから、 $\text{CoFeB}/\text{MgO}(001)$ 界面の白い不純物層は C であることが判明した。よって、この不純物層の影響で高規則度な結晶が得られていなかった可能性が考えられる。よって、今後は C を除去する方法を検討する必要がある。方法の一つとして、成膜前の逆スパッタ効果の利用を検討していく予定である。また酸素(O)が  $\text{CoFeB}$  層中で多く検出されていることから、 $\text{CoFeB}$  層は O を含んでいる可能性が考えられる。また Fe や Mn はそれぞれ  $\text{CoFeB}$  層と  $\text{Co}_2\text{MnSn}$  層のみに存在しており拡散していないことがわかる。以上の結果から、今後は  $\text{MgO}(001)$ 基板表面の C を除去する方法を検討し、 $\text{Co}_2\text{MnSn}$  よりも結晶化しやすいホイスラー合金を用いることで、高スピン分極率ホイスラー合金/ $\text{CoFeB}/$ 極薄  $\text{MgO}/\text{Si}$  チャネル層の実現を目指す。

(2) 抵抗測定プログラムを作成し実行したところ、印加電流を増加させていくと測定の最終データ(抵抗値)がプラスからマイナス側へ急激に変化することを確認した。これは、電流を入力するための入力電源と電圧を測定するための測定器における入力・測定のタイミングが一致していないことが原因と考えられる。そこで、入力電源と測定器を同期するプログラムに修正したところ、抵抗値の急激な変化は見られなくなった。以上より、抵抗測定プログラムの作成に成功した。次に、外部磁場制御プログラムを作成した。外部磁場の制御には、電源による電圧の印加が必要である。外部磁場の値は電源の電圧値に比例するため、入力電圧  $V[\text{V}]$  に対する磁束密度  $B[\text{Oe}]$  の関係を評価した結果、印加電圧と磁束密度は線形比例関係が明らかとなった。この比例関係式から、指定した磁束密度に対応する入力電圧値が求められるため、外部磁場制御プログラムでは比例関係式を用いて外部磁場を電源電圧により制御することとした。次に、抵抗測定プログラムに外部磁場制御プログラムを追加したプログラムを組合せ、抵抗の外部磁場依存性を評価した。その結果、外部磁場が指定した範囲( $-5000 \text{ Oe} \sim +5000 \text{ Oe}$ )内で変化し入力電圧に対応して磁束密度が変化することを確認し、外部磁場の制御に成功した。さらに抵抗測定プログラムと外部磁場制御プログラムによって抵抗値の外部磁場依存性を測定し、スピン信号測定器を立上げることに成功した。

(3) マスク合わせ時の問題点を洗い出すため、Si チャネルの形状を形成するためのチャネル(CH)マスクと、電極端子を形成するためのビア(V)マスクの 2 種類のマークを利用した。その結果、いずれのマーク形成時においても、それぞれレジスト(加工形状を作製するための感光材)が残った。この原因としては、マーク位置が形成されている試料の左右両端にレジストが厚く形成されてしまい、試料中心部のレジスト剥離条件ではレジストが取り切れなかったことが原因と考えられる。そこで、CH・V マスクのマーク位置を中心へそれぞれ  $1000 \mu\text{m}$  ずつ移動し、さらに V マスク形成時の現像時間を  $110 \text{ sec.}$  から  $5 \text{ min.}$  に変更した。その結果、CH・V マスクのレジスト残りは除去できた。またエッチングを行った際、CH マスクのレジストが焼け焦げてしまい、

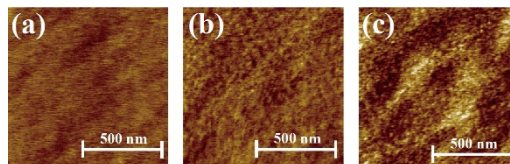


図 2. 拡散アニール温度( $T_a$ )の違いによる高濃度  $n$  型 Si 層表面の AFM 像。  
[(a)処理前, (b)  $T_a=750^{\circ}\text{C}$ , (c)  $T_a=850^{\circ}\text{C}$ ]

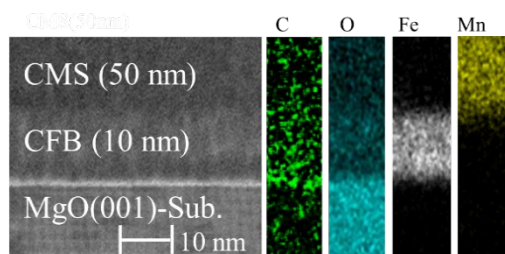


図 3.  $\text{Co}_2\text{MnSn}(\text{CMS})/\text{CoFeB}(\text{CFB})$  層の  
(左)断面 TEM 像と(右)組成分析結果。

レジスト剥離ができない問題も発生した。この対策としてエッチングの放電時間を 10 min. から 4 min. へ変更することで、レジスト焼けが発生しなくなり V マークの重ね合わせを行うことに成功した。以上の条件を用いて、マークパターンの重ね合わせ条件出しを行った結果、最適なマークの形状としては十字マークの凹型形状が最小のズレ幅で重ね合わせられる結果となった。

以上の結果は、MR 比の増大による Si スピン MOSFET の実現だけでなく、スピントロニクスデバイスの半導体エレクトロニクスへの応用に向けた基盤技術の確立にも寄与する極めて有用な知見である。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 野木祐介, 緑川大己, 石川瑞恵
2. 発表標題 Si スピンMOSFETの実現に向けた高規則度ホイスラー合金の作製
3. 学会等名 R6年東北地区若手研究者研究発表会
4. 発表年 2024年

1. 発表者名 石川瑞恵
2. 発表標題 半導体スピン素子のための高濃度p型Si層の作製
3. 学会等名 第70回応用物理学会春季学術講演会
4. 発表年 2023年

1. 発表者名 山岸大紀, 玉貴海渡, 石川瑞恵
2. 発表標題 Si スピンMOSFETの実現に向けた高規則度ホイスラー合金Co <sub>2</sub> MnSnの作製
3. 学会等名 R5年東北地区若手研究者研究発表会
4. 発表年 2023年

1. 発表者名 林龍哉, 半澤圭悟, 石川瑞恵
2. 発表標題 Si スピンMOSFETの実現に向けた高規則度ホイスラー合金/CoFe強磁性体電極の作製
3. 学会等名 R5年東北地区若手研究者研究発表会
4. 発表年 2023年

1. 発表者名 石川瑞恵
2. 発表標題 半導体スピン素子のための高濃度Si層の作製
3. 学会等名 第69回応用物理学会春季学術講演会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関