

令和 5 年 6 月 26 日現在

機関番号：11301

研究種目：若手研究

研究期間：2021～2022

課題番号：21K17818

研究課題名（和文）報酬信号を考慮したスパイクニューロン学習モデルの提案とそのハードウェア実装

研究課題名（英文）Learning model of spiking neurons considering reward signals and its hardware implementation

研究代表者

守谷 哲（Moriya, Satoshi）

東北大学・電気通信研究所・特任助教

研究者番号：10898117

交付決定額（研究期間全体）：（直接経費） 2,100,000円

研究成果の概要（和文）：本研究では、神経細胞が生じるスパイク信号などの局所情報から効率的に学習を進める神経情報処理モデルを構築し、音声信号処理に適用した際の性能評価を行った。報酬信号を考慮することで、スパイク信号の時間差のみから学習を行った場合よりも性能が向上することを示した。さらに、スパイク信号の時間差から重みの更新を行う専用回路を設計し、ソフトウェア的に実装した場合と比較して消費電力や面積を削減できることを示した。

研究成果の学術的意義や社会的意義

深層学習を始めとする従来の神経情報処理モデルでは、ネットワーク全体の活動を中央集権的に監視・統合し学習が成されることが大半であり、その結果計算コストが高く、多くの電力を消費する課題があった。本研究で提案したモデルは、神経細胞が生じる局所情報から学習を進められるうえ、専用回路により効率的に計算できるものであり、低消費電力の脳型デバイスの実現に貢献する。本成果は、神経情報処理の更なる普及や、現行の神経情報処理の応用の枠を越えた分野への応用に資するものである。

研究成果の概要（英文）：In this study, we constructed a neural information processing model that efficiently learns from local information such as neural spike signals. We evaluated the performance of the model when applied to speech signal recognition task, and performance was improved by considering the reward signal compared to the case where only the time difference of the spike signal was used for weight update. In addition, we designed a dedicated analog circuit to calculate weights from the time differences of spike signals, which reduces power consumption and circuit area compared to software implementation.

研究分野：神経工学

キーワード：神経回路モデル STDP 脳型計算 スパイクニューラルネットワーク 脳型コンピュータ

1. 研究開始当初の背景

脳の情報処理に着想を得た脳型情報処理は、認識や判断といった高度な情報処理の一部を人間に近いレベルで実行することが出来るため、幅広い分野への応用がなされている。しかし、深層学習を始めとする従来の情報処理モデルでは、ネットワーク全体の活動(大域情報)を中央集権的に監視・統合し学習が成されることが大半であり、その結果計算コストが高く、多くの電力を消費する課題がある。一方で生体脳における学習は個々の神経細胞レベルで生じ、それぞれの神経細胞が関知可能な、神経スパイクの時間差や報酬信号のドーパミンを始めとした化学的シグナルに基づいて進行する為、効率的な情報処理が行われている。局所情報から学習を行うモデルが確立出来れば、生体脳が示す低消費電力性に加えて耐障害性や可拡張性を有した情報処理システムが実現しうる。しかし、ハードウェア実装の容易性を担保しつつ局所情報から学習を行うアルゴリズムは提案されていなかった。

2. 研究の目的

本研究では、AI技術の更なる社会実装に向け、局所情報により学習を進める神経情報処理モデルを構築し、そのアルゴリズムを実行する専用のアーキテクチャを開発・ハードウェア上に実装することで、超低消費電力脳型システムの実現に向けた基盤技術の構築を目指す。低消費電力性に加えて耐障害性や可拡張性を兼ね備えた情報処理システムの実現を目標とし、局所情報から効率的に学習を行う学習モデルを開発する。その上で、音声識別課題を始めとする時系列情報処理のデモンストレーションを行い、提案学習モデルの効率的なハードウェア実装について検討する。

3. 研究の方法

神経細胞のモデルとして、少ない計算コストで様々な種類の神経スパイクを再現可能なIzhikevichニューロンモデルを用い、これらを再帰的に結合してネットワークを構成する。ネットワークから得られたスパイク列を情報処理に利用するために、リザーブ計算の枠組みを用いる。スパイクニューロンからリザーブ層とリードアウト層を構成し、これらの層の間の結合重みをスパイクタイミングなどの局所情報から更新する。神経スパイクのタイミングに依存して細胞間の結合重みが増減するスパイクタイミング依存可塑性(STDP)という現象と、強化学習の分野で用いられる報酬信号を考慮した学習モデルを構築し、入力信号に対して適切な結合重みを計算する。出力層の正解に対応したニューロンが発火した場合、STDP学習によりリザーブ層との結合を強化し、同じ信号に対して発火しやすくなるように調整する(報酬)。不正解の場合は逆に結合を減弱し、発火しにくくなるように調整する(罰)。また荷重値の総和を一定にすることで荷重値の取り合い(競合)が生じ、自律的に信号の分類が進行する。上述のモデルを計算機上で再現するプログラムを作成し、提案学習モデルの有効性を検証する。また、提案学習モデルを実行するためのハードウェアの構成を検討する。IzhikevichスパイクニューロンモデルやSTDP学習則を効率的に計算する専用回路についてアナログ実装・デジタル実装の両実装方法について検討し、その回路規模や消費電力について評価を行う。

4. 研究成果

神経細胞が生じるスパイクなどの局所情報から効率的に学習を行うための学習モデルの開発を行った。局所情報としてSTDP学習則に加え、報酬信号を考慮して荷重値を更新する学習モデルを構築した。数百ニューロンの規模のスパイクニューラルネットワークの活動を再現するプログラムを作成し、リザーブコンピューティングの枠組みを用いて音声信号弁別課題に適用した。提案学習則を用いてリザーブ層と出力層間の荷重値を更新することで、2種の音声信号を80%程度の正解率で弁別できることを確かめた(図1)。また、STDP学習則を単純に適用した場合よりも、報酬信号を加味した提案学習則においてより性能が向上することを示した。(飯田、守谷他、電子情報通信学会総合大会、2023)。

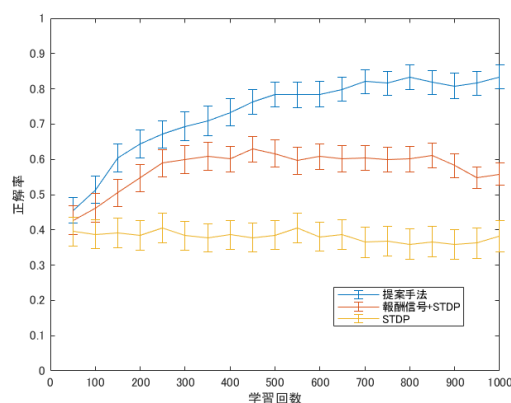


図1. 音声信号弁別課題における学習回数と正解率の比較

また発火の時間差から結合重みの変化量を計算するアナログ STDP 回路について設計した。アナログ STDP 回路は 21 個のトランジスタから構成され、発火の時間差に応じて結合重みの変化量に相当する電圧を出力する。生体の神経細胞で観測される STDP の結合重みの変化と同様に、結合重みの変化量が神経スパイクの時間差に対して指数関数的に変化することを計算機シミュレーションから示した (図 2)。更に、現在の結合重みによって結合重みの変化量が変わる荷重値依存性の効果や、学習において重要度が低い細胞間の結合を減弱させる効果についても同回路に実現した。これらの効果は STDP を利用した学習において学習性能を向上させることが報告されており、より効率的な学習則の実現に寄与する。回

路あたりの消費電力は $0.77 \mu\text{W}$ 、面積は $350 \mu\text{m}^2$ と見積もった。STDP 則を実現するアナログ回路設計は当初の研究計画にはない新規の成果であり、トランジスタの物理的な特性を活用した効率的な学習則の実装に関する知見を与えるものである (Moriya et al., NOLTA 2021)。さらに、スパイクニューラルネットワークおよび提案学習機構を効率的に実現するための専用デジタルハードウェアの構成を検討した。STDP の関数をメモリにあらかじめ保存しておくことで、指数関数や乗算の計算を削減した。またそのハードウェア構成をもとに、提案学習則の一部機能のデジタルハードウェア実装をおこなった。提案学習則において重要な機能である発火の時間差から重みの更新を行う回路について設計を行い、その動作をシミュレーション上で確かめた。

以上の研究成果は、限られた消費電力で高度な情報処理を行う必要があるエッジ AI デバイスの実現に寄与するものであり、神経情報処理の更なる普及や、現行の神経情報処理の応用の枠を越えた分野への応用に資するものである。

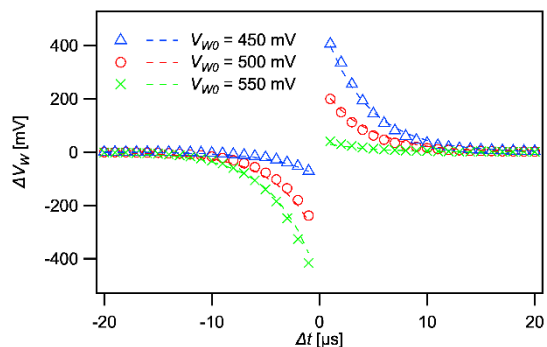


図 2. 提案アナログ STDP 回路における発火時間差と結合重みの変化量

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件/うち国際共著 2件/うちオープンアクセス 0件）

1. 著者名 Moriya Satoshi, Yamamoto Hideaki, Sato Shigeo, Yuminaka Yasushi, Horio Yoshihiko, Madrenas Jordi	4. 巻
2. 論文標題 A Fully Analog CMOS Implementation of a Two-variable Spiking Neuron in the Subthreshold Region and its Network Operation	5. 発行年 2022年
3. 雑誌名 2022 International Joint Conference on Neural Networks (IJCNN)	6. 最初と最後の頁 1--7
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/IJCNN55064.2022.9891920	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Moriya Satoshi, Kato Tatsuki, Oguchi Daisuke, Yamamoto Hideaki, Sato Shigeo, Yuminaka Yasushi, Horio Yoshihiko, Madrenas Jordi	4. 巻 12
2. 論文標題 Analog-circuit implementation of multiplicative spike-timing-dependent plasticity with linear decay	5. 発行年 2021年
3. 雑誌名 Nonlinear Theory and Its Applications, IEICE	6. 最初と最後の頁 685 ~ 694
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/nolta.12.685	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計25件（うち招待講演 1件/うち国際学会 13件）

1. 発表者名 Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, Jordi Madrenas
2. 発表標題 A fully analog CMOS implementation of a two-variable spiking neuron in the subthreshold region and its network operation
3. 学会等名 2022 International Joint Conference on Neural Networks (国際学会)
4. 発表年 2022年

1. 発表者名 Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, Jordi Madrenas
2. 発表標題 Ultra-low power analog CMOS implementation of spiking neural networks for reservoir computing applications
3. 学会等名 The 2022 International Symposium on Nonlinear Theory and Its Applications (国際学会)
4. 発表年 2022年

1. 発表者名 守谷 哲, 山本 英明, 弓仲 康史, 堀尾 喜彦, 佐藤 茂雄
2. 発表標題 スパイクングニューラルネットワークのアナログ回路実装と時系列情報処理への応用
3. 学会等名 電子情報通信学会 ニューロコンピューティング研究会
4. 発表年 2022年

1. 発表者名 Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, Jordi Madrenas
2. 発表標題 Analog LSI implementation of spiking neural network for energy efficient computing
3. 学会等名 The 11th RIEC International Symposium on Brain Functions and Brain Computer (国際学会)
4. 発表年 2023年

1. 発表者名 飯田 陽介, 守谷 哲, 山本 英明, 佐藤 茂雄
2. 発表標題 報酬変調型STDP学習則と荷重値分配を用いた時系列信号分類手法の提案
3. 学会等名 電子情報通信学会 総合大会
4. 発表年 2023年

1. 発表者名 守谷 哲, 加藤 達暉, 弓仲 康史, 山本 英明, 佐藤 茂雄, 堀尾 喜彦
2. 発表標題 減衰付きSTDP学習則のアナログ回路設計とLSI実装
3. 学会等名 電子情報通信学会 ニューロコンピューティング(NC)研究会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関			
スペイン	Polytechnic University of Catalonia			