

科学研究費助成事業 研究成果報告書

平成 26 年 4 月 23 日現在

機関番号： 13901
研究種目：特別推進研究
研究期間：2010～2013年度
課題番号：22000011
研究課題名（和文）省電力／超高速ナノCMOSのための電子物性設計と高移動度チャネル技術の創生
研究課題名（英文）Design of Electronic Properties and Development of High-Mobility Channel Technology for Low Power/High-Speed Nano-CMOS Devices
研究代表者
財満 鎮明 (ZAIMA Shigeaki) 名古屋大学・工学研究科・教授
研究者番号：70158947
交付決定額（研究期間全体）：（直接経費） 344,600,000 円、（間接経費） 103,380,000 円

研究成果の概要（和文）：CMOS デバイスの省電力、高速化に向けて、高キャリア移動度歪 Ge および GeSn 層の結晶成長と電子物性制御に関する研究を推進した。基板構造の制御、低温成長、歪構造制御技術を駆使して、27%にまで達する超高 Sn 組成 GeSn 層成長や Ge エピタキシャル層の双晶・積層欠陥低減を実現した。さらに、GeSn 層の点欠陥、キャリア物性や MOS 界面構造制御技術を構築するとともに、GOI および SGOI 基板を作製し、その高キャリア移動度を実証した。

研究成果の概要（英文）：We have investigated the crystal growth and electronic properties of strained Ge and GeSn epitaxial layers for realizing low power and high speed CMOS devices. We achieved the growth of very high Sn content GeSn growth and the reduction of defect density in GeSn epitaxial layers by substrate design, low temperature growth, and strain engineering. We also developed engineering technology of point defects, carrier properties, and MOS interface for GeSn materials. In addition, we demonstrated the fabrication of GOI and SGOI wafers and the improvement on the carrier mobility in those layers.

研究分野：半導体工学

科研費の分科・細目：応用物理学・工学基礎、薄膜・表面界面物性

キーワード：ゲルマニウム、錫、歪、エピタキシャル成長、CMOS、表面・界面

1. 研究開始当初の背景

高度情報社会を支えるシリコン (Si) 系超々大規模集積回路 (ULSI) の持続的発展に向けては、これを構成する CMOS デバイスのさらなる省電力化・高速化が必要不可欠である。研究開発当初において、Si 系 CMOS の微細化技術の限界が危惧され、さらなる性能向上を達成するためにゲルマニウム (Ge) や III-V 族化合物半導体を用いた高移動度チャネル技術に関する研究が活発に行われ始めていた。

我々は、従来の Si エレクトロニクスと親和性の高い Ge 系 IV 族材料を用いながら、キャリア移動度のさらなる向上が期待できるゲルマニウム錫 (GeSn) という新材料に注目した。当時、GeSn に関する研究は光電子材料に関する研究が一部で報告されるのみであり、高移動度材料としての応用に注目した実験的報告は、我々のグループが 2007 年に先鞭をつけたところであった。研究当初、GeSn

や歪 Ge の結晶成長や表面・界面物性、さらにはデバイス応用に向けたキャリア物性に関する研究は未開拓の領域であり、結晶から電子物性までに繋がる系統的理解とその物質設計、物性制御技術の構築が希求されていた。

2. 研究の目的

本研究では、省電力、高速 ULSI の実現に必須となる、高移動度チャネル技術創成に向けて新規半導体材料の開発、およびその電子物性設計指針の構築を目指した。ナノ CMOS 世代に向けて有望な歪 Ge および GeSn 材料を中心とする新規チャネル材料を探索し、従来の Si チャネルを越えるキャリア移動度の実証に基づいた、新しいテクノロジートレンドの創出を目指した。

上記目的の達成に向けて、当初、次のような目標を掲げた。(1) Sn 組成 10% を越える高 Sn 組成 GeSn 歪印加層の成長技術、伸長歪

量 1%を超える次世代歪 Ge チャンネル形成技術を構築し、そのキャリア移動度、エネルギーバンド構造等の電子物性を解明する。(2) Sn 組成 20%を超える GeSn 層の形成技術を探索し、さらに次々世代の (歪) GeSn チャンネル材料の高キャリア移動度の実証と電子物性を解明する。(3) キャリア移動度の最大化に向けて歪構造を設計、歪 Ge 系ヘテロエピタキシャル構造の結晶歪とその緩和過程、および転位、欠陥構造を解明し、これに基づいて微細形状加工、局所歪印加による歪構造の制御技術を開発する。

3. 研究の方法

本研究では、結晶成長、結晶物性および電子物性評価、材料およびプロセス技術の研究開発、デバイス作製とその物性評価を各研究者が担当し、相互に有機的に連携することで系統的な研究を推進した。研究代表者の財満は研究全体を統括するとともに、歪 Ge 成長技術の構築およびプロセスおよびデバイス技術の開発を進めた。田中は、エピタキシャル層の歪および転位構造の詳細評価技術の開発を担当した。坂下および竹内は、歪 Ge 系チャンネル MOS 構造の作製と電子物性評価、電気特性評価を進めた。竹中は、歪 Ge 系チャンネル MOSFET の開発およびその電気特性評価を担当した。

4. 研究成果

(1) GeSn 結晶成長と歪・転位構造の評価

①高 Sn 組成 GeSn 層の結晶成長と電子物性の評価

Si および Ge 基板上における $Ge_{1-x}Sn_x$ 層の結晶成長を検証し、成長および熱処理中における歪緩和過程を解明するとともに、9.2%の高 Sn 組成 $Ge_{1-x}Sn_x$ エピタキシャル層の形成を実現した。さらに、Ge よりも格子定数の大きい InP 基板の適用と 50~150°C の低温成長によって、従来の固溶限界を 10 倍以上を超える最大 27%の超高 Sn 組成を有する GeSn 層の形成に成功した (図 1)。

また、Ge 基板上に形成した Sn 組成 8%の GeSn 薄膜に関して、直接遷移化を示唆するフォトルミネッセンス (PL) 発光を 77K において観測した。GeSn 層の薄膜化による貫通転位の低減、および水素熱処理による結晶性向上による、PL 発光強度の改善を実証した。高 Sn 組成 GeSn 層は、直接遷移型狭ギャップ IV 族半導体層として、今後、高電子移動度チャンネルや光学デバイスへの応用が期待できる。

②収束電子回折法を用いた高精度歪みマッピング技術

収束電子回折法で得られる HOLZ 線図形を用いた高精度歪み解析法を開発した。HOLZ 線的位置を Hough 変換により正確に抽出し、シミュ

レーション図形と定量的に比較するアルゴリズムを開発した。また、このアルゴリズムを実装した解析プログラムを開発し、迅速な歪み解析ができるようにした。

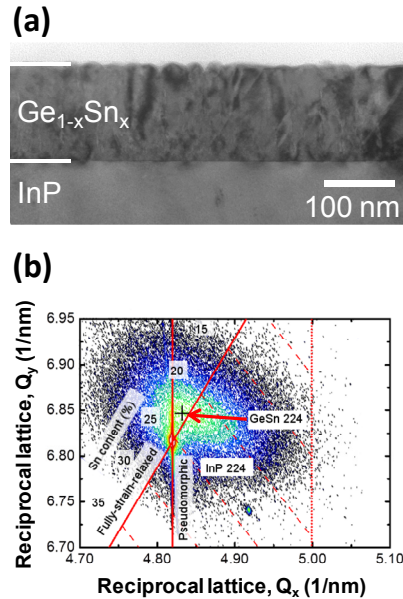


図 1. InP 基板上に作製した GeSn 層の (a) 断面 TEM 像および (b) XRD 逆格子空間マップによる格子置換 Sn 組成 27% の GeSn 層形成の確認。

電子ビームの 2 次元走査により得た一連の HOLZ 線図形に対して本手法をもちいた解析を行い、一様歪みだけでなく湾曲歪みの分布までマッピングすることに成功した。また、収束電子回折図形にみられるロッキングカーブプロファイルから歪み場再生する手法の開発を行い、湾曲歪みのような非一様歪み場をモデルフリーで解析する手法を開発した (図 2)。

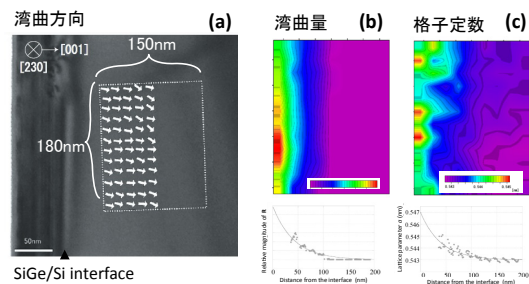


図 2. Si/SiGe 界面近傍の (a) 断面 TEM 像および湾曲ベクトル、(b) 湾曲量、および (c) 格子定数マップ。

③ナノビーム電子回折法を用いた高精度歪み解析技術

ナノビーム電子回折法をもちいた高精度歪み解析法を開発した。電子顕微鏡レンズの歪みを考慮した高次ラウエ帯反射の評価により、入射方向に垂直な格子面間隔を HOLZ 線解析と同程度の精度である 0.02% の精度で、界面

近傍10nm以内の領域で格子定数を決定できることを実証した。さらに、本手法をGaAs/GaAsP歪超格子や実際のCPU中のMOSFET部に対して適用し、歪みマッピングを行った(図3)。

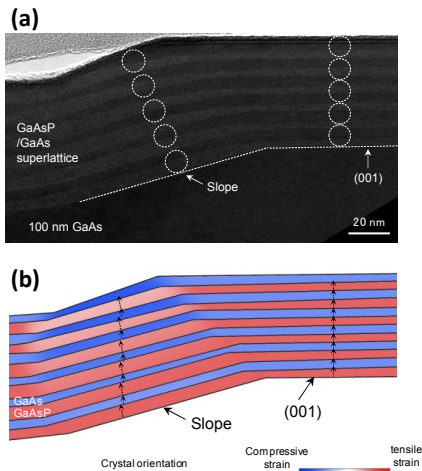


図3. GaAs/GaAsP歪超格子の(a)断面TEM像および(b)ナノビーム電子回折で決定した歪み分布。

④収差補正TEM/STEM界面近傍の歪み分布解析

収差補正TEM/STEMをもちいてGe基板と絶縁膜の界面近傍の原子配列および格子歪の観察を行った(図4)。Ge最表面に隣接する原子コラム同士が近づき合う特異な構造が形成されることを見出した。

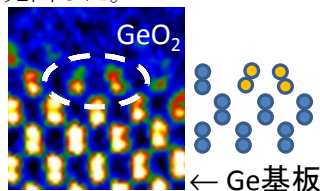


図4. Ge基板とGeO₂絶縁膜の界面の収差補正STEM像にみられた特異結合構造。

また、GPAを用いた歪解析を行い、Ge基板中に深さ方向に周期的な歪が存在することを見出した(図5)。

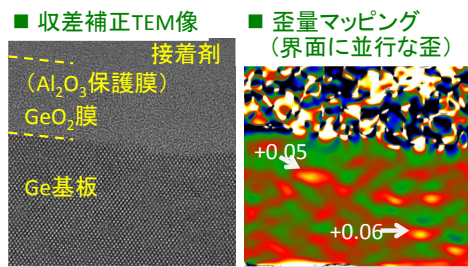


図5. Ge基板とGeO₂絶縁膜の界面近傍の収差補正TEM像(左)、GPAによる歪マップ(右)。

⑤GeSnエピタキシャル層の転位構造制御

Si(110)上へのGe層低温成長において、Snを含まないGe層のエピタキシャル成長に比

較して、Sn添加によって双晶欠陥の形成を効果的に抑制できることを実証した(図6)。また、その歪緩和と転位構造の相関性を解明によって、Si基板上への高移動度GeSnチャネルヘテロ成長と欠陥制御技術への展開が期待できる。

さらに、SOI基板上に形成したGeSn層への400°Cの低温熱処理により、モザイシティのない高結晶品質を有するGeSiSn層の形成に成功した。

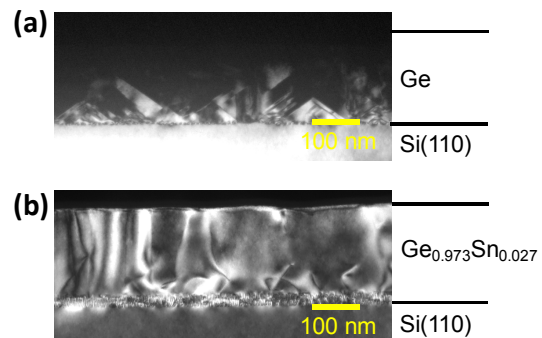


図6. Si(110)基板上における(a)Ge層および(b)Ge_{0.973}Sn_{0.027}層の暗視野TEM像。Ge層中には多数の双晶形成が確認できるが、GeSn層は比較的均一な構造を示し、転位密度も低い。

(2)電子物性の設計および制御に向けたGeSnプロセス技術開発

①GeSnエピタキシャル層のキャリア物性制御

低温成長Ge層においては、空孔欠陥に起因する意図しない正孔の生成が問題である。0.1%程度のSn導入と水素雰囲気中熱処理によって作製したGeエピタキシャル層中の正孔濃度が10¹⁶cm⁻³と評価され、Snを導入しない非熱処理のGe層と比較して、正孔密度を2桁低減できることを見出した(図7)。

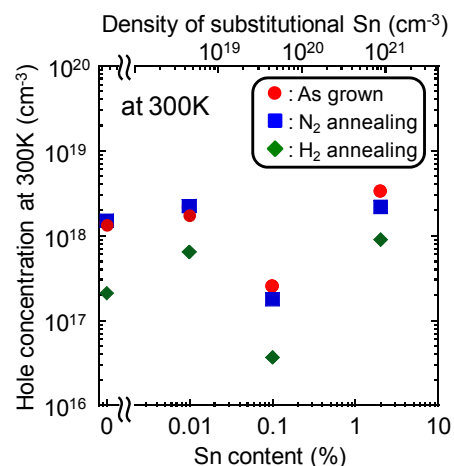


図7. SOI基板上に形成したSn組成0~2%のGeSn層における正孔密度のSn組成依存性。成長直後、窒素および水素雰囲気中熱処理後の結果を示す。

また、ソース・ドレインストレッサとしてのp型ドーパGe_{1-x}Sn_x層の形成を検証した。Ga *in-situ*ドーピングによって、Sn析出がなく、歪も維持したままでSn組成3.5%、 $2 \times 10^{19} \text{cm}^{-3}$ の高GaドーパGeSn層の形成を実証した。また、p⁺-Ge/n-Ge基板ヘテロ界面における接合リーク電流を、p⁺-Ge層への数%のSn導入によって抑制できることを実証した。GeSn層ソース・ドレインによって、接合界面のリーク電流の効果的な低減が期待できる。

②GeおよびGeSn MOSゲートスタックの形成と界面物性

GeおよびGeSnのMOSゲートスタック構造構築に向けて、Al酸化膜や高誘電率酸化物膜であるPr酸化膜との界面結晶物性および電気的特性制御技術を構築した。

Pr酸化膜/酸化窒化Ge/Ge構造の界面化学結合状態および反応過程を詳細に調べた結果、急速酸化処理によって、立方晶Pr₂O₃中の酸素空孔や欠陥が終端され、界面リーク電流を効果的に抑制できることを明らかにした。さらに、Ge基板上的Pr酸化膜における化学結合状態を、その上層に成膜したゲート金属材料の還元性によって制御できることを実証した。

また、Sn組成4~9%のGeSn/Ge試料にGeO₂およびAl₂O₃薄膜を形成、MOS構造を作製し、界面構造、電気特性などを評価した。熱酸化に伴う表面付近のSn析出とSn酸化物形成を見出した。また、熱酸化によって、界面準位密度をGeO₂/Ge MOS構造と同等以上に低減できることを実証した。

③プラズマ酸化による高品質界面形成

プラズマ後酸化を用いることで極めて高性能なGe p-MOSFETの動作実証に成功した。また、歪Geチャンネルに対するプラズマ後酸化の有効性を実証した。

さらに、同様のプラズマ後酸化手法を用いることで、貼り合せで作製するGe-on-Insulator (GOI) 基板の貼り合せ界面を高品質化するプロセスを新たに考案した。貼り合せ界面をC-V測定で評価した結果、極めて高品質な界面となっていることを実験的に明らかにした。

(3) 高キャリア移動度歪Ge(Sn)層の開発

①歪SiGe-on-Insulator (SGOI) 基板の作製と高移動度実証

酸化濃縮を用いた歪SiGe-on-Insulator (SGOI) 基板作製技術において、通常のSi-on-Insulator (SOI) 基板に替わって、歪SOI基板を用いることで、得られる最大歪量が増大可能であることが分かった。歪SOI基板を用いた酸化濃縮で作製した歪SGOI基板

を用いたp-MOSFETにおいて、最大7倍程度の正孔移動度向上率を実現した(図8)。

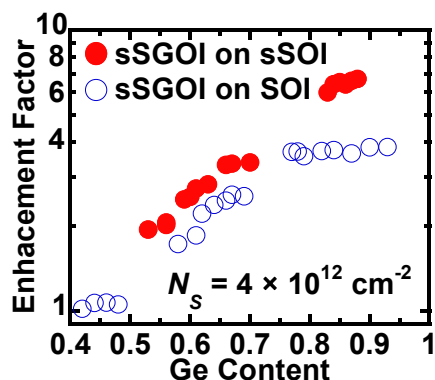


図8. 歪SOIから形成した歪SGOI MOSFETにおける移動度向上率のGe組成依存性。

②高移動度GOI基板の作製

GaAs基板上に成長したGe層を用いたGOI基板作製にも成功した。GaAs基板上に成長可能なInGaP層をエッチストップ層とすることで、Si基板に貼り合せ後、選択的にGaAs基板をエッチングすることに成功した。これにより、良好な結晶性を有するGe層のSi基板上への形成に成功した。作製したGOI層の移動度の膜厚依存性を評価した結果、薄層化後においても比較的高い移動度を実現した。

③GeSn MOSFETの作製と電子物性評価

Sn組成2%~9%のGeSnエピタキシャル層をチャンネルとするTa/Al₂O₃/GeSnゲートスタック構造を形成し、nチャンネルMOSFETを作製した。300Kおよび100Kの測定でそれぞれ3桁および6桁の良好なON/OFF比が得られることを示した(図9)。一方、容量-電圧特性から見積もられるGeSn層中のアクセプタ欠陥密度は $10^{17} \sim 10^{18} \text{cm}^{-3}$ と高く、移動度改善に向けてはGeSn層の結晶性向上が今後の課題であることを明らかにした。

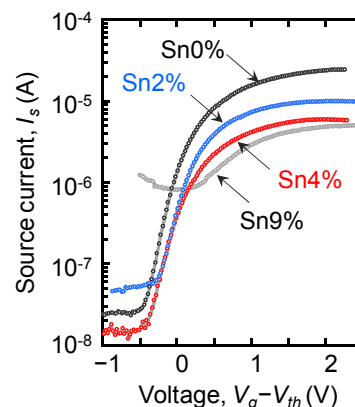


図9. 異なるSn組成のnチャンネルGeSn MOSFETの室温におけるI_s-V_g特性。

5. 主な発表論文等

〔雑誌論文〕(計 72 件) 代表的成果を以下に挙げる。

1. S. Zaima, O. Nakatsuka, Y. Shimura, S. Takeuchi, B. Vincent, F. Gencarelli, T. Clarysse, J. Demeulemeester, K. Temst, A. Vantomme, M. Caymax, and R. Loo, “GeSn Technology: Impact of Sn on Ge CMOS Applications”, ECS Trans. **41**, pp. 231-238 (2011). (査読有) DOI:10.1149/1.3633303
2. M. Nakamura, Y. Shimura, S. Takeuchi, O. Nakatsuka, and S. Zaima, “Growth of $Ge_{1-x}Sn_x$ heteroepitaxial layers with very high Sn contents on InP(001) substrates”, Thin Solid Films **520**, pp. 3201-3205 (2012). (査読有) DOI:10.1016/j.tsf.2011.10.153
3. O. Nakatsuka, K. Mochizuki, Y. Shimura, T. Yamaha, and S. Zaima, “Low temperature formation of $Si_{1-x-y}Ge_xSn_y$ -on-insulator structures by using solid-phase mixing of $Ge_{1-z}Sn_z/Si$ -on-insulator substrates”, Thin Solid Films **520**, pp. 3288-3292 (2012). (査読有) DOI:10.1016/j.tsf.2011.10.120
4. O. Nakatsuka, Y. Shimura, W. Takeuchi, N. Taoka, and S. Zaima, “Development of epitaxial growth technology for $Ge_{1-x}Sn_x$ alloy and study of its properties for Ge nanoelectronics”, Solid-State Electron. **83**, pp. 82-86 (2013). (査読有) DOI:10.1016/j.sse.2013.01.040
5. S. Zaima, “Technology Evolution for Silicon Nanoelectronics: Postscaling Technology”, Jpn. J. Appl. Phys. **52**, 030001 (12 pages) (2013). (査読有) DOI:10.7567/JJAP.52.030001
6. S. Shibayama, K. Kato, M. Sakashita, W. Takeuchi, N. Taoka, O. Nakatsuka, and S. Zaima, “Understanding of interface structures and reaction mechanisms induced by Ge or GeO diffusion in Al2O3/Ge structure”, Appl. Phys. Lett. **103**, 082114 (2013). (査読有) DOI:10.1063/1.4819127
7. O. Nakatsuka, N. Taoka, T. Asano, T. Yamaha, M. Kurosawa, M. Sakashita, and S. Zaima, “Heteroepitaxial Growth of Sn-Related Group-IV Materials on Si Platform for Microelectronic and Optoelectronic Applications: Challenges and Opportunities”, ECS Trans. **58**, pp. 149-155 (2013). (査読有) DOI:10.1149/05809.0149ecst
8. K. Saitoh, H. Nakahara, and N. Tanaka, “Improvement of the precision of lattice parameter determination by nano-beam electron diffraction”, Microscopy **62**, pp. 533-539 (2013) (査読有) DOI:10.1093/jmicro/dft023
9. K. Kato, M. Sakashita, W. Takeuchi, N. Taoka, O. Nakatsuka, and S. Zaima, “Importance of Control of Oxidant Partial Pressure on Structural and Electrical Properties of Pr-oxide Films”, Thin Solid Films **30**, pp. 276-281 (2014). (査読有) DOI:10.1016/j.tsf.2013.10.088
10. R. Zhang, J.-C. Lin, X. Yu, M. Takenaka, and S. Takagi, “Impact of plasma postoxidation temperature on the electrical properties of $Al_2O_3/GeO_x/Ge$ pMOSFETs and nMOSFETs”, IEEE Trans. Electron Dev. **61** pp. 416-422 (2014). (査読有) DOI:10.1109/TED.2013.2295822

〔学会発表〕(計 215 件) うち招待講演 19 件。代表的発表を以下に挙げる。

1. **【招待講演】** S. Takeuchi, Y. Shimura, T. Nishimura, B. Vincent, G. Eneman, T. Clarysse, J. Demeulemeester, K. Temst, A. Vantomme, J. Dekoster, M. Caymax, R. Loo, O. Nakatsuka, A. Sakai, and S. Zaima, “Assessment of $Ge_{1-x}Sn_x$ Alloys for Strained Ge CMOS Devices”, 218th ECS Meeting, Las Vegas, USA, Oct. 10-15, 2010.
2. **【招待講演】** S. Zaima, O. Nakatsuka, Y. Shimura, S. Takeuchi, “Tensile-Strained Ge and $Ge_{1-x}Sn_x$ Layers for High-Mobility Channels in Future CMOS Devices”, International Conference on Solid-State and Integrated Circuit Technology, Shanghai, China, Nov. 1-4, 2010.
3. **【招待講演】** S. Zaima, O. Nakatsuka, Y. Shimura, S. Takeuchi, B. Vincent, F. Gencarelli, T. Clarysse, J. Demeulemeester, K. Temst, A. Vantomme, M. Caymax, and R. Loo, “GeSn Technology: Impact of Sn on Ge CMOS Applications”, 220th Electro Chemical Society Meeting, Boston, USA, Oct. 9-14, 2011.
4. **【招待講演】** S. Zaima and O. Nakatsuka, “Materials Innovation in Si Nanoelectronics”, 2011 Tsukuba Nanotechnology Symposium (TNS'11), Tsukuba, Japan, Dec. 15-17, 2011.
5. **【招待講演】** O. Nakatsuka, Y. Shimura,

- W. Takeuchi, and S. Zaima, “Material properties and applications of $Ge_{1-x}Sn_x$ alloys for Ge Nanoelectronics”, The 6th International SiGe Technology and Device Meeting (ISTDM2012), No. 12.1, Barkeley, USA, June 4-6, 2012.
6. 【招待講演】 S. Zaima, Y. Shimura, M. Nakamura, W. Takeuchi, M. Sakashita, O. Nakatsuka, “Potential of $GeSn$ Alloys for Application to Si Nanoelectronics”, 2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD2012), Naha, Japan, June 27-29, 2012.
 7. 【招待講演】 S. Zaima, O. Nakatsuka, M. Nakamura, W. Takeuchi, Y. Shimura, and N. Taoka, “Growth and Optical Properties of $Ge_{1-x}Sn_x$ Alloy Thin Films with a High Sn Content”, The PRiME 2012 Joint International (222nd) ECS Meeting, Honolulu, USA, Oct. 8-12, 2012.
 8. 【招待講演】 O. Nakatsuka, N. Taoka, T. Asano, T. Yamaha, M. Kurosawa, M. Sakashita, S. Zaima, “Heteroepitaxial Growth of Sn-Related Group-IV Materials on Si Platform for Microelectronic and Optoelectronic Applications: Challenges and Opportunities”, 224th The Electrochemical Society (ECS) Meeting, San Francisco, USA, Oct. 27-Nov. 1, 2013.
 9. 【招待講演】 O. Nakatsuka, N. Taoka, T. Asano, T. Yamaha, M. Kurosawa, K. Kato, W. Takeuchi, M. Sakashita, and S. Zaima, “Development of $Ge_{1-x}Sn_x$ and $Ge_{1-x-y}Si_xSn_y$ Thin Film Materials for Future Electronic Applications”, International Conference on THERMEC’ 2013, Las Vegas, USA, Dec. 2-6, 2013.
 10. 【招待講演】 M. Takenaka, R. Zhang, S. Takagi, “MOS interface engineering for high-mobility Ge CMOS”, IEEE International Reliability Physics Symposium (IRPS’ 13), Monterey, USA, Apr. 17, 2013.

[図書] (計1件)

1. 財満鎮明、中塚理、高木信一 (全執筆者 57名)、株式会社エヌ・ティー・エヌ、 “ポストシリコン半導体—ナノ成膜ダイナミクスと基板・界面効果—”、全510ページ、pp. 3-11, 160-167, 212-230, 2013年.

[産業財産権]

○出願状況 (計3件) 代表的特許を挙げる。
 名称：多層膜構造体及びその形成方法
 発明者：中塚理、財満鎮明、望月健太、志村洋介
 権利者：国立大学法人名古屋大学
 種類：特許
 番号：特許公開2012-244069
 出願年月日：2011年5月23日
 国内外の別：国内

[その他]

以下のウェブサイトを通じて、研究成果の情報発信に努めた。

- ・科学研究費・特別推進研究ウェブサイト
http://alice.xtal.nagoya-u.ac.jp/nano_cmos/index.html
- ・財満研究室ウェブサイト
<http://alice.xtal.nagoya-u.ac.jp/zaimalab/>

【受賞】 代表的な受賞を以下に挙げる。

- ・財満鎮明, 日本表面科学会・フェロー, 2011年5月23日.
- ・財満鎮明, 第35回応用物理学会論文賞, 解説論文『ポストスケーリング技術の現状と期待される新展開』, 2013年9月16日.

6. 研究組織

(1) 研究代表者

- ・財満 鎮明 (ZAIMA Shigeaki)
 研究者番号：70158947

(2) 研究分担者

- ・竹中 充 (TAKENAKA Mitsuru)
 研究者番号：20451792
- ・坂下 満男 (SAKASHITA Mitsuo)
 研究者番号：30225792
- ・田中 信夫 (TANAKA Nobuo)
 研究者番号：40126876
- ・竹内 和歌奈 (TAKEUCHI Wakana)
 研究者番号：90569386

(3) 連携研究者

- ・中塚 理 (NAKATSUKA Osamu)
 研究者番号：20334998
- ・高木 信一 (TAKAGI Shinichi)
 研究者番号：30372402