

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 5 月 21 日現在

機関番号：14301

研究種目：基盤研究（B）

研究期間：2010～2012

課題番号：22300016

研究課題名（和文） 低電圧安定動作を実現する集積回路ハードウェア設計技術

研究課題名（英文） Integrated Circuit Design for Robust Operation under Low Supply Voltage

研究代表者

小野寺 秀俊（ONODERA HIDETOSHI）

京都大学・情報学研究科・教授

研究者番号：80160927

研究成果の概要（和文）：0.7V 程度の低電圧で安定に動作する集積回路の実現法を明らかにする事を目的として、(1)チップ間ばらつきのオンチップ診断と補償回路、(2)チップ内ばらつきへの耐性を高めた順序論理ゲート設計技術開発、(3)低電圧領域で発生する動的特性変動の正確な評価技術の開発に取り組んだ。その結果、ばらつきの自己診断と基板バイアス調整による特性補正回路技術、ばらつき耐性を高めたフリップフロップの実現法、動的なランダムテレグラフノイズが回路動作にあたる影響を評価する技術を開発した。

研究成果の概要（英文）：We have investigated on a design method that achieves robust circuit operation under low supply voltage of around 0.7 V. In particular, we have worked on three topics: (1) built-in self monitor and compensation of die-to-die variation, (2) sequential logic gates tolerating for within-die variation, (3) evaluation of dynamic performance variation under low supply voltage. We have successfully developed variation-tolerant D-FFs, all-digital monitors and body-bias generator circuits for performance compensation, and accurate evaluation of delay fluctuation due to Random Telegraph Noise.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010 年度	7,000,000	2,100,000	9,100,000
2011 年度	3,800,000	1,140,000	4,940,000
2012 年度	3,400,000	1,020,000	4,420,000
年度			
年度			
総計	14,200,000	4,260,000	18,460,000

研究分野：複合領域

科研費の分科・細目：情報学・計算機システム・ハードウェア

キーワード：低消費電力化、低電圧動作、耐ばらつき設計、ディペンダブル VLSI

1. 研究開始当初の背景

集積回路は各種 IT 機器の中核を担う基幹デバイスであり、その低消費電力化は火急の課題である。集積回路動作時の消費電力は電源電圧の 2 乗に比例することから、消費電力の

削減には低電源電圧化が大きな効果がある。しかし、電源電圧を下げた場合、トランジスタ特性のばらつきが拡大し、遅延故障や機能故障につながる。すなわち、集積回路の安定動作を保証するために、電源電圧には下限値

が存在する。この下限値は、トランジスタしきい値電圧の中心値に、ばらつき量から定まる電圧マージン値を加えた値で定まる。ここで、静止時のリーク電流を一定以下に保つための制約から、しきい値電圧の中心値は一定の値に決まる(例えば 0.3 V)。従って、下限値を下げるためには、しきい値電圧ばらつき量から定まる電圧マージンの削減が必要になる。これまで、FinFET などの 3 次元構造デバイスの導入によりしきい値電圧ばらつきを減らし、低電圧安定動作を目指す方法が検討されている。しかしながら、携帯端末用等のコストが重視される集積回路では、従来型デバイスであるバルク CMOS の使用が強く望まれている。バルク CMOS 回路の低電圧安定動作を達成するための回路技術開発が喫緊の課題となっている。

2. 研究の目的

本研究では、低電圧下で顕著に現れる特性ばらつき(チップ間ばらつきとチップ内ばらつきの両成分)の影響を回路技術と設計技術により等価的に抑圧し、低電圧において安定動作する集積回路ハードウェアの設計技術を明らかにする。具体的には、

- (1) チップ間ばらつきのオンチップ診断と補償回路
- (2) チップ内ばらつきへの耐性を高めた順序論理ゲート設計技術
- (3) 低電圧領域(moderate inversion 領域)でのばらつきの正確な評価技術を明らかにし、安定動作を保証するために必要な電圧マージンを削減する。これにより、現状は 1V 前後の電源電圧を 0.7V 程度に下げることが可能とし、消費電力を 50% 削減する。

3. 研究の方法

本研究では、目的欄に示した 3 項目の課題に取り組み、集積回路の低電圧安定動作を実現する。各課題ごとに研究方法を説明する。

(1) チップ間ばらつきのオンチップ診断と補償回路

トランジスタのばらつきは、チップ間成分とチップ内成分が重畳された形になっている。本課題では、なるべく少ない個数の評価対象から、その平均値としてチップ間成分の値を抽出する診断回路について検討する。診断回路には、特性ばらつきの原因となるしきい値電圧などのパラメータに敏感な複数のリング発振回路を用いる。抽出したばらつき量に基づいて基板電圧を調節し、特性ばらつきを補償する回路技術を開発する。

(2) チップ内ばらつきへの耐性を高めた順

序論理ゲート設計技術

微細プロセスでは、チップ内で発生するランダムなばらつきが支配的となっている。フリップフロップなどの順序論理ゲートは、少ない論理段数で構成されるため、ランダムなばらつきに脆弱である。そこで、トランジスタ寸法や回路構造の最適化により、チップ内ばらつきへの耐性を高める方法を検討する。

(3) 低電圧領域(moderate inversion 領域)でのばらつきの正確な評価技術

低電圧動作では、しきい値電圧の変動による動作特性の相対的変動量が通常電圧動作に比べて拡大する。微細化に伴い、しきい値電圧の動的な変動となるランダムテレグラフノイズ(RTN)の影響拡大が懸念されていることから、低電圧動作状態における RTN が回路遅延に及ぼす影響について評価する。

4. 研究成果

研究内容は、チップ間ばらつきのオンチップ診断と補償回路、チップ内ばらつきへの耐性を高めたフリップフロップ設計技術、低電圧領域でのばらつきの正確な評価技術に大別できる。それぞれについて、研究成果を説明する。

(1) チップ間ばらつきのオンチップ診断と補償回路

電源電圧の低下に伴い、デバイス特性のばらつきが回路特性のばらつきに及ぼす影響が顕著になっている。これらのばらつきには、製造ロットやウェファー/チップごとに変動する成分とともに、チップ内の場所に依存して変動する成分も含まれる。本研究では、チップ内を多数の小領域に分割し、各小領域毎(細粒度)に自律的に特性ばらつきを診断して基板バイアス制御により動作特性ばらつきを補償する、ばらつき耐性強化設計技術(細粒度特性ばらつき補償回路)を開発した。

開発回路の基幹を成すのは、デジタル型 PMOS/NMOS 特性モニタ回路とセルベース設計による小面積基板バイアス生成回路である。特性モニタ回路は、PMOS トランジスタと NMOS トランジスタの特性変動のそれぞれを独立に診断する。診断結果に基づき、基板バイアス生成回路が N ウェルと P ウェルの基板電位を独立に調節する。これらの特性補償は小領域毎に独立に行われるため、チップ間ばらつきとともにチップ内ばらつきについても動作特性補償を行う事が可能となった。65nm プロセスでの実証実験では、0.1mm²を対象とした細粒度特性ばらつき補償回路の専有面積は 2628um²であり、その面積オーバーヘッドは 2.6% と小さい。図 1 に、他のロジックと混載した細粒度特性ばらつき補償回路を示す。

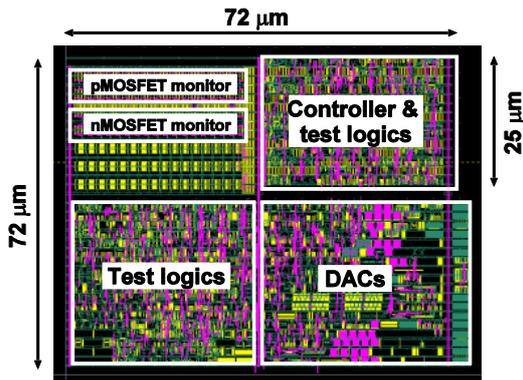


図 1 セルベース設計回路の中に埋め込み可能なばらつき自己診断・補償回路

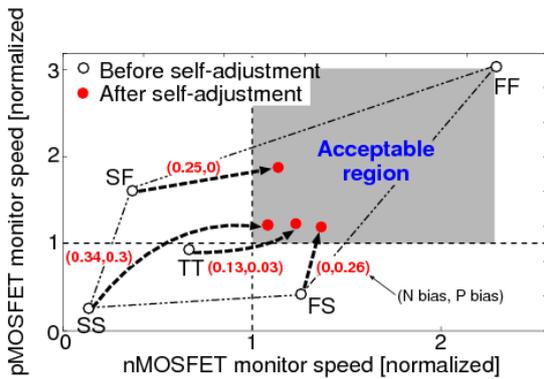


図 2 SS, SF, FS, TT コーナーチップの初期特性とばらつき補償後の特性

条件振りチップ(SS, SF, FS, FF)による動作確認の結果、SS, SF, FS チップの動作速度を TT チップの目標速度まで回復する事が出来た(図 2)。

- (2) チップ内ばらつきへの耐性を高めたフリップフロップ設計技術
ランダムなチップ内ばらつきが存在する

場合、デジタル回路を構成する重要な要素回路であるフリップフロップ(本研究では、最も一般的な回路構造であるマスタスレーブ型 D フリップフロップを対象としている)の動作特性は、最悪値設計を想定して求めた特性より悪化する。マスタスレーブ型 D フリップフロップは、クロック信号に同期して入力データをマスタラッチに取り込む。この際、入力データがラッチ内を伝搬する信号遅延と、クロック信号からラッチの制御信号を生成するクロック遅延のずれがセットアップ時間などの動作特性に大きく影響する。65nm プロセスを想定したセットアップ時間のシミュレーションでは、全てのトランジスタ特性が最悪値を取ると考えたスローコーナーでの必要時間より、一部のトランジスタが最良値を取る場合の必要時間の方が 88% も長くなる事が明らかとなった。

チップ内ばらつきに対する脆弱性の原因は、信号遅延とクロック遅延にずれが生じることであった。ここで、フリップフロップ内のクロック制御信号を生成するクロックドライバは、接続先がフリップフロップ内の少数のトランジスタだけであることと、消費電力を少なくするために、小さい寸法のトランジスタで構成されている。一方、トランジスタ寸法が小さいと、ランダムなばらつき量は増加する。すなわち、クロック遅延のランダムなばらつきが増加する。そこで、クロックドライバのトランジスタ寸法を大きくすることにより、チップ内ばらつきへの耐性を強化したフリップフロップを開発した。ばらつき耐性を評価するために、開発した各種のフリップフロップによる分周回路をそれぞれ 270 個チップ上に配置した LSI を 65nm プロセスで試作した。図 3 に試作した LSI のチップ写真と、その構造を示す。合計 12 個のチップについて、電源電圧を 0.7V における各分周回路(フリップフロップ)の最高動作周波数を測定した。図 4 に、標準のフリップフロップ(STD)、クロックドライバ寸法を 1.5 倍にしたフリップフロップ(CD1.5)、2 倍にした

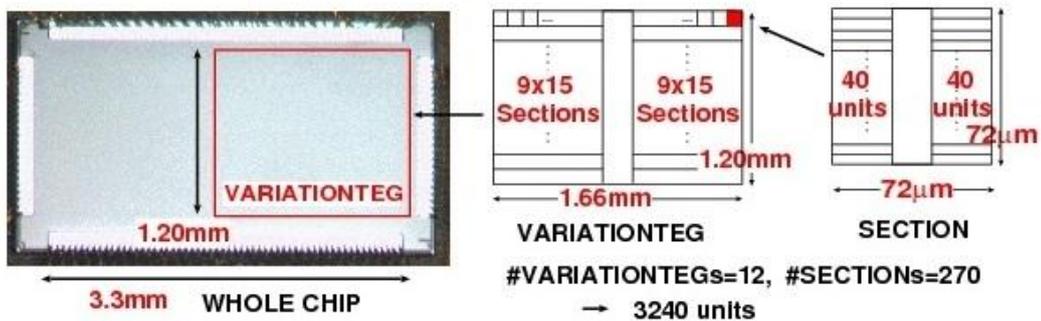


図 3 フリップフロップの動作特性を評価するテスト回路

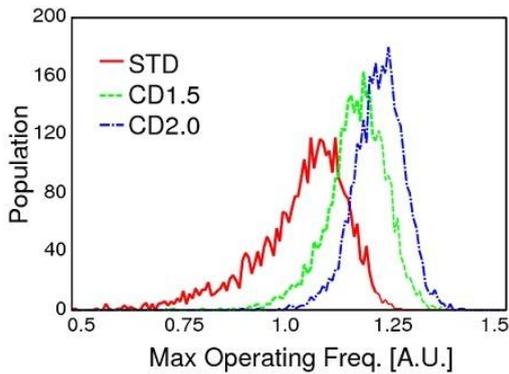


図 4 3 種類のフリップフロップの最大動作周波数分布

フリップフロップ (CD2.0) の最高動作周波数の分布を示す。STD に比べて、CD1.5 と CD2.0 は特性ばらつきの幅が減少している。CD1.5 と CD2.0 の特性ばらつきの標準偏差は、STD の 57% と 45% であった。一方、消費電力は STD に比べて 5% と 14% 増加する。従って、実際の設計においては、各フリップフロップのタイミング余裕を考慮して、適切なフリップフロップを用いることが重要である。

(3) 低電圧領域 (moderate inversion 領域) でのばらつきの正確な評価技術

ランダム・テレグラフ・ノイズ (RTN) による組合せ回路遅延ゆらぎの統計的な性質を 40nm CMOS テクノロジにおいて試作した 2,520 個のリング発振回路 (RO) を測定することによって明らかにした。

一般的な同期式論理回路は、クロックに同期してデータを保持するレジスタ (フリップフロップ) と、それらの間に配置された組み合わせ回路で構成されている。この同期回路を図 5 に示す回路で模擬する。組み合わせ回路に該当する部分が、図 5 上側のリング発振回路 (RO: Ring Oscillator) である。RO の発振周波数の 1 周期が組み合わせ回路の遅延時間に対応している。したがって、発振周波数の時間的揺らぎを観測することで、遅延時間のゆらぎを評価することができる。本研究では、図 5 の回路を 840 個チップ上に集積化した回路を 40nm プロセスで試作した。

試作したチップを用いて、様々な電源電圧や基板電圧において、多数個の RO の発振周波数の時間的変動を調査した。その結果、わずかな RO において巨大な遅延ゆらぎが発生することを確認した。合計 2,520 個の RO について発振周波数の揺らぎ量を測定した結果、低電圧 (0.65V) において最大で 10.4% のゆらぎが発生した、最小の揺らぎは 0.6% であった。最大および最小揺らぎの観測結果を図 6 に示す。電源電圧を 0.75V では、わずかにト

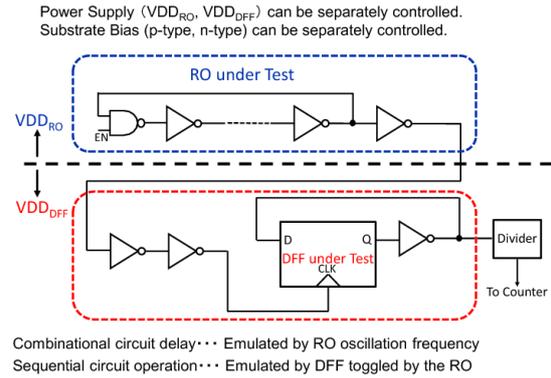


図 5 同期式デジタル回路を模擬したテスト回路

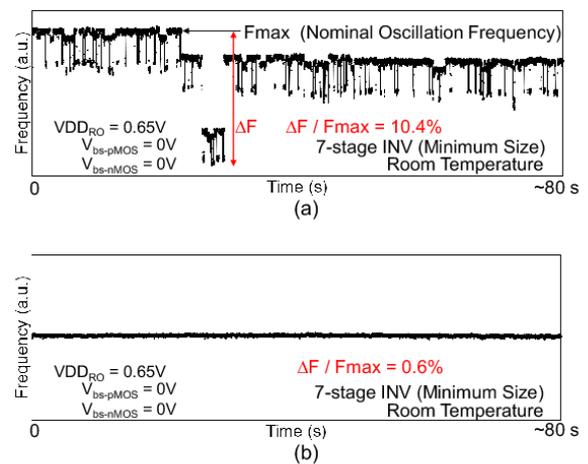


図 6 ランダムテレグラフノイズによる発振周波数の揺らぎ

ランジスタサイズを大きくすることにより 50% 以上揺らぎ量が減少した。

これまで、RTN に起因した動作不良について、イメージセンサやフラッシュメモリなどの微細な素子で顕在化していた。今後、プロセス微細化が更に進むと、一般的なデジタル回路でも影響が増加することが予想される。RTN による揺らぎ量は、チャンネル面積に反比例すると予想されている。今後、回路設計者が制御可能な設計パラメータと RTN の諸パラメータとの関係を明確化し、信頼性を高めるための設計指針を明らかにする事が重要である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕 (計 6 件)

①Islam A.K.M. Mahfuzul, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, "Variation-sensitive Monitor Circuits for Estimation of Global Process Parameter Variation," IEEE Trans. Semiconductor Manufacturing, 査読あり, vol 25, no 4, pp. 571-580, DOI: 10.1109/TSM.2012.2198677, 2012/12

②Takashi Matsumoto, Kazutoshi Kobayashi, Hidetoshi Onodera, "Impact of Body-Biasing Technique on Random Telegraph Noise Induced Delay Fluctuation," Japanese Journal of Applied Physics (JJAP), 査読あり, vol 52, no 4, pp. 04CE051-1 - 04CE05-3, DOI: 10.7567/JJAP.52.04CE05, 2013/03

〔学会発表〕 (計 55 件)

①Islam A.K.M Mahfuzul, Norihiro Kamae, Tohru Ishihara, and Hidetoshi Onodera, "A Built-in Self-adjustment Scheme with Adaptive Body Bias using P/N-sensitive Digital Monitor Circuits," IEEE Asian Solid-State Circuits Conference, 2012 年 11 月 13 日, 神戸.

②Norihiro Kamae, Akira Tsuchiya, Hidetoshi Onodera, "A Body Bias Generator Compatible with Cell-based Design Flow for Within-die Variability Compensation," IEEE Asian Solid-State Circuits Conference, 2012 年 11 月 14 日, 神戸.

6. 研究組織

(1) 研究代表者

小野寺 秀俊 (ONODERA HIDETOSHI)
京都大学・大学院情報学研究科・教授
研究者番号: 80160927

(2) 研究分担者

土谷 亮 (TSUCHIYA AKIRA)
京都大学・大学院情報学研究科・助教
研究者番号: 20432411

(3) 連携研究者

小林 和淑 (KOBAYASHI KAZUTOSHI)
京都工芸繊維大学・大学院工芸科学研究科・教授
研究者番号: 70252476