

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 5 月 27 日現在

機関番号：32689

研究種目：基盤研究（B）

研究期間：2010～2012

課題番号：22300019

研究課題名（和文） 超微細加工技術にも適応する抽象 LSI モデルの構築と高位・物理
統合化 LSI 合成技術

研究課題名（英文） Abstract LSI Model and Its Associated High-Level Synthesis Algorithm
for Deep Submicron Technologies

研究代表者

戸川 望（TOGAWA NOZOMU）

早稲田大学・理工学術院・教授

研究者番号：30298161

研究成果の概要（和文）：

本研究では、第一に超微細加工プロセスによって製造される LSI にも適応すべく、レジスタ・制御回路・機能モジュール間に結び付きの概念を導入し、LSI 内部の構成要素を物理的な結合と論理的な結合で抽象化した抽象 LSI モデルを構築した。構築した抽象 LSI モデルを導入することで、きわめて見通し良く高位設計と物理設計とをインターフェースすることが可能となる。次にこの抽象 LSI モデルの上で、高位合成と物理合成とを統合化する新たな LSI 自動合成技術を構築しアルゴリズム化した。シミュレーション実験ならびに一部チップ試作により提案構築した技術の優位性を確認した。

研究成果の概要（英文）：

In this research, we have firstly developed an abstract LSI model, where we introduce "logical connection" and "physical connection" among registers, controllers, and functional units inside an LSI chip. Using our abstract LSI model, we can have well-defined interface between high-level design and physical-level design. Secondly, we have developed a high-level synthesis algorithm for our abstract LSI model, which realizes physical-synthesis-aware high-level synthesis. Our simulation results demonstrate that our abstract LSI model and its associated high-level synthesis outperform several conventional LSI synthesis methods.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010 年度	5,800,000	1,740,000	7,540,000
2011 年度	4,600,000	1,380,000	5,980,000
2012 年度	3,700,000	1,110,000	4,810,000
年度			
年度			
総計	14,100,000	4,230,000	18,330,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI 設計技術, 高位合成

1. 研究開始当初の背景

半導体の微細加工技術の進歩により、現在、

最小加工寸法が 32nm, 22nm または 16nm のプロセス技術が可能となりつつある。これ

ら超微細加工にて製造されたシステム LSI (システムを LSI として集積したもの) は、論理ゲート遅延に比較し相対的に配線遅延の比率が大きい。一方、大規模化するシステム LSI の設計生産性を向上するには、システム動作レベルからシステム LSI を自動合成する「高位合成」が極めて有効である。高位合成は現在実用段階に到達しているが、配置配線を含む「物理合成」を後工程として切り離して考えているため、比較的近い将来、現在の高位合成技術は限界に到達すると予想される。実用化に近いレベルにて物理合成を前提とする高位合成、あるいは高位・物理統合化 LSI 合成の研究開発が急務と言える。

ところが、高位合成問題・物理合成問題は各々組合せ問題として最も難しい問題 (NP 完全問題) の場合が多く、単純にこれらを統合化し解決することは実用上意味がない。高位合成と物理合成とを融合化する研究はこれまで国内外でいくつか見られ、例えば古くは [Weng91] から比較的最近では [Gu07] などがある。

[Weng91] J. P. Weng and A. C. Parker, "3D scheduling: High-level synthesis with floorplanning," in Proc. 28th ACM/IEEE Design Automation Conf., pp. 668-673, 1991.

[Gu07] Z. Gu, J. Wang, R. P. Dick and H. Zhou, "Unifid incremental physical-level and high-level synthesis," IEEE Trans. on CAD, vol. 26, no. 9, pp. 1576-1588, 2007.

しかし、これらは高位合成と物理合成を単純に単一化したため問題規模が実用レベルに到達しない、モジュール配置のみで配線合成を含まず配線遅延を正確に算出できない、といった問題点がある。上述した「物理レベルの LSI 抽象化」の構築には至っておらず、既存研究は従来の個別の高位合成および物理合成の範囲を越えるものではないと言える。

我々は、高位合成・物理合成の統合化には高位合成にとって必要十分な「物理レベルの抽象化」とこれに基づく「LSI 抽象モデル」を確立すること、「LSI 抽象モデル」に基づく「高位・物理統合化 LSI 合成のアルゴリズム化」が強く求められると考える。

2. 研究の目的

我々は、これまで上述の「抽象モデル化」に対する答えとして『レジスタ一体型機能モジュール』によってシステム LSI の抽象化を試みた。ここで機能モジュールとは細粒度では加算や乗算・比較ユニット等を、粗粒度では単一機能の集合体モジュール等を指す。これにより高位合成段階で配線遅延の一部を

「制御」可能とした。また「アルゴリズム化」に対する答えとして、これに基づく高位合成手法を開発した。従来の LSI モデルならびに高位合成手法に比較して最大 30%以上性能向上する LSI 自動合成を実現している。しかしながら、ここには【問題 1】45nm 以下のプロセスを想定した場合、制御部分から機能モジュールまでの制御信号の配線遅延がボトルネックとなり、動作レベル記述が数千行からなる実大規模応用プログラムの正常動作しないことがある、【問題 2】レジスタ一体型モジュールの概念を導入したため LSI 動作に必要なレジスタ数が爆発的に増加しチップ面積は最大で 20%以上増大する結果となった。

上記、問題 1・問題 2 に共通する本質の問題点はシステム LSI 抽象モデルをレジスタと機能モジュールの「一体化」に縮約した点にある。物理レベルのシステム LSI 抽象化を深め、同時に制御回路と制御信号遅延の抽象化が必須であると考え。そこで本研究では、第一に、レジスタ-制御回路-機能モジュール間に結び付きの概念を導入し、LSI 内部の構成要素を物理的な結合と論理的な結合で抽象化した抽象 LSI モデルを構築することを目的とする。構築した抽象 LSI モデルを導入することで、きわめて見通し良く高位設計と物理設計とをインターフェースすることが可能となる。次にこの抽象 LSI モデルの上で、高位合成と物理合成とを統合化する新たな LSI 自動合成技術を構築しアルゴリズム化することを目的とする。これらの概念・考えを導入することによって、高位設計と物理設計のグローバルな最適化が可能となり、例えばこれを LSI 消費エネルギー最適化に適用すれば最大 25%を超える LSI 消費エネルギー最適化が期待できる。

3. 研究の方法

(1) LSI 抽象モデルの構築

これまで LSI 内部の抽象化アーキテクチャとして GDR アーキテクチャや RDR アーキテクチャが提案されてきた [Cong04, Ohchi09].

[Cong04] J. Cong, Y. Fan, G. Han, X. Yang, and Z. Zhang, "Architecture and synthesis for on-chip multi-cycle communication," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, pp. 550-564, 2004.

[Ohchi09] A. Ohchi, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "Floorplan-aware high-level synthesis for generalized distributed-register architectures," IEICE Trans. on Fundamentals of Elec-

GDR アーキテクチャは高速かつ小面積という利点があり、RDR アーキテクチャはモジュールの追加がしやすく高位設計と物理設計とのインターフェースが容易という利点がある。その一方、GDR アーキテクチャはモジュールの追加が難しく RDR アーキテクチャはその性質上面積コストが大きいという欠点がある。それぞれの欠点から既存の抽象 LSI アーキテクチャは低面積化や低電力化に向かない。そこで本研究ではモジュールを追加しやすくかつ小面積・消費電力の少ないレジスタ分散型アーキテクチャとして HDR アーキテクチャを提案・構築した。HDR アーキテクチャは GDR アーキテクチャにハドル (Huddle) という区画を導入し、各モジュールを抽象化したアーキテクチャである。ハドル導入によるモジュールの抽象化で、RDR アーキテクチャと同様にモジュールを容易に追加できる。ハドルはクロック周期により決定される範囲内において任意の矩形を取り、演算器やレジスタ、コントローラ、レベルコンバータを共有する。任意の矩形を取るハドルに対しフロアプランするため GDR と同様に小面積で消費電力の少ないアーキテクチャとなる。

ハドルは以下の要素からなる。

・Huddled Local Register (HLR)

各ハドル専用のローカルレジスタとマルチプレクサの集合。

・Huddled Functional Unit (HFU)

ハドルに集められた演算器の集合。ハドル内で処理する演算に必要な演算器を必要数持ち、同一のハドル内の HLR のみにアクセスできる。

・Finite State Machine (FSM)

各ハドル専用のコントローラ。同一ハドルの HFU と HLR を制御する。

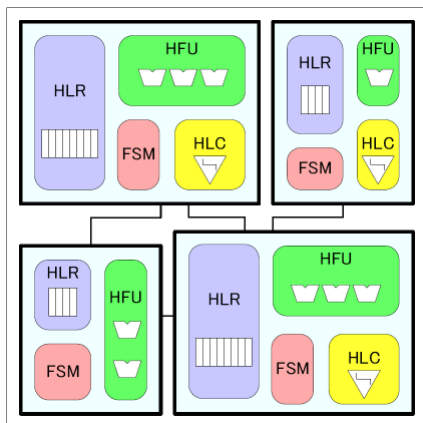


図 1 HDR アーキテクチャ

・Huddled Level Converter (HLC)

ハドルに集められたレベルコンバータの集合。電圧の異なるハドルとデータ転送を行う際、HLC を用いる。

ハドルは図 1 の様に配置する。同一ハドル内の HFU でデータを処理する場合、ハドル内の HLR を使うことでデータ転送時間は無視できる。異なるハドルの HFU 同士でデータ通信する場合、HLR 間データ転送を行う。HLR 間データ転送をする際、各ハドルの電圧が異なる場合 HLC を用いる。

(2) LSI 抽象モデルに基づくアルゴリズム化

HDR アーキテクチャは複数電源電圧や複数サイクルレジスタ間通信を自然に導入することができる新しいレジスタ分散型の LSI 抽象アーキテクチャである。そのため HDR アーキテクチャに適した、複数電源電圧と複数サイクルレジスタ間通信を同時に考慮する高位合成アルゴリズムが必要となる。HDR アーキテクチャはスケジューリング、バインディング結果でハドルの構成が決まるため、あらかじめ回数を決定することは難しい。また、HDR アーキテクチャは複数電源電圧を扱うため、反復改良によりレベルコンバータの遅延を考慮すべきである。以上より本研究では反復改良するアルゴリズムを採用することとした。

アルゴリズム考案に向けて問題となるのが、HDR アーキテクチャ特有のハドルの構成問題の解法である。提案アルゴリズムではフロアプラン結果をハドルの構成問題に利用する。初期状態として各ハドルに 1 つの演算器が割り当てられている状態からハドルを併合することでハドルの構成問題を解く。ハドルを徐々に併合する方法は、複数電源電圧の考慮に向けハドルごとに電圧を操作できる点からも適している。

HDR アーキテクチャを対象とする LSI 合成アルゴリズムは以下の要素から構成される：

- ・初期ハドル合成
- ・スケジューリング/FU バインディング
- ・レジスタ/コントローラ合成/フロアプラン
- ・ハドル合成
- ・ハドル分割

初期ハドル合成は各ハドルに 1 つの演算器が割り当てられる初期状態にする処理である。スケジューリング/FU バインディングでは、フロアプラン結果から配線遅延を計算し、複数電源電圧、複数サイクルレジスタ間通信を考慮したスケジューリングおよび FU バインディングを行う。レジスタ/コントローラ合成/フロアプランでは、スケジューリ

ング/FU バインディング結果よりハドルの構成を決定し、ハドルを対象にフロアプランする。ハドル合成はHDR アーキテクチャ特有のハドルに関わる要素で、隣接するハドルを併合する。初期状態から反復を繰り返し、ハドル合成でハドルを併合していくことで最終的なハドル構成を決定する。一方ハドル分割もハドルに関わる要素で、ハドル合成と反対にハドルを分割する。ハドル分割では、ハドル合成によりクロック周期違反を起こすハドルをフロアプランにより検証し、クロック周期違反を起こしたハドルを分割する。ハドル分割により、局所的なハドル構成になってしまった場合に脱出できる。

(2)-① 初期ハドル合成

初期ハドル合成は入力演算器制約から、初期のハドルの構成、配置を決定する。演算器数と同じ数のハドルを用意し、各ハドルに1つの演算器を割り当てる。全てのハドルの電圧は高電圧とし、配線長が0となるよう重なって配置する。以降は初期ハドル合成結果を受け、第1回目の反復を開始する。

(2)-② スケジューリング/FU バインディング

スケジューリング/FU バインディングの入力は、クロック周期制約、ステップ制約、CDFGG、演算器数、ハドルの構成、配置情報である。出力は各演算ノードを実行するコントロールステップ、実行する演算器、ハドルの電圧である。ただし、第1回目のループはフロアプランの実行前のため、全てのハドルは配線遅延がないものとする。

提案手法ではスケジューリング/FU バインディングにおいて演算、ハドルに電圧を割り当てる。演算の電圧を変更すると演算の処理時間が変更される。その際に実行ステップ数が変化した場合、演算を実行するコントロールステップの変更が必要である。スケジューリング/FU バインディング以外の工程では、演算ノードを実行するコントロールステップの変更ができない。そのため、スケジューリング/FU バインディング時に演算、ハドルに電圧を割り当てる。

電圧の変更はハドルを単位に行う。電圧を変更するハドルは優先度により選択する。優先度はハドルに所属する演算器が1回の処理に消費するエネルギーの合計とする。

スケジューリング/FU バインディングは初期フェーズ、電圧上昇フェーズ、電圧下降フェーズの3つのフェーズで構成される。初期フェーズは前回の反復時の配置、電圧を変更せずにスケジューリング/FU バインディングを行う。電圧上昇フェーズは初期フェーズ

の結果がステップ制約を満たさない場合実行され、ステップ制約を満たすようハドルの電圧を上げる。電圧下降フェーズはステップ制約を満たす範囲で消費エネルギーが最小となるようハドルの電圧を下げる。

初期フェーズ：初期フェーズはスケジューリング/FU バインディングで最初に行われる。前回の反復時の配置、電圧から配線遅延、レベルコンバータの遅延を反映した遅延テーブルを作成し、遅延テーブルに基づくスケジューリング/FU バインディングを実行する。

電圧上昇フェーズ：電圧上昇フェーズは初期フェーズでステップ制約を満たさない場合に実行される。電圧上昇フェーズの目的は初期フェーズ結果がステップ制約を満たさない場合、電圧を上昇することでステップ制約を満たすハドルの電圧を発見することである。

電圧下降フェーズ：電圧下降フェーズはステップ制約を満たす中で、エネルギーを最小とする電圧を探すフェーズである。

(2)-③ レジスタ/コントローラ合成/フロアプラン

レジスタ/コントローラ合成/フロアプランは、スケジューリング、バインディング結果からハドルのレジスタ、コントローラ構成を決定し、フロアプランする。レジスタ、コントローラの構成の決定はHDR アーキテクチャにおけるレジスタ/コントローラ合成をHDR アーキテクチャに適用するものとする。フロアプランではデータ構造にSequence-pair を用いシミュレーテッドアニーリングによる最適化を行う。その際、電源網を考慮したフロアプランを行う。

(2)-④ ハドル合成

ハドル合成はレジスタ/コントローラ合成/フロアプランにより決定したハドルの配置を入力とし、ハドルの併合結果を出力する。ハドルの併合操作の際、フロアプラン結果を利用する。フロアプランにより併合すべきハドルが近くに配置される。

(2)-⑤ ハドル分割

前節のハドル合成ではハドルを併合したが、局所的な解に陥らないため、逆の手順が必要となる。ハドル合成の逆手順となるのがハドル分割である。ハドル分割もフロアプラン結果を利用するものとする。

ハドル分割において、分割すべき演算器と

ハドルの組み合わせがない場合、フロアプラン結果はスケジューリング/FU バインディング結果を満足する。このとき解は収束したと考え、反復改良を終了する。

4. 研究成果

提案・構築した抽象 LSI モデルのもと、アルゴリズムを C++言語を用いて計算機上に実装・シミュレーション評価を行った。ここで使用した計算機実験環境は CPU が AMD Quad-Core Opteron 2360 SE 2:5 GHz×2、メモリ容量が 16GB である。対象とするアプリケーションとして DCT (ノード数 48), EWF3 (ノード数 102), 7 次 FIR フィルタ (ノード数 75) を用いた。各演算器は 16 ビット幅としクロック周期を 2.5ns とした。

従来の高位合成技術に物理合成を組み合わせたものとして GDR アーキテクチャによるものならびに RDR アーキテクチャによるものを比較対象として用い、図 2・図 3 に各アプリケーションに実行に必要なエネルギー・面積を示す。LSI 抽象モデルにアルゴリズムによって得られたエネルギー消費が最小でありなおかつ従来手法に比較して平均 24.7%, 最大 48.1 のエネルギー消費の削減を達成した。また面積最小を達成した。

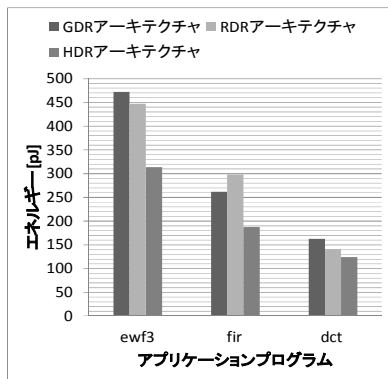


図 2 エネルギーの評価結果

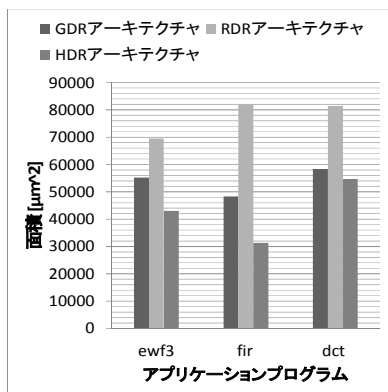


図 3 面積の評価結果

5. 主な発表論文等

[雑誌論文] (計 8 件)

- [1] [査読有] Kazushi Kawamura, Masao Yanagisawa, and Nozomu Togawa, "A thermal-aware high-level synthesis algorithm for RDR architectures through binding and allocation," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 1, pp. 312-321, 2013 (DOI: 10.1587/transfun.E96.A.312).
- [2] [査読有] Hiromine Yoshihara, Masao Yanagisawa, and Nozomu Togawa, "A fast weighted adder by reducing partial product for reconstruction in super-resolution," IPSJ Transactions on System LSI Design Methodology, vol. 5, pp. 96-105, 2012 (DOI: 10.2197/ipsjtsldm.5.96).
- [3] [査読有] Taeko Matsunaga, Shinji Kimura, and Yusuke Matsunaga, "Multi-operand adder synthesis targeting FPGAs," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E94-A, no. 12, pp. 2579-2586, 2011 (DOI: 10.1587/transfun.E94.A.2579).
- [4] [査読有] Sho Tanaka, Masao Yanagisawa, Tatsuo Ohtsuki, and Nozomu Togawa, "A fault-secure high-level synthesis algorithm for RDR architectures," IPSJ Transactions on System LSI Design Methodology, vol. 4, 150-165, 2011 (DOI: 10.2197/ipsjtsldm.4.150).
- [5] [査読有] Masashi Tawada, Masao Yanagisawa, Tatsuo Ohtsuki, and Nozomu Togawa, "Exact, fast and flexible L1 cache configuration simulation for embedded systems," IPSJ Transactions on System LSI Design Methodology, vol. 4, 166-181, 2011 (DOI: 10.2197/ipsjtsldm.4.166).
- [6] [査読有] Masashi Tawada, Masao Yanagisawa, and Nozomu Togawa, "Speeding-up exact and fast FIFO-based cache configuration simulation," IEICE Electronics Express, vol. 8, no. 14, 1161-1167, 2011 (DOI: 10.1587/elex.8.1161).
- [7] [査読有] Ryuta Nara, Kei Satoh, Masao Yanagisawa, Tatsuo Ohtsuki, and Nozomu Togawa, "Scan-based side-channel attack against RSA cryptosystems using scan signatures," IEICE Transactions on Fundamentals of Electronics, Communications and

Computer Sciences, vol. E93-A, no. 12, pp. 2481-2489, 2010

(DOI: 10.1587/transfun.E93.A.2481).

- [8] [査読有] Xin Man, Takashi Horiyama, and Shinji Kimura, "Power optimization of sequential circuits using switching activity based clock gating," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E93-A, no. 12, pp. 2472-2480, 2010 (DOI: 10.1587/transfun.E93.A.2472).

[学会発表] (計 14 件)

- [1] 川村一志, 柳澤政生, 戸川望, 温度特性を考慮したRDRアーキテクチャ向け高位合成手法, 2012年08月29日~2012年08月30日, 岐阜県下呂市.
- [2] 川村一志, 柳澤政生, 戸川望, 島内消費電力量見積もりにもとづく温度特性を考慮したRDRアーキテクチャ向け高位合成手法, 電子情報通信学会 VLSI 設計技術研究会, 2012年11月26日~2012年11月28日, 福岡県福岡市.
- [3] 岩田愛実, 吉原弘峰, 柳澤政生, 戸川望, セレクタ論理を利用した高速補間演算器設計, 情報処理学会システム LSI 設計技術研究会, 2012年3月2日~2012年3月3日, 宮城県宮城郡松島町.
- [4] 田中翔, 柳澤政生, 戸川望, RDR アーキテクチャを対象とした部分2重化フォールトセキュア高位合成手法, 情報処理学会システム LSI 設計技術研究会, 2012年3月2日~2012年3月3日, 宮城県宮城郡松島町.
- [5] 多和田雅師, 柳澤政生, 戸川望, 2コアプロセッサ L1 キャッシュ構成の正確で高速なシミュレーション手法, 情報処理学会システム LSI 設計技術研究会, 2012年3月2日~2012年3月3日, 宮城県宮城郡松島町.
- [6] 小寺博和, 柳澤政生, 戸川望, スキャンングネチャを利用した Triple DES に対するスキャンベース攻撃の実装実験, 電子情報通信学会 2012年暗号と情報セキュリティシンポジウム, 2012年1月30日~2012年2月2日, 石川県金沢市.
- [7] 小寺博和, 柳澤政生, 戸川望, スキャンングネチャを用いた Triple DES に対するスキャンベース攻撃手法, 電子情報通信学会 VLSI 設計技術研究会, 2011年11月28日~2011年11月30日, 宮城県宮崎市.
- [8] 小寺博和, 柳澤政生, 戸川望, スキャンチェーン構造に依存しないDESに対するスキャンベース攻撃手法, 情報処理学会システム LSI 設計技術研究会, 2011

年10月24日~2011年10月25日, 宮城県仙台市.

- [9] 出口健介, 柳澤政生, 戸川望, 共有バス方式とバスマトリクス方式を用いたネットワークプロセッサのバス競合の性能比較評価, 電子情報通信学会ソサイエティ大会, 2011年9月13日~2011年9月16日, 北海道札幌市.
- [10] 多和田雅師, 柳澤政生, 戸川望, 2コアプロセッサアーキテクチャを対象とする正確なキャッシュ構成シミュレーションの高速化に対する一考察, 電子情報通信学会ソサイエティ大会, 2011年9月13日~2011年9月16日, 北海道札幌市.
- [11] 栗岡大生, 戸川望, 柳澤政生, 動きベクトルを考慮した遅延オーバーヘッドのないハードウェア向き適応的並列補間手法, 電子情報通信学会ソサイエティ大会, 2011年9月13日~2011年9月16日, 北海道札幌市.
- [12] 吉原弘峰, 柳澤政生, 戸川望, セレクタ論理帰着型重み付き加算器を用いた超解像処理と比較実験, 電子情報通信学会ソサイエティ大会, 2011年9月13日~2011年9月16日, 北海道札幌市.
- [13] 阿部晋矢, 柳澤政生, 戸川望, 複数電源電圧および複数サイクルレジスタ間通信指向の低電力化高位合成手法, 情報処理学会 DA シンポジウム 2011, 2011年8月31日~2011年9月1日, 岐阜県下呂市.
- [14] 吉原弘峰, 柳澤政生, 戸川望, 超解像技術におけるセレクタ論理帰着型重み付き加算による再構築処理ハードウェア設計, 電子情報通信学会回路とシステムワークショップ, 2011年8月1日~2011年8月2日, 兵庫県淡路市.

[その他]

- [1] [ホームページ]

http://www.togawa.cs.waseda.ac.jp/research/high_synthesis/high.html

6. 研究組織

(1) 研究代表者

戸川 望 (TOGAWA NOZOMU)
早稲田大学・理工学術院・教授
研究者番号: 30298161

(2) 研究分担者

木村 晋二 (KIMURA SHINJI)
早稲田大学・理工学術院・教授
研究者番号: 20183303