

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 25 日現在

機関番号：12102

研究種目：基盤研究(C)

研究期間：2010～2012

課題番号：22500118

研究課題名（和文） ハードウェアを用いた将棋の局面評価エンジンの高速化

研究課題名（英文） A Hardware Acceleration of Evaluation Function for Shogi

研究代表者

富安 洋史 (TOMIYASU HIROSHI)

筑波大学・システム情報系・講師

研究者番号：50284550

研究成果の概要（和文）：本研究課題では将棋の局面評価をハードウェアを用いて高速化することを目標としていた。これについては、評価関数を並列に計算することで、十分な高速化を見込める見込みが立った。しかし、局面の評価が高速であっても、ソフトウェアで可能な次の手を生成するスループットが十分で無いため、評価関数の高速化が活かさない事が明らかになった。そこで、次の手生成についてもハードウェアによってサイクル毎に生成することを検討し、生成自体は可能であることが解ったが、千日手の判定に難があることが判明した。現在この千日手の判定についても、解決可能なアルゴリズムを検証しているところである。

研究成果の概要（英文）：The goal of this theme is accelerating evaluation function of shogi with hardware. Calculating in parallel the evaluation function provides sufficient speed up. However, since throughput of producing following possible move with software is not sufficient, it can not utilize the speed of the evaluation function. Thus it is considered to be generated possible move for each cycle with hardware, but there is a difficulty in the detection of the repetition of moves. I am validating a hardware algorithm which can solve this detection problem.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	1,200,000	360,000	1,560,000
2011年度	1,100,000	330,000	1,430,000
2012年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：情報工学(計算機アーキテクチャ)

科研費の分科・細目：情報学・知能情報学

キーワード：計算機システム、アーキテクチャ、知能機械、探索問題、アルゴリズム

1. 研究開始当初の背景

本研究にはコンピュータ将棋の進歩に関する背景と、FPGA 応用に関する背景がある。コンピュータ将棋は近年急速に進歩しており、そのアルゴリズムについても研究者間のオープンな情報交換により一定の基準がで

きつつある。ある程度定式化されたアルゴリズムが存在するため、これをハードウェアによって高速化し、より強力なコンピュータ将棋システムを作る環境ができつつある。

アルゴリズムのハードウェア化という観点では FPGA の大規模化とその応用範囲の

拡大を挙げることができる。FPGA は年々大規模化高速化してきており、既に単純なプロセッサのみならず複雑な DSP やスーパースカラプロセッサの実装も可能なレベルに到達しつつある。しかし、一方でそのような大規模なアプリケーションの需要はそれほど多く無いのも実情である。そこで、容易に変更できるという特徴を活かしたリコンフィギュラブルプロセッサのような応用が模索されている。

本研究で提案するような探索システムのハードウェア化手法が確立されれば FPGA 応用の一分野として期待できるものと思われる。

2. 研究の目的

FPGA を用いて将棋の指し手を探索するエンジンの製作を行う。一般的にコンピュータ将棋においては、序盤は探索エンジンによる着手よりも定石のデータベースによる着手が優れているとされているため、本研究の探索エンジンも定石のデータベースから外れる中盤以降を対象とするものとする。この探索エンジンは次のような作業を行う。

- (1) ある局面で可能な指し手のリストを生成する。
- (2) (1) のリストの手から新しい局面を生成し、その評価関数を計算する。
- (3) 必要であれば、評価関数によって良いと思われる手を残す枝刈を行う。

一局のみを考えると基本的にはこれらの手順は単純でハードウェア化が可能であるが、ゲームの進行状況によって評価関数と枝刈を調整する必要がある。このような調整を、例えばテーブルの再設定や調整パラメータの再設定等でうまくハードウェアに取り込んでいく手法の確立を目指す。

一定のハードウェア化のアルゴリズムが確保されれば、評価関数の高速化により、ソフトウェアのみの探索エンジンに比して、ある程度の優位が確認できるものと思われる。

3. 研究の方法

本研究では、計算機設計者の立場から、ハードウェアに適したアルゴリズムを優先して採用する。バランスの良い設計とするため、先ずできるだけ高い並列性を持つように探索エンジンの各モジュールを設計し、次いで適正なハードウェア規模になるように並列度の調整と回路の共有等の最適化を行う。

将棋局面探索エンジンについて、考えられる並列アルゴリズムは次のとおりである。まず、評価関数演算部の殆どは各駒自身の評価値と駒位置による補正値を加算木によって一度に積算する事で並列に求めることがで

きる。次いで評価値のソートを行い枝刈の参考とするが、このソートについてもハードウェアに適した並列アルゴリズムが存在する。

アルゴリズムの可能性を探求するため、このようにできるだけ並列性を活かすように大規模なハードウェアを設計し、次いで演算量と速度向上率を勘案し現実的なハードウェア量へと縮小する。

最終的に考案したアルゴリズムを市販の FPGA ボード上に実装し、PC 上のソフトウェアと強調動作することを目指す。

4. 研究成果

当初の目的を実現するため、まず効率の良い評価値演算用ハードウェアのアルゴリズムの検討を行った。その結果、基本的に評価値は各駒の価値に位置による係数を乗じたものを加算したもので表すことができ、駒の価値及び乗数は比較的小さな整数の範囲に止まることが予想された。

したがって、この乗算はシフトと加算に変換する事が可能であり、この積の総和は多入力加算器によって一度に演算が可能である。数ビットのシフト器であれば規模は小さく、ある程度の乗数の変更にも対応できる。また、多入力の加算は木状に全加算器を接続することによって現実的な大きさのハードウェアで実現可能である。これらの演算は前の状態に依存しないため、容易にパイプライン化が可能である。さらに、評価値は各々の局面ごとに独立しているため、並列に演算することも可能である。以上のように、基本的にはハードウェア化が可能であることが予測できた。

しかし、その後検討を進めたところ、この評価関数演算装置に新しい局面を供給する方法に問題があることが明らかになった。基本的に上記のハードウェアは並列化に問題が無い場合、ハードウェア規模によっては1サイクル毎に一つの局面の評価値を計算することが可能であるが、このスループットに見合うだけの速度で新しい局面の生成を行う事が容易ではないことが明らかになってきた。

新しい局面を生成するには、ルールに従って次に着手可能な手を生成する必要がある。将棋においては各駒の効きは相互に作用し合っているため、ある手がルールに合致しているかをチェックするには、その手を選択した場合の局面において全ての駒の効きをチェックしなければならない。

従来はこれをソフトウェアで行っていたが、ソフトウェアは同時に一つの効きしかチェックできず、それを盤上の駒ごとにチェックする必要があるため、どうしても多数のステップを必要とする。そこで、次に着手可能な手の生成もハードウェアによる高速化が

必要であると判断した。

しかし、単純にソフトウェアと同様のアルゴリズムをハードウェア化しても結局同程度のステップ数が必要であるから、大幅な高速化は望めない。そこで、ここでもハードウェアに適したアルゴリズムが必要となる。本研究では各駒が効力を及ぼす範囲を将棋盤に相当するセルアレイ上に伝搬させ、各セルに存在する駒の情報と相互作用させて、各セルが独立して並列に可不可を判定する機構を検討した。

その結果、このアルゴリズムの概略は次の様に実現することができることが判った。

まず効きの伝搬による候補選出から記述する。

- (1) 各セルが駒の種別の情報を持つ。
- (2) 候補となる一つの駒を選び、その種別情報に従って、図 1a, b. のように効き(移動可能マス)の伝搬を行う。
- (3) この伝搬はセル間に設けられた配線で行う。
- (4) 各セルは伝搬してくる効き情報を元に移動可・不可の判定を行う。
効きが伝搬してきたセルが、自分の駒なら移動不可、相手の駒もしくは空なら移動可である。
候補駒が玉の場合は、相手の効きが無いことも条件に含める。
- (5) 候補になる駒が持ち駒である場合、空きセルが候補になる。

同時に禁じ手の判定も行う。上記の候補セルで次の様な判定を行わせることによって排除できる。

- (1) 二歩
各列に自軍の歩の存在を示す信号線を設ければ判定可能である。
- (2) 空き王手
駒の移動による空き王手は、相手の駒のうち離れても効力のある駒の効きが候補駒と自分の玉の双方に当たる場合、その効きのあるセルのみ移動候補となる。相手の駒の効きを示す信号線を各セルに通すことによって判定可能である。
- (3) 移動不可能駒
セルのうち、相手陣の一段目二段目は特別なものとし、そこへ移動する駒の種類によっては成りを必須とする。候補駒の種別信号をセルへ伝搬させる事によって判定可能である。
- (4) 打ち歩詰め
最も複雑な判定であり次の条件が全て成り立つ時に成立する。
候補駒が持ち駒の歩である。候補セルが相手玉頭である。候補セルに相手の

効きが無い。相手玉の移動候補が無い。相手玉の存在と相手の効きを伝搬させることによってセル自体で判定可能である。

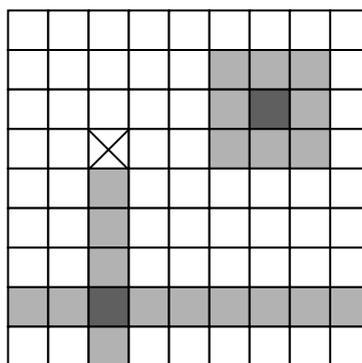


図 1a. 駒の効きの伝搬

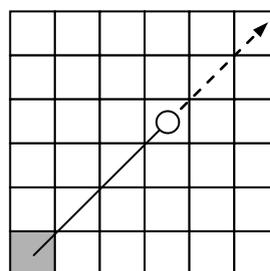


図 1b. 他の駒による効きの伝搬の中断

このように、各セル毎に判定を行い。移動候補駒と可能と判断したセルの組み合わせが着手可能な手となる。各セルから、移動可能不可能の値を信号線として引き出すことにより、セルアレイから一度に可能な手をすべて出力することができる。

禁じ手の判定が多少複雑であるが、それも高々数段の論理回路であり、基本的にセル間の信号の伝搬とセル内での論理演算によって全ての候補手を生成することが可能である。問題はセル間の配線であるが、将棋の場合複雑な動きをする駒は少なく、各セルに最近傍との配線および桂馬の利きの配線を行うことによってほぼまかなうことができる。

やや問題となるのは、遠いセルに効力を及ぼす駒の効きの伝搬である。基本的にはその効きがセルを貫通するか否かを、各セルに記憶した駒情報で制御する事で正確な伝搬を実現できる。しかし、これは効き上にあるセルを貫く多段の論理となるため遅延が問題となる可能性がある。幸い将棋盤の大きさは高々9x9であるため、2,3に分割してバイパスを設けることにより、配線遅延とゲート遅延のバランスを取って極端な遅延が生じないように調整することができると考えられる。

以上のように、現実的なハードウェア量と格段に短いステップ数で着手可能な手を判

定することができる。一つの駒に対する着手可能な手をサイクル毎に生成することも可能であるため、局面評価エンジンに対して十分なスループットとなる。

このように、着手可能な手の生成自体は完全にハードウェア化可能である事が判ったが、最終的に問題となったのは、千日手の判定である。千日手を判定するには同一局面であるかどうかを判定しなくてはならないが、ハードウェアによって実現可能な資源量では十分な局面を記憶できない。

例えば一局局面を表現するのに駒の種別と陣営(4+1 bit)xマス目(9x9)で405 bit程度必要となり、これの取り得る値をチップ上の小さなメモリに蓄えることは現実的では無い。したがって、ハッシュによる圧縮を行うしか無いが、FPGA等の一般に利用可能なチップではハッシュを用いても容量が十分で無く、チップ外部のメモリを用いざるを得ない。チップ外のメモリアクセスはレイテンシが大きいので、この千日手の判定が全体のスループットを制限する。

そこで、二段ハッシュとし、チップ上には小規模なハッシュテーブルを設け、そこで千日手と判定された場合、より大きなチップ外のハッシュテーブルを検索してさらに確度の高い判定を行う方式が考えられる。小さなハッシュテーブルでもある程度有効に機能するためには衝突の少ないハッシュ関数が必要であるが、ハードウェアでこれを実現するには困難さがある。

ある程度時間がかかっても良いなら、ソフトウェアによるハッシュ関数実装と同様のアルゴリズムをハードウェアでも実装すれば良い。しかし、ここでは非常に高スループットの着手可能な手生成エンジンに対応するものであるから、同等のスループットかつ小さなレイテンシでハッシュ関数を計算する必要が有る。

このため、繰り返しを多用するようなアルゴリズムを用いる事ができない。また、多ビットの乗算や割り算もレイテンシが大きくなりやすいため、避けることが望ましい。したがって、局面を表現する多数のビット列を切り混ぜつつ折りたたんでいくようなアルゴリズムを採用せざるを得ない。このハードウェアによるハッシュ関数のアルゴリズムによって判定の効率が大きく異なるため、局面の変化の特性を生かしたアルゴリズムが必要である。本研究では残念ながら、まだ効率の良いハードウェアによるハッシュ関数のアルゴリズムを確立できておらず、更なる検討が必要な状況である。

以上のように、高率のよいハッシュ関数のアルゴリズムの作成に問題を残すものの、大筋で局面評価エンジンのハードウェア化の道筋は整ったと考えられ、全てをソフトウ

アで処理する場合より大幅な高速化が見込まれる。

現在は上記のアルゴリズムを市販のFPGA開発ボード上に実装中であり、現実的なハードウェア量とのバランスを取っている所である。今後速度向上率や正確なハードウェア量等の評価を行い、最終的にはPC上のソフトウェアとの協調動作を目指していく予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

6. 研究組織

(1) 研究代表者

富安 洋史 (TOMIYASU HIROSHI)
筑波大学・システム情報系・講師
研究者番号：50284550