

## 科学研究費助成事業 研究成果報告書

平成 26 年 5 月 19 日現在

機関番号：30108

研究種目：基盤研究(C)

研究期間：2010～2013

課題番号：22560339

研究課題名(和文) 光誘起電流変調を利用した多値化信号生成素子を創成する SiGe ヘテロ接合特性の評価

研究課題名(英文) Investigation of SiGe/Si hetero interface to provide a device for producing multi-valued signals using light-induced current modulation

研究代表者

藤永 清久 (Fujinaga, Kiyohisa)

北海道科学大学・創生工学部・教授

研究者番号：40285515

交付決定額(研究期間全体)：(直接経費) 2,600,000 円、(間接経費) 780,000 円

研究成果の概要(和文)：SiGe/Si多重量子井戸構造による光誘起電流変調を利用した多値化信号生成素子を創出することを目的として、SOI基板上のSiGeの多重量子井戸構造を受光部とし、吸収された光により発生した正孔電流をその直下の電界効果素子で検出する素子構造を提案した。シミュレーションにより多重量子井戸の量子エネルギー準位に関する基礎データを取得し、受光部の構造設計に資した。電界効果素子として、SOI基板の埋め込み酸化膜をゲート酸化膜に用いたバックゲート構造のMOSFETの素子特性を調べ、正孔電流検出用の電界効果素子としての有用性を検証した。

研究成果の概要(英文)：A device for producing multi-valued signals using light-induced current modulation was investigated. The device structure consisted of a light-receiving part for generating holes by laser irradiation and a p-type MOSFET for detecting hole current. The light-receiving part was made by SiGe quantum wells on SOI substrate. The relationship between Si barrier layer thickness and quantum energy level was obtained by the computer simulation and the simulated data was applied to design the light-receiving part structure. The MOSFET with buried SiGe quantum well channel was formed by using the buried silicon oxide of SOI substrate as the gate oxide. The device characteristics of MOSFET showed that the device was useful as the MOSFET for detecting and amplifying hole current.

研究分野：工学

科研費の分科・細目：電気電子工学 電子デバイス・電子機器

キーワード：シリコン・ゲルマニウム SOI 電界効果素子 バックゲート 正孔電流 実効移動度

1. 研究開始当初の背景

(1) 集積回路の基本素子がナノメータのスケールにまで縮小されてきており、ほぼ物理的な限界に達しつつある。その限界を打破するために、新しい半導体材料の発掘や素子構造が模索されている。とくに、量子力学的な世界に踏み込んだ Si ナノワイヤや量子ドットを用いたナノデバイスの研究が展開されつつあるが、実用化の目途が立つまでには至っていない。

(2) 新しい半導体材料の発掘という観点からは、Ge 半導体が見直されてきた。Ge 半導体は Si 半導体よりもキャリア移動度が大きく、素子の高速化に有利になるため、Si 半導体と Ge 半導体を組み合わせた新機能素子の出現が待たれている。

(3) 集積回路の高密度化が進むと半導体素子のスイッチング時間よりも、内部配線に起因した動作遅延により、性能が限界に達することが指摘されている。その解決策として、半導体素子の縮小化とは別に、素子を多値化する研究が必要となる。つまり、従来の素子を複数個組み合わせることで出現する機能を一つの素子で実現できるならば、回路規模を縮小することができ、消費電力を低減することが可能になるからである。

2. 研究の目的

(1) 本研究の目的は、光・電子技術を融合した新機能素子を提案し、近未来社会に適応したシステムの構築に貢献することにある。ここでは、受光器や電界効果素子として有望視されてきた SiGe 半導体に注目し、SiGe/Si 多重量子井戸構造による光誘起電流変調を利用した多値化信号生成素子を開発し、論理集積回路や記憶集積回路に組み込むことにより、通信機器や制御装置などのダウンサイジングや省電力化に貢献することを狙っている。

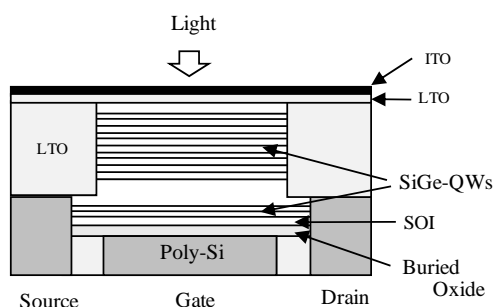


図1 光誘起多値信号生成素子の概要

(2) 研究対象である光誘起多値信号生成素子を図1に示す。この素子は二層構造から成り、底部の電界効果素子はSOI基板の埋め込み酸化膜をゲート酸化膜とし、SOI上にSiGe多重量子井戸の埋め込みチャンネルを有する。この上層の受光領域は厚いSiGe多重量子井戸層からなり、表面にはITO電極が形成され

ている。レーザ光はこのITO電極を通過して受光領域に至り、ここで生成されたキャリアが電界効果素子で検出される。素子の多値化は、ソース・ドレイン電圧 ( $V_{DS}$ ) を負荷した状態で、ゲート電圧 ( $V_G$ ) およびレーザ光のON/OFF制御により、ドレイン電流 ( $I_{DS}$ ) を変化させて行う。従って、ドレインに接続した出力抵抗には0,  $V_1$ ,  $V_2$ ,  $V_3$  の4値の電圧信号が出現する。このように単一素子で多値信号を生成するので、回路が簡素化され配線量も減少し、消費電力の低減化や機器のダウンサイジングに有利となる。

3. 研究の方法

本研究は次の通りに検討を進めた。最初に、光誘起多値信号生成素子の設計に必要な構造パラメータについて、シミュレーション技術を利用してデータ収集を行う。次に、優れた結晶品質および界面特性を有するSiGe/Si多重量子井戸の気相成長技術を確立し、光吸収特性の改善およびリーク電流の低減化を図る。最後に、デバイスプロセスの精緻化により、SOI (Silicon on Insulator) 基板の特徴を活かした素子構造を実現し、素子動作を検証する。

4. 研究成果

(1) シミュレーション

① 受光領域の構造設計のシミュレーションにより、受光波長と適切な量子井戸構造の関係を調べた。シミュレータは差分法に基づく、セルフコンシスタントな量子デバイスシミュレータである。受光領域は厚い多重量子井戸層からなるので、多大な要素分割が必要となる。しかし、シミュレータでは3重量子井戸までが限界となり、それ以上は3重量子井戸までの計算結果を分析して予測する方針をとった。

② シミュレーションの条件は次のとおりである。

- ・アンドープのSi<sub>0.8</sub>Ge<sub>0.2</sub>/Siの2次元量子井戸構造を数値計算の対象とした。
- ・バリア層のSiエネルギーバンドギャップE<sub>g</sub>と誘電率εは次の値を用いた。

$$E_g = 1166 \text{ eV (77K)}$$

$$\epsilon = 11.9$$

- ・Si<sub>0.8</sub>Ge<sub>0.2</sub>のエネルギーバンドギャップE<sub>g</sub>、誘電率ε、ホールの有効質量m<sub>nh</sub>\*には次の値を用いた。

$$E_g = 1021 \text{ meV}$$

$$\epsilon = 12.6$$

$$m_{nh}^* = 0.266$$

- ・量子井戸のバンドアライメントは次のように仮定した。

$$\Delta_{EV} = 145 \text{ meV}$$

$$\Delta_{EC} = 0 \text{ meV}$$

③ 3重量子井戸構造の数値計算

ここでは、量子井戸(量子井戸層厚L<sub>2</sub> = 3

nm) が 3 個隣接して存在する 3 重量子井戸 (TQW) のエネルギー準位についてのシミュレーション結果について述べる. 図 2 にバリア層の Si 膜厚 ( $L_B$ ) と基底準位 ( $E_0$ ) の関係を示す. これから,  $L_B$  が約 7 nm 以上では TQW の  $E_0$  は 3 重に縮退 (スピンを考慮すると 6 重に縮退) しており, 3 個の量子井戸はほぼ独立した存在であることが分かる. 他方,  $L_B$  が約 7 nm よりも狭くなると, この 3 重に縮退していた  $E_0$  が 3 つに分離し始め, ミニバンド ( $E_{01}$ ,  $E_{02}$ ,  $E_{03}$ ) が形成されて行く. 図 3 に, 3 つの分離したエネルギー準位  $E_{01}$ ,  $E_{02}$  および  $E_{03}$  におけるホールの存在比の  $L_B$  依存性を示す. これから,  $L_B$  が小さくなるほど  $E_{01}$  でのホールの存在比が増加しており,  $L_B$  が 1 nm 程度にまで減少すると約 90%のホールがこの準位に存在していることが分かる.

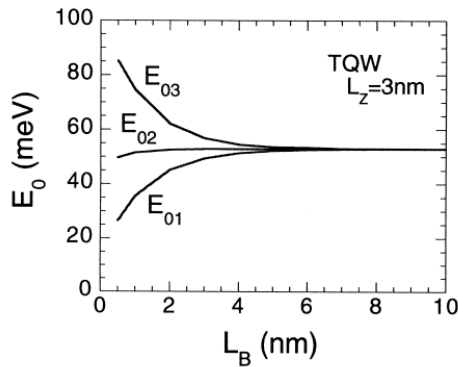


図 2 TQW におけるバリア層厚  $L_B$  と基底準位  $E_0$  の関係

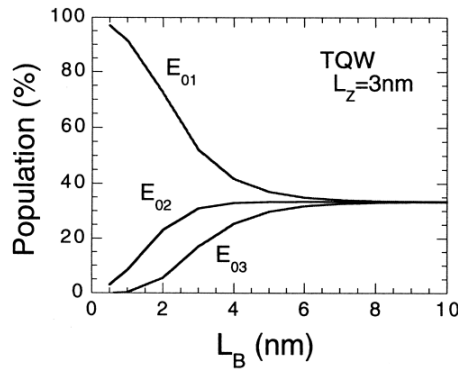


図 3 TQW における分離したエネルギー準位間でのホールの存在比

③ フォトルミネセンス (PL) 測定においては, 最下端の準位 ( $E_{01}$ ) のホールと伝導体のバンド端の電子とがエキシトン形成し, その際に発光する光子が主に測定される. そこで,  $L_B = 2$  nm の TQW の PL スペクトルを測定し, これから NP のピークエネルギーを求めた. これから実験値は理論値とよく一致しており, ミニバンドが理論通り形成されていることが明らかとなり, SiGe 量子井戸の形成精度および結晶品質は極めて良好であるこ

とが実証された.

(2) SOI 基板を用いたバックゲート MOSFET の電気特性

① 提案した素子では SOI 基板上に SiGe の多重量子井戸構造を受光部とし, SOI 基板の埋め込み酸化膜をゲート酸化膜に用いた, いわゆるバックゲート構造の MOSFET を発生した正孔電流の検出に利用している (図 1). また, SiGe の埋め込みチャンネルを MOSFET に導入して, 高速化も狙っている. SOI 基板としては, SOI 膜厚の均一性が優れている SIMOX 基板を使用することにした. しかし, 埋め込み酸化膜と SOI の界面に結晶欠陥が密集し, 20 nm ほど離れた SOI 層にまで影響を与える. ここでは, SOI 基板として SIMOX 基板を使用して, SIMOX 基板の埋め込み酸化膜をゲート酸化膜に用いたバックゲート (BG) MOSFET の素子構造に, さらに SiGe 埋め込みチャンネルを導入した MOSFET を作製した. この MOSFET の電気的特性を調べ, 通常の前ゲート (FG) MOSFET の特性と比較して, SIMOX 基板の界面の結晶欠陥の影響を評価した.

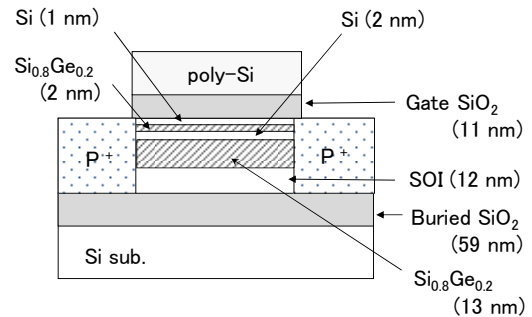


図 4 SIMOX 基板を利用した埋め込みチャンネル型のバックゲート MOSFET の概要

② 図 4 に, MOSFET の概要を示す. ノンドープで (100) 面の SIMOX ウェハの埋め込み酸化膜厚は 59 nm である. 283 nm の SOI 膜厚は 12 nm まで薄層化した. このウェハ上に  $\text{Si}_2\text{H}_6/\text{GeH}_4/\text{H}_2$  を用いた CVD により,  $\text{Si}_{0.8}\text{Ge}_{0.2}$  と Si の各層を 550°C で成長させた. 800°C の熱酸化で 11 nm のゲート酸化膜を形成し, P ドープ多結晶 Si でゲート電極を作製した. また,  $\text{BF}_3$  のイオン注入でソースとドレインを形成し, CVD による低温堆積の  $\text{SiO}_2$  を保護膜として用いた. 作製した MOSFET は p 型で, チャンネル長は 20  $\mu\text{m}$ , チャンネル幅は 200  $\mu\text{m}$  である. なお, 不純物導入等による意図的な  $V_{th}$  の調整は行っていない. 混晶膜の組成比は SIMS で測定し, 各層の膜厚は断面 TEM で計測した. なお, SOI 層は埋め込み酸化膜との界面付近に結晶欠陥が凝集しているため 12 nm と厚くした. また, 2 nm の  $\text{Si}_{0.8}\text{Ge}_{0.2}$  層は 13 nm の  $\text{Si}_{0.8}\text{Ge}_{0.2}$  層を突き抜けた結晶欠陥をヘテロ界面で抑止する目的で導入した.

③ シミュレーションにより, MOSFET のゲート

電圧が無負荷の状態での基底準位は 16 meV で正孔存在率が 57%であり、その次の準位は 34 meV で正孔存在率が 28%であった。従って、この二つの準位に殆どの正孔が存在していると考えられる。I<sub>SF</sub> をゲート酸化膜直下の Si チャネルの電流、I<sub>QW</sub> を 2 重量子井戸の埋め込みチャネルの電流と定義すると、I<sub>DS</sub> は近似的に次式で表わされる。

$$I_{DS} = I_{SF} + I_{QW}$$

FG では、ゲート電圧を負荷すると Si キャップ層が 1 nm しかないために、殆どの正孔はエネルギー準位が低い埋め込みチャネル層を流れるので、 $I_{DS} \approx I_{QW}$  と考えられる。一方、BG の場合は、SOI 膜厚が 12 nm と厚いので  $I_{DS} = I_{SF} + I_{QW}$  となる。

④ BG の  $V_{th}$  はゲート酸化膜厚が 59 nm と厚いため、FG の場合より 3.5 倍大きい値になった。図 5 に、FG と BG における実効電界  $E_{eff}$  と正孔の実効移動度  $\mu_{eff}$  の関係を示す。BG と FG の  $V_{th}$  が大きく異なっているので、両 MOSFET の  $\mu_{eff}$  は同一の  $E_{eff}$  の領域にない。BG のゲート酸化膜、すなわち SIMOX 基板の埋め込み酸化膜を薄層化すると、同一の領域で比較が可能になると思われる。また、 $E_{eff}$  の増大に対して  $\mu_{eff}$  の減少が大きいことから、ヘテロ界面での散乱効果の影響が大きいことがわかる。これは MOSFET のゲート酸化膜を 800°C の熱酸化で形成したために、ヘテロ界面での Ge の拡散が生じたことが原因である。また、BG では埋め込みチャネルと結晶欠陥が密集している SOI の表面チャネルを正孔電流が流れるので、FG の場合よりも BG の  $\mu_{eff}$  が低下すると思われたが、BG の  $\mu_{eff}$  のほぼ延長上に FG の  $\mu_{eff}$  があることから、BG の SOI 界面での結晶欠陥の影響は予想よりも小さいことが分かった。故に、この SiGe MOSFET の構造は光誘起多値信号生成素子に応用できるものと判断したが、デバイスプロセスの低温化による素子特性の改善が今後の課題として残された。

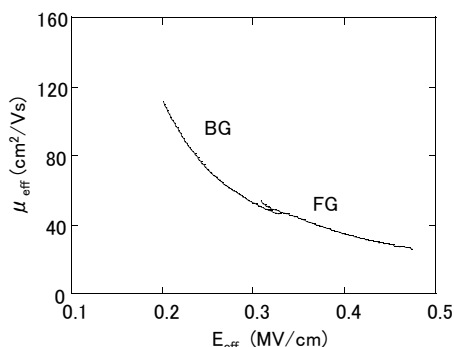


図 5 埋め込みチャネル MOSFET における正孔の実効移動度

## ② デバイスプロセスの効率化

現在の LSI は多品種少量生産が主流になりつつあり、製造ラインには種々の品種のロットが流れている。ここで提案したデバイスも

その中の一品種として製造されるため、製造ラインの効率的な運営が必要になる。そのため、製造ラインはジョブショップ型のスケジュールで運営されるものと考え、遺伝的アルゴリズムと再帰的伝搬法を導入したスケジューリングシステムを考案し、シミュレーションにより有用性を検証した。とくに、工程遅延に起因した再スケジューリングでは、最適なスケジューリング手法を提供できる見通しをつけた。

## 5. 主な発表論文等

[雑誌論文] (計 3 件)

- ① 藤永 清久, SIMOX 基板の埋め込み酸化膜をゲート酸化膜に用いた SiGe p-MOSFET の電気特性, 電子情報通信学会論文誌 C, 査読有, Vol. J97-C, No. 5, 2014, pp. 246-248  
<http://search.ieice.org/bin/index.php?category=C&lang=J&curr=1>
- ② 藤永 清久, 学生に達成感を感じさせる HDL 教育の実践, 工学教育, 査読有, Vol. 62, No. 1, 2014, pp. 1\_72-1\_76  
DOI:10.4307/jsee.62.1\_72
- ③ K. Fujinaga, Effective hole mobility in SiGe buried-channel well MOSFETs on SOI by low-pressure CVD, ECS. J. Solid State Sci. Technol. 査読有, Vol. 2, No. 9, 2013, pp. Q142-Q146  
DOI:10.1149/2.007309jss

[学会発表] (計 5 件)

- ① 蔵 徹郎, 藤永 清久, エージェント生産システムにおけるハイブリッドスケジューリングに関する研究, 電子情報通信学会北海道支部インターネットシンポジウム, 2013 年 2 月
- ② 蔵 徹郎, 藤永 清久, ジョブショップスケジューリングにおける GA と再帰的伝搬法の比較検討, 日本経営工学会秋季研究大会, 2012 年 11 月, 大阪工業大学, 予稿集, D16, pp. 240-241
- ③ 蔵 徹郎, 藤永 清久, GA と再帰的伝搬法を用いたジョブショップスケジューリング, 電気・情報関係学会北海道支部連合大会, 2012 年 10 月, 北海道大学, 予稿集, No. 189
- ④ 蔵 徹郎, 藤永 清久, 機械故障による生産遅延発生時における再スケジューリングの最適化, 電子情報通信学会基礎・境界ソサイエティ大会, 2012 年 9 月, 岐阜大学, 基礎・境界論文集, A-12-8, pp. 149

- ⑤ 蔵 徹郎, 藤永 清久, 再帰的伝搬法に基づく自立分散型のマシンスケジューリング, 電子情報通信学会北海道支部インターネットシンポジウム, 2012年2月

6. 研究組織

(1) 研究代表者

藤永 清久 (FUJINAGA, Kiyohisa)  
北海道科学大学・創生工学部・教授  
研究者番号: 40285515