

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 6月14日現在

機関番号：31302

研究種目：基盤研究(C)

研究期間：2010年度～2012年度

課題番号：22560341

研究課題名（和文）ダイヤモンド型ダブルゲート低温 poly-Si TFT によるガラス上への高速回路の実現

研究課題名（英文）Self-Aligned Embedded Metal Double-Gate Polycrystalline-Silicon Thin-Film Transistors Fabricated at Low Temperature on Glass Substrate

研究代表者

原 明人（HARA AKITO）

東北学院大学 工学部 教授

研究者番号：20417398

研究成果の概要（和文）：マルチゲート多結晶 Si (poly-Si) 薄膜トランジスタ (TFT) は、近年注目を集めており、盛んに研究されている。本研究では埋め込みメタルゲートを有する自己整合メタルダブルゲート低温 poly-Si TFT を 550℃ のプロセス温度でガラス基板上に作製した。N-ch TFT の見かけ上の移動度は 530 cm²/Vs であり、s 値は 140 mV/dec、一方 p-ch TFT の特性は、見かけ上の移動度 135 cm²/Vs、s 値 150 mV/dec であった。この特性は、低温プロセスで形成された TFT としては世界トップレベルであり、ガラス上において低消費電力・高速回路の実現を可能にするものである。

研究成果の概要（英文）：Self-aligned planar metal double-gate n-channel (n-ch) and p-channel (p-ch) polycrystalline-silicon (poly-Si) thin-film transistors (TFTs) consisting of an embedded bottom metal gate, a top metal gate fabricated by a self-alignment process, and a lateral poly-Si film with a grain size greater than 2 μm were fabricated on a glass substrate at 550°C. The TFTs are called embedded metal double-gate (E-MeDG) low-temperature (LT) poly-Si TFTs. The nominal field-effect mobility and its subthreshold slope are, respectively, 530 cm²/Vs and 140 mV/dec for n-ch E-MeDG LT poly-Si TFTs, and 135 cm²/Vs and 150 mV/dec for p-ch TFTs. The superior performance of the E-MeDG LT poly-Si TFTs will contribute to the fabrication of high-speed, low-power CMOS poly-Si TFT circuits on glass substrates.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	1,300,000	390,000	1,690,000
2011年度	1,300,000	390,000	1,690,000
2012年度	800,000	240,000	1,040,000
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：電子デバイス・集積回路、薄膜トランジスタ, TFT, poly-Si, ダブルゲート

1. 研究開始当初の背景

アンビエント・デバイスが注目されていた。変形可能かつ透明で存在を意識させない環境に溶け込んだデバイスである。これを実現するためには、透明・安価で大面積化が可能

な基板上に高性能なデバイスを実現することが必要である。研究代表者は、安価で大面積が可能なガラスの上に高性能なトランジスタを開発すべく研究を進めていた。

研究代表者が開発していた技術は、以下の

点で強い独自性を有していた。まず、ガラス上に poly-Si 薄膜を成長する際に、半導体励起固体連続波レーザを使った研究代表者が開発した独自の結晶化技術を利用して、大粒径 poly-Si 薄膜を形成している。さらに、デバイス構造として、上下にメタルゲート電極を有する独自のメタルダブルゲート構造を採用している。また、自己整合プロセスを用いて上下のメタルゲートの位置合わせを行っている。

この独自技術を利用し、550°C という低い温度でガラス上に n-ch および p-ch の自己整合メタルダブルゲート低温 poly-Si TFT を実現した。従来の低温 poly-Si TFT の動作電圧が 10-20 (V) 程度であったのに対して、本デバイスは 5.0 (V)、あるいはそれ以下の電圧で動作を可能にする性能であった。すなわち、ガラス上に高速・低消費電力回路の実現を可能にするものであり、この性能は世界トップレベルを有していた。

しかし、これらの性能は微細化が極限まで追求された現在の MOSFET の性能には到底及ばない。特性をさらに改善するための何らかのアプローチが必要であった。研究代表者は、研究代表者が実現したデバイスの特性を改善すべく、デバイス構造の問題点について整理した結果、デバイス性能をさらに向上させるための改良点を見出すに至った。

2. 研究の目的

蓄積してきた独自の自己整合メタルダブルゲート低温 poly-Si TFT 技術に加え、新たにダマシン構造を採用して、高性能なダマシン型自己整合メタルダブルゲート低温 poly-Si TFT を 550°C 以下のプロセスで実現し、電源電圧 3.0 (V) で動作する高速・低消費電力回路をフレキシブル薄膜ガラス上に形成する。

3. 研究の方法

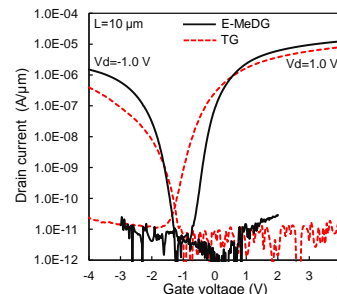
本研究助成以前に開発してきたデバイスはガラス基板の上に形成されたボトムメタルゲートを乗り越える形でゲート酸化膜やチャンネル Si 層が形成されていた。ボトムメタルゲートの乗り越え時に、チャンネル Si 膜の切断を避けるため、チャンネル Si を厚く形成する必要がある。一般的に、TFT のような SOI デバイスでは、チャンネル層が薄いほど、立ち上がり特性は鋭くなる。しかし、先に述べたように現状のデバイス構造ではそれは難しい。一方、ゲート酸化膜に関しても同様のことが言える。ボトムメタルゲートの乗り越え時に酸化膜の切断が生じないように、厚いゲート酸化膜の形成が必要になる。薄い酸化膜はデバイスの高性能化に必須の技術である。

これらの現状の問題点は、ボトムメタルゲ

ートを基板中に埋め込んだダマシン構造を採用することにより解決できる。このアイデアを含んだ自己整合メタルダブルゲート低温 poly-Si TFT は、米国で特許を取得し、国内では特許が公開されている。ダマシン構造を採用することにより、ボトムメタルゲートの乗り越えが不要になるため、ゲート酸化膜の薄膜化、チャンネル Si 膜の薄膜化が可能になり、現状よりも優れたデバイスをガラス上に実現できる。

4. 研究成果

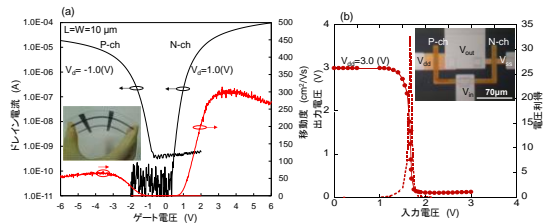
ダマシン型自己整合メタルダブルゲート低温 poly-Si TFT の特性を下図に示す。n-ch では (みかけ) 移動度 530 cm²/Vs と s 値 140 mV/dec、p-ch では (みかけ) 移動度 135 cm²/Vs と s 値 150 mV/dec を実現した。この性能はガラス上に低温プロセス (550°C) で形成された TFT の性能としては世界トップレベルである。



ダマシン型自己整合メタルダブルゲート低温 poly-Si TFT の性能 (実線)。比較のためトップゲート低温 poly-Si TFT の性能も記入してある (点線)。

一方、しきい値は n-ch、p-ch 共に -1.0 (V) 付近にある。この点を解決するためにダマシン型自己整合メタルダブルゲート低温 poly-Si TFT のプロセスを改良し、上下のメタルゲートを分離して 4 端子で駆動できるプロセスの開発をスタートした。デバイス性能はまだまだ不十分であるが、上下ゲートの独立動作の確認まで行うことができた。

また近年、次世代 ICT 技術としてフレキシブルエレクトロニクスが注目されている。研究代表者は、透明フレキシブルガラスに注目し、透明フレキシブルガラス上で移動度 300 cm²/Vs を有する低温 poly-Si TFT を実現し、更に透明フレキシブルガラス上で V_{dd}=3.0 (V) において電圧利得 33、論理しきい値 1.65 (V) を有する低温 poly-Si CMOS インバータを実現した (下図)。



(a) フレキシブルガラス上の低温 poly-Si TFT (b) フレキシブルガラス上の CMOS インバータ

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計5件)

① Y. Shika, Takuro, Y. Bessho, H. Okabe, H. Ogata, S. Kamo, K. Kitahara, A. Hara, Impact of the Hydrogenation Process on the Performance of Self-Aligned Metal Double-Gate Low-Temperature Polycrystalline-Silicon Thin-Film Transistors, Jpn. J. Appl. Phys., 査読有, 52, 2013, 03BB01-1-5.

DOI: 10.7567/JJAP.52.03BB01

② H. Ogata, K. Ichijo, K. Kondo, A. Hara, Self-Aligned Planar Metal Double-Gate Polycrystalline-Silicon Thin-Film Transistors Fabricated at Low Temperature on Glass Substrate, IEICE TRANS. ON ELECTRONICS, 査読有, E96C, 2013, 285-288.

DOI: 10.1587/transele.E96.C.285

③ K. Kitahara, K. Hirose, J. Suzuki, K. Kondo, and A. Hara, Growth of Quasi-Single-Crystal Silicon - Germanium Thin Films on Glass Substrates by Continuous Wave Laser Lateral Crystallization, Jpn. J. App. Phys., 査読有, 50, 2011, 115501-1-6.

DOI: 10.1143/JJAP.50.115501

④ A. Hara, T. Sato, K. Kondo, K. Hirose, and K. Kitahara, Self-Aligned Metal Double-Gate Low-Temperature Polycrystalline Silicon Thin-Film Transistors on Glass Substrate Using Back-Surface Exposure, Jpn. J. Appl. Phys., 査読有, 50, 2011, 021401-1-4.

DOI: 10.1143/JJAP.50.021401

⑤ A. Hara, T. Awano, Y. Ohno, and I. Yonenaga, Structural Elements of Ultrashallow Thermal Donors Formed in Silicon Crystals, Jpn. J. Appl. Phys., 査読有, 49, 2010, 050203-1-3.

DOI: 10.1143/JJAP.49.010203

[学会発表] (計37件)

① [招待講演] 原明人、北原邦紀、ガラス上シリコン薄膜の高品質化とデバイス応用、応用物理学会春季学術講演会、Vol.60th、29P-B8-5、2013年3月29日、神奈川工科大学。

② S. Kamo, K. Kondo and A. Hara, High-Performance CMOS Inverters Comprising Lateral Large-Grained Low-Temperature Poly-Si TFTs on Transparent Flexible Glass, Ext. Abst. 2012 Int. Conf. on Solid State Devices and Materials, pp.92-93, 2012年9月, 京都 (査読有)。

③ Y. Shika, T. Bessho, Y. Okabe, H. Ogata, S. Kamo, K. Kitahara, and A. Hara, Impact of Hydrogenation Process on Performance of Self-Aligned Metal Double-Gate LT Poly-Si TFTs, The Proc. 2012 AM-FPD pp.123-126,

2012年7月, 京都 (査読有)。

④ Y. Okabe, J. Suzuki, K. Kitahara, and A. Hara, Lateral Large-Grained Low-Temperature Polycrystalline Silicon-Germanium Thin-Film Transistors on Glass Substrates, The Proc. 2012 AM-FPD, pp.127-130, 2012年7月, 京都 (査読有)。

⑤ [招待講演] 北原邦紀, 原明人, 連続発振レーザ横方向結晶化法によるガラス基板上 Si と SiGe 薄膜の成長, 電子情報通信学会技術研究報告 Vol.112 No.18(SDM2012 1-18), pp.21-26, 2012年4月, 沖縄。

⑥ Y. Shika, Y. Okabe, H. Ogata, K. Kondo, A. Hara, Hydrogenation in Self-Aligned Metal Double-Gate LT Poly-Si TFTs, Proc. 2011 International Display Workshops, pp.185-186. 2011年12月, 名古屋 (査読有)。

⑦ K. Kondo, Y. Okabe, H. Ogata, Y. Shika, A. Hara, High-Performance LT Poly-Si TFTs Fabricated on Flexible Glass, Proc. 2011 International Display Workshops, pp.2047-2048. 2011年12月, 名古屋 (査読有)。

⑧ A. Hara, A. Hasegawa, Y. Okabe and K. Kondo, Gettering in Lateral Large-grained Polycrystalline-silicon Thin Film on Glass Substrate, Tech. Dig. 21st PVSEC, 3D-2P-17. 2011年12月, 福岡 (査読有)。

⑨ Y. Okabe, K. Kondo, J. Suzuki, K. Kitahara, and A. Hara, Lateral Large-Grained Low-Temperature Polycrystalline Silicon Germanium Thin-Film Transistors on Glass Substrate, Ext. Abst. 2011 Int. Conf. on Solid State Devices and Materials, pp.32-33. 2011年9月, 名古屋 (査読有)。

⑩ [受賞: Outstanding Poster Paper Awards] Y. Okabe, K. Kondo, K. Hirose, J. Suzuki, K. Kitahara, A. Hara, Lateral Large-Grained Low-Temperature Poly-Si_{1-x}Ge_x TFTs on Glass Substrate, Proc. 2010 International Display Workshops, pp.797-798. 2010年12月, 福岡 (査読有)。

⑪ A. Hara, K. Hirose, J. Suzuki, K. Kondo and K. Kitahara, Quasi-Single-Crystal Si Thin Film for System on Panel Using SiGe Precursor and Laser Lateral Crystallization, Proc. 2010 International Display Workshops, pp.913-914, 2010年12月, 福岡 (査読有)。

⑫ A. Hara, K. Kondo, T. Sato and T. Sato, Monolithic Integration of Ni-SPC Poly-Si TFTs and Lateral Large-grained Poly-Si TFTs, Ext. Abst. 2010 Int. Conf. on Solid State Devices and Materials, pp.487-488, 2010年9月, 東京 (査読有)。

⑬ A. Hara, T. Sato, Y. Sato, K. Okuda, K. Hirose, and K. Kitahara, Self-Aligned Metal Double Gate Low-Temperature Poly-Si TFTs on Glass Substrates, 2010 Symposium Digest of

Society of Information Display, 2010年5月, 米国シアトル(査読有).

[図書] (計1件)

K. Kitahara and A. Hara, Oriented Lateral Growth and Defects in Polycrystalline-Silicon Thin Films on Glass Substrates, Crystallization - Science and Technology -, Chap. 19 (ISBN) 978-953-51-0757-6 (In Tech), 2012, pp.507-534.

[産業財産権]

○出願状況(計1件)

①名称: 半導体装置
発明者: 原明人
権利者: 東北学院大学
種類: 特許
番号: 特開 2012-49484
出願年月日: 22年8月27日
国内外の別: 国内

○取得状況(計12件)

①名称: Semiconductor device and manufacturing method thereof
発明者: Akito Hara
権利者: Fujitsu Semiconductor Limited
種類: United States Patent
番号: 8,264,012
取得年月日: 2012, September 11
国内外の別: 国外
②名称: 薄膜半導体装置の製造方法
発明者: 吉野健一、原明人、竹井美智子、平野琢也
権利者: シャープ
種類: 特許
番号: 特許第 5122818 号
取得年月日: 登録日 24年11月2日
国内外の別: 国内
③名称: 半導体装置およびその製造方法
発明者: 原明人
権利者: 富士通セミコンダクター
種類: 特許
番号: 特許第 5055771 号
取得年月日: 登録日 24年8月10日
国内外の別: 国内
④名称: 半導体装置の製造方法
発明者: 原明人
権利者: 富士通セミコンダクター
種類: 特許
番号: 特許第 4755245 号
取得年月日: 登録日 23年6月3日
国内外の別: 国内
⑤名称: 半導体装置の製造方法
発明者: 原明人、竹内文代、吉野健一、佐々木伸夫
権利者: シャープ
種類: 特許

番号: 特許第 4723926 号

取得年月日: 登録日 23年4月15日

国内外の別: 国内

⑥名称: 半導体装置

発明者: 原明人、佐野泰之、佐々木伸夫、竹井美智子

権利者: シャープ

種類: 特許

番号: 特許第 4663615 号

取得年月日: 登録日 23年1月14日

国内外の別: 国内

⑦名称: Semiconductor device and manufacturing method thereof

発明者: Akito Hara

権利者: Fujitsu Semiconductor Limited

種類: United States Patent

番号: United States Patent 7,847,321

取得年月日: December 7, 2010

国内外の別: 国外

⑧名称: 多結晶半導体膜の形成方法

発明者: 竹井美智子、千田満、原明人

権利者: シャープ

種類: 特許

番号: 特許第 4662678 号

取得年月日: 登録日 23年1月14日

国内外の別: 国内

⑨名称: Semiconductor device

発明者: Akito Hara

権利者: Fujitsu Semiconductor Limited

種類: United States Patent

番号: United States Patent 7,795,619

取得年月日: September 14, 2010

国内外の別: 国外

⑩名称: 半導体装置の製造方法

発明者: 原明人、佐野泰之、佐々木伸夫、竹井美智子

権利者: シャープ

種類: 特許

番号: 特許第 4584953 号

取得年月日: 登録日 22年9月10日

国内外の別: 国内

⑪名称: 半導体装置の製造方法

発明者: 原明人、佐野泰之、佐々木伸夫、竹井美智子

権利者: シャープ

種類: 特許

番号: 特許第 4558262 号

取得年月日: 登録日 22年7月30日

国内外の別: 国内

⑫名称: 半導体基板の製造方法

発明者: 原明人

権利者: 富士通セミコンダクター

種類: 特許

番号: 特許第 4531339 号

取得年月日: 登録日 22年6月18日

国内外の別: 国内

〔その他〕

- ①産学官連携みやぎ 2010
ガラス上の半導体薄膜材料およびデバイス
2010年10月18日
仙台国際センター
- ②産学官連携みやぎ winter2013
シリコン薄膜デバイス
2013年1月17日
仙台国際センター

6. 研究組織

(1) 研究代表者

原 明人 (HARA AKITO)
東北学院大学・工学部・教授
研究者番号：20417398

(2) 研究分担者

(3) 連携研究者

北原 邦紀 (KITAHARA KUNINORI)
島根大学・総合理工学部・教授
研究者番号：60304250
鈴木 仁志 (SUZUKI HITOSHI)
東北学院大学・工学部・准教授
研究者番号：70351319