

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 21 日現在

機関番号：11301
 研究種目：若手研究(B)
 研究期間：2010～2011
 課題番号：22700044
 研究課題名（和文）
 細粒度 3 次元積層技術を用いた高速・低消費電力演算回路設計手法に関する研究
 研究課題名（英文）
 Designing High-speed and Low Power Arithmetic Units using fine-grain 3D Die Stacking Technologies
 研究代表者 江川 隆輔 (EGAWA RYUSUKE)
 東北大学・サイバーサイエンスセンター・助教
 研究者番号：80374990

研究成果の概要（和文）：

本研究の目的は、細粒度3次元LSI積層による高性能・低消費電力演算回路の設計手法を構築することである。具体的には、将来の3次元演算回路の設計早期段階における3次元積層のための演算回路の分割方針・手法を明らかにすると共に、3次元積層技術の潜在能力を十分に引き出すべく、垂直貫通配線（以下、Through Silicon Via：TSV）を適材適所に用いることで、分割した組み合わせ論理回路を積層する細粒度3次元LSI積層技術に基づく高性能演算回路の実現とその設計指針の明確化を試みる。

研究成果の概要（英文）：

Three-dimensional (3-D) integration technologies have been expected to overcome the limitations of conventional microprocessors, which integrated by two-dimensional (2-D) implementation technologies. However, design space of 3-D stacked circuits is not explored well so far. To clarify the design space and methods of 3-D integrated arithmetic units, this research proposes and evaluates the circuit partitioning techniques for floating point arithmetic units.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	1,400,000	420,000	1,820,000
2011年度	1,200,000	360,000	1,560,000
総計	2,600,000	780,000	3,380,000

研究分野：総合領域

科研費の分科・細目：計算機システム・ネットワーク

キーワード：TSV, 低消費電力, 演算回路, 3次元積層技術

1. 研究開始当初の背景

近年、高い実装密度と極めて小さなRC遅延を有するTSVが、様々な材質、加工技術を用いることで、高い実現可能性で実装可能なことが報告されており、コンピュータ・回路設計者の注目を集めている。TSVを用いることで、

LSIチップのシリコン層を垂直方向に貫通し、各LSIレイヤ層内にあるトランジスタ、配線を接続することが可能になる。これにより論理セルや機能ブロック同士を垂直方向の近接する位置に配置することが可能となり、プロセッサ設計者が直面している配線遅延問

題を克服することが期待されている。現在報告されている TSV の RC 遅延は現在の半導体加工技術のセル間を結ぶローカル配線の RC 抵抗よりも大きい。これまでの 3 次元 LSI 積層技術のマイクロプロセッサ設計への適用例としてはコア-コア、コア-メモリのなどの粗粒度積層を行うことで、マイクロプロセッサ内の長配線を TSV に置き換え、データ転送遅延の短縮・メモリバンド幅の向上を図った研究が主に行われている。

一方で、さらに細く、短い TSV の実装、および高い精度での LSI のアライメントに関する研究が現在精力的にデバイス分野で進められていること、現在のテクノロジスケールリングの進化とスケールリングにのみ依存した性能向上が鈍化している現状を考慮すると、将来の 3 次元 LSI 積層型マイクロプロセッサ設計は、TSV を用いた粗粒度な設計だけでなく、更に細粒度な設計にも適用することが可能となると考えら得る。このように、次世代の 3 次元高性能マイクロプロセッサ設計においては、細粒度な演算回路設計レベルにおいても、適切に 3 次元積層技術を適用可能な設計技術が強く求められている。加えて、3 次元積層型 LSI 設計では、各 LSI レイヤを設計した後、それらを積層する必要があるため、論理設計と物理設計の性能見積りの差に起因する設計のターンアラウンドタイムを削減するためには、これまで以上に設計早期段階における設計指針も強く求められている。

2. 研究の目的

これまで、研究代表者は、細粒度な 3 次元積層設計によって演算回路の遅延時間、消費電力を削減できる事を示している。しかし、これらは TSV の小さな RC 遅延による効果ではなく、3 次元積層のための回路分割により、各 LSI 層の配線を最適化し、長配線数が削減され、総配線数が減少する事によるものであることを明らかにしている。つまり、将来の非常に小さな RC 遅延を有する TSV が実現されれば、これらを用いた細粒度 3 次元積層によって更なる演算回路の性能向上が期待できるといえる。そこで、本申請課題ではこれらの研究を発展させることで、3 次元積層型高性能・低消費電力算術演算回路の設計手法の基礎を構築することを目的とする。

3. 研究の方法

本研究の目的を達成するために、以下のサブテーマを設定し研究を遂行する。

- (a) TSV 実装技術の調査と TSV の電気特性解析・モデル化
- (b) 3 次元積層のための回路分割手法の確立
- (c) 細粒度 3 次元 LSI 積層技術を用いた算術演算回路の設計指針の検討

平成 22 年は(a)の TSV の解析・モデル化、および、(b)3 次元積層の回路分割手法の開発に取り組み、本研究の基礎となる要素技術の検討、基本算術演算回路の設計を行う。平成 23 年度は、(c) 細粒度 3 次元 LSI 積層技術を用いた算術演算回路の設計指針の検討を行う。前年度に得られた知見に基づき、2 次元設計と 3 次元設計の性能・電力・コスト解析に取り組む。この際、様々な積層段数、TSV の数、CMOS テクノロジを用いた設計・評価を行い 3 次元積層に適した算術アルゴリズムの検討を行う。最終的には是により得られた知見を応用し、3 次元積層型倍精度浮動小数点演算回路を設計し、評価を行うことで本研究の目的を達成する。

23 年度は、22 年度までに得られた演算回路の分割手法と、モデル化した TSV を用いた 3 次元積層型算術演算回路設計に取り組む。回路設計には東京大学大規模集積システム設計教育研究センター (VDEC) により提供される CAD ツール群と申請した設計用計算資源を用いる。初期設計は 0.18 μ m CMOS テクノロジのセルライブラリと PTM、および ITRS ロードマップより得られた遅延モデルを用いておこなう。

TSV を用いた評価には、22 年度に作成したモデルを用いる。TSV と各層を接続するためのマイクロバンプに関しては、東北大学小柳光正教授の助言に基づき適切なモデル化を行い、それに対応するマイクロバンプセルを用意することで、論理合成、配置配線を行う。具体的には、様々な回路分割手法を適用し、多種多様な加算回路、乗算回路を設計する。また、(c-2)で行う解析結果に基づき倍精度浮動小数点加算回路、乗算回路設計、3 次元化を試みる。これらの演算回路は基本的に前述の整数算術演算回路から構成されているため、これまでの設計で活用できる回路を活用しつつ設計の効率化を試みる。浮動小数点演算回路設計においては、機能ブロック間を積層するなど、性能・電力を最適化する新たな 3 次元積層手法の検討も併せて行う。

また、演算回路だけでなく、3 次元積層型メモリを搭載するマイクロプロセッサのアーキテクチャ設計にも取り組み、広く 3 次元積層技術の有効性を確認し、これらの技術をもちいたプロセッサの設計空間を明らかにすることを試みる。

4. 研究成果

本研究では、はじめに TSV のモデル化・基本性能解析に取り組んだ。ITRS ロードマップに基づき、表 1 に示すパラメータの TSV を想定し、長さ 50 μ m の TSV の遅延時間を SPICE シミュレータにより評価した。その結果を図 1 に示す。図 1 では、各 TSV と等価な遅延時間を有する各半導体加工技術にお

ける2次元配線グローバル配線長を表している。この結果より、TSVが2次元配線と比較し、極めて短い遅延時間を有することを確認することができた。また、積極的に2次元配線をTSVに置き換えることで演算回路の性能向上を得られる可能性があることが確認できた。また、2次元配線の加工技術のTSVの直径の組み合わせにより3次元積層により、得られる効果が大きく異なることがわかった。

表1. TSVのパラメータ

Diameter (μm)	Length (μm)	Resistance (mΩ)	Capacitance (fF)
8	50	17	94
4	50	68	50
2	50	274	27
1	50	1095	16
0.5	50	4380	10

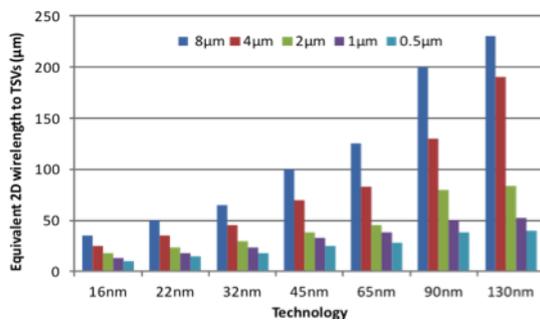


図1. 2次元配線 vs. TSVs.

次に浮動小数点演算回路のための回路分割手法を提案し、その評価を行った。対象としたのは、倍精度浮動小数点加算回路と乗算回路である。プロセッサの設計において、設計初期段階における論理設計と物理設計における遅延評価の精度は著しくことなり、これにより論理設計・物理設計間のフィードバックが生じ、設計のターンアラウンドタイムを大きくしている。特に3次元設計では従来の2次元技術による各層の設計に加え、積層するフェーズがあるため状況はさらに深刻になることが予想される。このため、本研究では3次元設計におけるこれらのオーバーヘッドを軽減すべく、設計の初期段階に適用可能な回路の分割方法の検討を行った。

図2.1は、論理深度毎に回路を分割する(logic depth partitioning)、図2.2は入力信号をビットスライスで分割する(Bit-Slicing partitioning)である。これら2手法を用いて、倍精度の浮動小数点演算回路を設計した結果、演算回路のクリティカルパス上にTSVが数多く挿入されると遅延時間の減少率が低くなることが確認された。また、これらの双方の手法とも、挿入されるTSVの本数が多く、3次元積層による面積のオーバーヘッドが増加することも確認された。

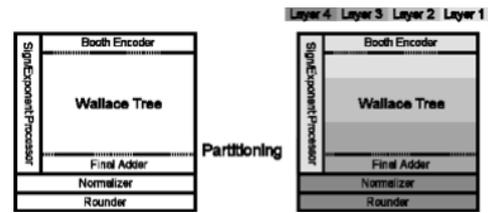


図2.1 The Logic-Level partitioning.

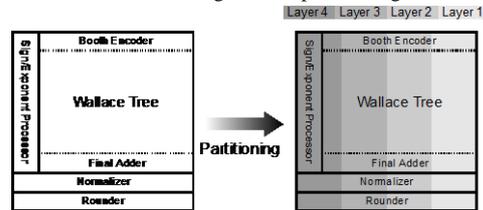


図2.2 The Bit-Slicing partitioning.

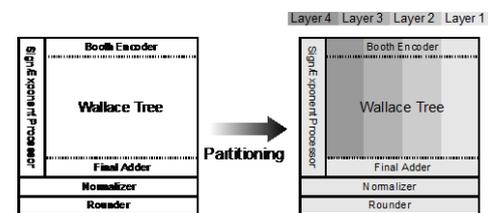


図2.3 The Middle-Grain partitioning.

これらの結果を受けて、本研究では、図2.3に示すように、クリティカルパス上に極力TSVを挿入しないMiddle-Grain partitioningを提案した。TSVをクリティカルパスに挿入しないように、クリティカルパスを一つの層に配置し、回路を分割することで、回路分割による総配線長短縮と、長配線をTSVに置き換えることで遅延時間が短縮する双方の効果を享受することが可能となる。図3にこの回路分割手法に基づいて設計した倍精度浮動小数点演算回路の遅延時間を示す。倍精度の浮動小数点回路を2層、4層、8層に積層する設計を施した。また、TSVの直径が性能に与える影響を確認するために2種類のTSVを用いた評価を行った。設計には180nmのCMOSセルライブラリとVDECにより提供されているCADツールを用いた。この評価に用いたTSVのパラメータを表2に示す。

表2 設計に用いたTSVパラメータ。

	Resistance[mΩ]	Capacitance [fF]
TSV1	27	20
TSV2	7	38

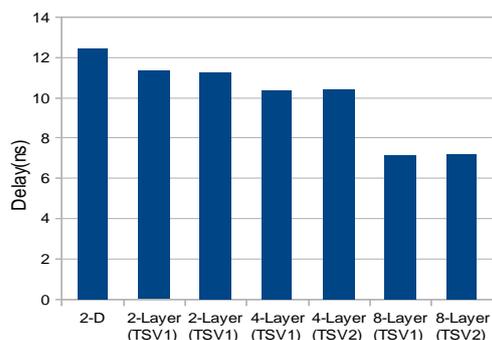


図 3. 倍精度浮動小数点乗算回路の遅延時間

図 3 より、提案する回路分割手法により、最大で 42%削減することを確認できた。また、遅延時間短縮にエネルギー削減が可能であることも確認できた。これにより、提案する回路分割手法により、高速且つ低消費電力な 3次元積層型浮動小数点演算回路を実現できることを示した。

また、本研究では、これらの研究を進展させ、3次元積層型のベクトルプロセッサとオンチップメモリ機構を提案・評価や、既存の CAD ツールを用いた 3次元積層 LSI 設計手法の検討などにも取り組み、これらの有効性を以下に挙げた業績において明らかにしている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

1. Ryusuke Egawa, Yusuke Funaya, Ryu-ichi Nagaoka, Yusuke Endo, Akihiro Musa, Hiroyuki Takizawa and Hiroaki Kobayashi, "Effects of 3-D Stacked Vector Cache on Energy Consumption," in proceedings of IEEE 3DIC 2012, pp. 1-6, CDROM, Feb. 2 2012. (査読有り)
2. Jubee Tada, Ryusuke Egawa, Kazushige Kawai, Hiroaki Kobayashi and Gensuke Goto, "A Middle-Grain Circuit Partitioning Strategy for 3-D Integrated Floating-Point Multipliers," proceedings of IEEE 3DIC 2012, pp.1 - 6 (CDROM), 2 Feb.2012. (査読有り)
3. Ryusuke Egawa, Yusuke Funaya, Ryuichi Nagaoka, Akihiro Musa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Design and Early Evaluation of 3-D Die Stacked Chip Multi-Vector Processors," in proceedings of IEEE 3D System Integration Conference 2010, pp.1-8, CD-ROM (October 2010). (査読有り)

4. Yusuke Funaya, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Cache Partitioning Strategies for 3-D Stacked Vector Processors," in proceedings of IEEE 3D System Integration Conference 2010, pp.1-6, CD-ROM (October 2010). (査読有り)

[学会発表] (計 6 件)

1. Ryusuke Egawa, Yusuke Endo, Jubee Tada, Hiroyuki Takizawa, Gensuke Goto, and Hiroaki Kobayashi, "Designing a 3D stacked Vector Cache," DATE 2012 Workshop on 3D Integration - Application, Technology, Architecture, Automation and Tests, Dresden Germany, Mar.16 2012.
2. 千葉雄太, 遠藤裕亮, 船矢祐介, 江川隆輔, 滝沢寛之, 小林広明, "3次元積層技術を用いた倍精度浮動小数点加算回路設計に関する一考察," 情報処理学会東北支部研究報告会, 仙台, 2012年3月2日.
3. 河井一茂, 多田十兵衛, 江川隆輔, 小林広明, 後藤源助, "3次元積層型浮動小数点器の回路分割手法に関する研究," システム LSI 設計技術研究会, 2011年11月29日 宮崎
4. Ryusuke Egawa, Yusuke Funaya, Ryuichi Nagaoka, Akihiro Musa, Hiroyuki Takizawa, and Hiroaki Kobayashi, "Effects of 3-D Stacked Vector Cache on Energy Consumption," Facing the multicore challenge II, Karlsruhe Germany, Sep. 29 2011.
5. 坂井一仁, 多田十兵衛, 江川隆輔, 小林広明, 後藤源助, "3次元積層型乗算器の回路分割手法に関する研究," ICD 集積回路研究会 2010年12月17日東京
6. 多田十兵衛, 江川隆輔, 坂井一仁, 小林広明, 後藤源助, "3次元積層技術を用いた乗算回路設計に関する研究," 再生可能集積システム時限研究会, 2010年10月15日 東京

6. 研究組織

(1) 研究代表者

江川 隆輔 (EGAWA RYUSUKE)

東北大学・サイバーサイエンスセンター・助教

研究者番号 : 80374990