

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 2 4 年 5 月 2 5 日現在

機関番号：3 4 3 1 5

研究種目：若手研究（B）

研究期間：2010～2011

課題番号：2 2 7 0 0 0 5 0

研究課題名（和文） F P G A 向け動作合成技術

研究課題名（英文） Behavioral Synthesis Technology for FPGAs

研究代表者

富山 宏之（TOMIYAMA HIROYUKI）

立命館大学・理工学部・教授

研究者番号：80362292

研究成果の概要（和文）：

書換え可能な半導体デバイスである FPGA を対象として、C 言語により書かれた逐次プログラムからレジスタ転送レベルの回路を自動生成する動作合成技術について研究した。FPGA はマルチプレクサの遅延が相対的に大きいため、クリティカルパス上のマルチプレクサの段数を抑制する動作合成手法を開発した。本手法は、レジスタと演算器のアロケーションとバインディングを同時に行う。従来手法と比較して 10% 程度の高速化を達成した。

研究成果の概要（英文）：

We have developed behavioral synthesis technologies for Field-Programmable Gate Arrays (FPGAs). Our work minimizes the delay of multiplexers on critical paths through optimal allocation and binding of registers and functional resources. We have achieved approximately 10% performance improvement against a state-of-the-art technique.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2 0 1 0 年度	1,500,000	450,000	1,950,000
2 0 1 1 年度	1,300,000	390,000	1,690,000
年度			
年度			
年度			
総 計	2,800,000	840,000	3,640,000

研究分野：VLSI 設計自動化

科研費の分科・細目：情報学、計算機システム・ネットワーク

キーワード：動作合成、設計自動化、F P G A、システムオンチップ

1. 研究開始当初の背景

書換え可能な半導体デバイスである FPGA は、専用 LSI を設計する際のプロトタイプとしてだけでなく、最終製品に搭載される電子部品として用いられるようになってきており、その用途は年々広がっている。FPGA は少量多品種の電子情報機器に適しており、それ故、FPGA 向けの回路設計においては動作合成が有効である。動作合成とは、

C 言語などにより書かれた逐次プログラムから回路を自動生成する技術であり、従来の HDL を用いた設計と比較して、設計期間を大幅に短縮することができる。FPGA の場合、加算器などの演算器と比較して、マルチプレクサや配線の遅延と面積が相対的に大きい。大規模な C プログラムから FPGA 用の回路を合成する場合、マルチプレクサと配線の遅延は、演算器の遅延の 4 倍以上にもなること

がある。

過去の研究の多くは、演算器とレジスタのバインディングを最適化することによりマルチプレクサの遅延の抑制を試みている。ここで、バインディングとは入力プログラム中の演算や変数をハードウェア資源（演算器やレジスタ）に割り付ける作業である。しかし、アロケーションはバインディングの前に決定済みであることを想定している。ここで、アロケーションとは使用する資源の数を決定する作業である。つまり過去の研究は、演算器やレジスタはコストが高く、それらの資源の数は最小化すべきである（あるいは、増やすべきでない）との前提に立っている。

2. 研究の目的

クリティカルパス上のマルチプレクサの遅延（段数）を削減する手法を開発する。提案手法は、既存手法と異なり、アロケーションとバインディングを同時に最適化する。これにより、演算器やレジスタの数を積極的に増やす（つまり、共有しない）ことが可能となり、既存手法よりも大きな効果が得られる。また、資源を共有しないことにより、接続される資源を物理的に近隣に配置することが可能となり、配線遅延も短縮されるという副次的な効果も得られる。FPGA はマルチプレクサや配線のコストが高いという特性があるため、演算器やレジスタが増加しても、それによってマルチプレクサと配線が削減されれば、回路全体の面積が大幅に増えることはない。当然ながら、本研究でも無制限に資源の数を増やすことはしない。クリティカルパス上に存在しない資源や、非常にコストが大きな資源については、性能が低下しない範囲で（あるいは、コストが範囲内に納まるように）共有を行う。

3. 研究の方法

本研究は以下の方法で実施した。

(1) クリティカルパスを最小化するアロケーションとバインディングの問題を形式的に定義する。

(2) 実用的な時間内で上記(1)の厳密解を求めるのは不可能であると予想されるので、近似解を効率的に求めるアルゴリズムを開発する。本研究では以下の2つのアルゴリズムを開発した。

整数線形計画法ベースのヒューリスティック・アルゴリズム

選択的資源共有ノリタイミング・アルゴリズム

(3) 上記(2)のアルゴリズムを実装し、C プログラムから高性能な FPGA 用のレジスタ転送レベル (RTL) 回路を自動生成する動作合成フローを構築する。

(4) 当初の研究提案書には記載していなか

ったが、研究を実施する過程で派生した研究課題を実施する。具体的には、以下の2つの課題を実施した。

最近の FPGA が有する部分的動的再構成機能を効率よく活用する設計技術も開発する。

最近開発された Partially Programmable Circuit (PPC) と呼ばれる回路を対象とし、製造歩留まりを改善する動作合成技術を開発する。

4. 研究成果

(1) クリティカルパスを最小化するアロケーションとバインディングの問題を形式的に定義した。より正確には、クリティカルパス遅延を制約条件として与え、その制約下で、データパスの面積が最小となるようなアロケーションとバインディングを行う。紙面の都合上、形式的定義の記載は省略するが、整数線形計画問題として定義した。

(2) 上記(1)で定義した整数線形計画問題を実用規模の回路設計に適用し、商用の数値計画ソルバで最適解を求めることを試みたが、メモリ不足で求解に失敗するか、あるいは、実用的な時間内で解を得ることができなかった。そこで、上記(1)で定義した問題の解を高速に求めるヒューリスティック・アルゴリズムを2種類開発した。両アルゴリズムとも、真の最適解を得ることは保証しないが、準最適解を実用的な時間で求めることができる。

整数線形計画法ベースのヒューリスティック・アルゴリズム。入力であるデータフローグラフ (DFG) を分割し、分割されたサブグラフに対し、整数線形計画法を適用する。分割するサイズはユーザ（設計者）が指定する。開発したアルゴリズムを図1に示す。詳細は「5. 手法な発表論文等」の学会発表を見て頂きたい。このアルゴリズムにおいて、分割するサイズを大きくすれば、求解の時間は長くなるが、良い解が得られる。逆に、分割するサイズを小さくすると、求解の時間は短くなるが、解の質は悪化する。分割するサイズをユーザが調節することにより、求解の時間と解の質のトレードオフを取ることが可能である。

選択的資源共有ノリタイミング・アルゴリズム。先述の整数線形計画法ベースのヒューリスティック・アルゴリズムより、アドホックな方法である。まず、レジスタは極力共有しない。これにより、レジスタの数は増えるが、レジスタの直前に挿入されるマルチプレクサを最小化することができる。面積の小さな演算器も共有しない。面積の大きな演算器（例えば乗算器）のみを共有する。しかし、この場合、面積の大きな演算器の直前にマルチプレクサが必要となり、また、面積の大きな演算器は遅延も長い傾向にあるため、クリ

ティカルパスが長くなる恐れがある。そこで、面積の大きな演算器の直前に挿入されたマルチプレクサに対してリタイミングを適用する。開発したアルゴリズムを図 2 に示す。詳細は「5. 手法な発表論文等」の学会発表を見て頂きたい。

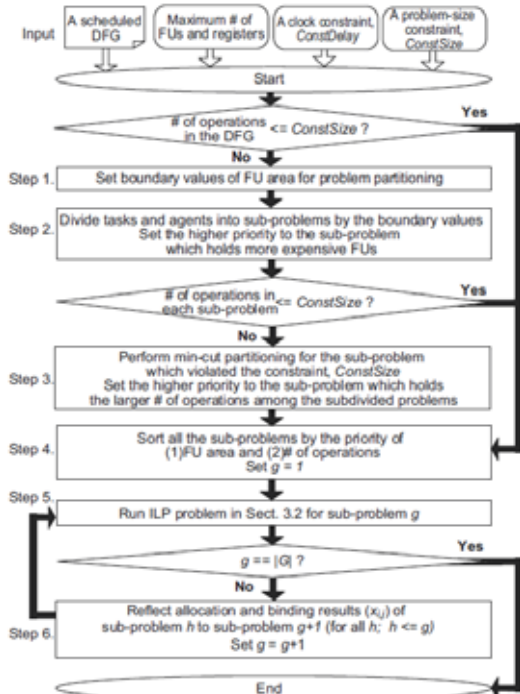


図 1. 整数線形計画法ベースのヒューリスティック・アルゴリズム

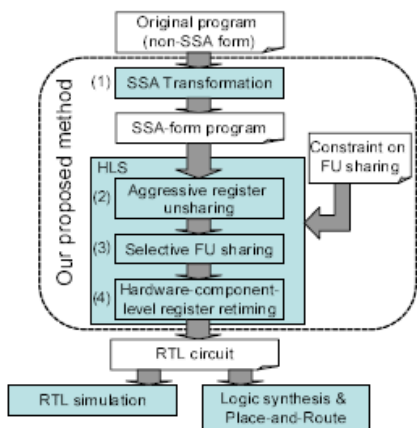


図 2. 選択的資源共有 / リタイミング・アルゴリズム

(3) 上記(2)のアルゴリズムを実装し、C プログラムから高性能な FPGA 用のレジスタ転送レベル (RTL) 回路を自動生成する動作合成フローを構築した。まず、C プログラムに対して、COINS という C コンパイラを用いて静的単一代入 (SSA) という形式に変換し、SSA 形式の C プログラムに変換する。これにより、レジスタの非共有を効果的に行うこと

ができる。次に、商用の動作合成を用いて、スケジューリングを行い、Verilog による RTL コードを生成する。その際、演算は全て非共有にする。つまり、実質的に、アロケーションとバインディングは行わない。その後、開発したアルゴリズムにより、アロケーションとバインディングを行い、Verilog による RTL コードを生成する。開発した動作合成フローの評価実験を行った結果を図 3 に示す。表 3 において、Ours は本研究で開発した整数線形計画法ベースのヒューリスティック・アルゴリズムであり、Cong 2008 は既存手法である。なお、遅延制約は 11 ナノ秒と想定している。従来手法と比較して、回路面積は大きくなっているものの、クリティカルパス遅延が 10% 程度改善している。従来手法では、6 つのベンチマークプログラムのうち、5 つでタイミング違反が生じている。一方、提案手法はすべての場合でタイミング制約を満足している。これらの成果は、4 編の国際会議論文として発表した (採択済みで発表予定の論文を含む)。

Designs	Methods	Estimation		
		Area(LUTs)	Delay(ns)	ConstDelay?
FFT	Ours	2,195	9.938	○
	Cong 2008	1,233	12.270	×
IDCT3	Ours	1,732	10.143	○
	Cong 2008	1,764	10.143	○
IIR Biquad	Ours	2,195	10.095	○
	Cong 2008	1,698	11.261	×
Yuv ToRgb	Ours	2,809	10.646	○
	Cong 2008	2,376	11.812	×
HAL	Ours	3,658	10.007	○
	Cong 2008	2,728	11.173	×
FIR2DIM	Ours	4,341	10.697	○
	Cong 2008	3,812	11.863	×

表 4. 整数線形計画法ベースのヒューリスティック・アルゴリズム実験結果 (遅延制約 11ns)

(4) 当初の研究提案書には記載していなかったが、研究を実施する過程で派生した研究課題を実施した。具体的には、以下の 2 つの課題を実施した。

最近の FPGA は回路を部分的に、かつ、動作させながら再構成機能 (部分的動的再構成) を有している。部分的動的再構成機能を効率よく活用する設計技術も開発した。リアルタイム性が要求されるシステムにおいては、現在実行中の処理 (タスク) よりも優先度が高いタスクが到着した場合、現在実行中のタスクを中断し、到着した高優先度のタスクを実行するプリエンプションを行う必要がある。本研究では、FPGA 上でプリエンプションを高速に行うハードウェア機構、その設計手法、および、そのハードウェアを制御するリアルタイム OS を開発した。開発した一連のマルチタスキング技術の全体像を図 4 に示す。本研究の成果は、2 編のジャーナル論文 (印刷中を含む) と 3 編の国際会議論文として公表した。本分野で最も権威ある論文

誌の一つである IEEE Embedded Systems Letters に採録決定されたことは特筆すべきである。

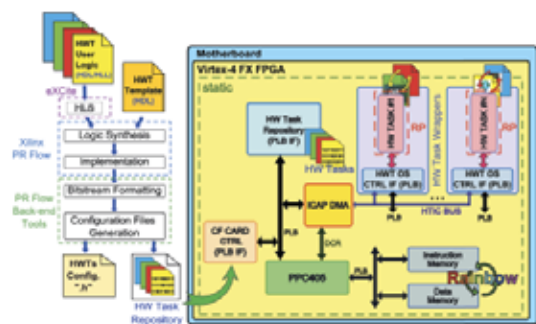


図 4. 開発したマルチタスキング技術の全体像

2010 年頃、立命館大学の山下らの研究グループが、Partially Programmable Circuit (PPC) と呼ばれる新しい回路を開発した。PPC は、従来の布線論理回路に対して、製造後にプログラム可能なルックアップテーブル (LUT) と冗長な配線を追加している。製造故障が生じると、LUT の値を書き換えることにより、その故障を修正することができ、つまり、製造歩留まりが改善される。本研究では、PPC 技術により設計された演算器を効率的に活用する動作合成技術を開発した。実験の結果、製造歩留まりを 3 ~ 6% 程度改善できることを示した。本研究の成果は 1 編の国際会議論文として公表した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

著者名: K.Jozwik、H.Tomiyama、M.Edahiro、S.Honda、H.Takada、論文表題: Comparison of Preemption Schemes for Partially Reconfigurable FPGAs、雑誌名: IEEE Embedded Systems Letters、査読: 有、印刷中 (発行年、ページ番号未定)

著者名: K.Jozwik、H.Tomiyama、S.Honda、H.Takada、論文表題: A Novel Framework for Effective Preemptive Hardware Multitasking on FPGAs、雑誌名: IEICE Transactions on Information and Systems、査読: 有、巻: E95-D、発行年: 2012、ページ: 345-353

[学会発表](計 11 件)

発表者名: Y.Hara-Azumi、発表表題: Selective Resource Sharing with RT-Level Retiming for Clock Enhancement in High-Level Synthesis、

学会名等: International Conference on Embedded Software and Systems、発表年月日: 2012 年 6 月 25 ~ 27 日、発表場所: リバプール (イギリス)

発表者名: Y.Hara-Azumi、発表表題: High-Level Synthesis Using Partially-Programmable Resources for Yield Improvement、学会名等: Workshop on Synthesis and System Integration of Mixed Information Technologies、発表年月日: 2012 年 3 月 9 日、発表場所: 別府国際コンベンションセンター (大分県)

発表者名: Y.Hara-Azumi、発表表題: Clock-Constrained Simultaneous Allocation and Binding for Multiplexer Optimization in High-Level Synthesis、学会名等: Asia and South Pacific Design Automation Conference、発表年月日: 2012 年 2 月 1 日、発表場所: シドニー (オーストラリア)

発表者名: K.Jozwik、発表表題: Rainbow: An OS Extension for Hardware Multitasking on Dynamically Partially Reconfigurable FPGAs、学会名等: International Conference on ReConfigurable Computing and FPGAs、発表年月日: 2011 年 11 月 30 日、発表場所: カンクーン (メキシコ)

発表者名: K.Jozwik、発表表題: Hardware Multitasking in Dynamically Partially Reconfigurable FPGA-based Embedded Systems、学会名等: International SoC Design Conference、発表年月日: 2011 年 11 月 18 日、発表場所: 済州島 (韓国)

発表者名: Y.Hara-Azumi、発表表題: Towards Practical High-Level Synthesis From Large Behavioral Descriptions、学会名等: International SoC Design Conference、発表年月日: 2010 年 11 月 22 日、発表場所: インチョン (韓国)

発表者名: Y.Hara-Azumi、発表表題: Aggressive Register Unsharing with Selective FU Sharing in High-Level Synthesis、学会名等: Workshop on Synthesis and System Integration of Mixed Information Technologies、発表年月日: 2010 年 10 月 18 日、発表場所: 台北 (台湾)

発表者名: K.Jozwik、発表表題: A Novel Mechanism for Effective Hardware Task Preemption in Dynamically Reconfigurable Systems、学会名等: International Conference on Field Programmable Logic and Applications、

発表年月日:2010年9月1日、発表場所:
ミラノ(イタリア)

〔その他〕

ホームページ等

<http://research-db.ritsumei.ac.jp/Profiles/81/0008041/profile.html>

<http://www-ja.tomiya-lab.org/publications>

6. 研究組織

(1) 研究代表者

富山 宏之 (TOMIYAMA HIROYUKI)

立命館大学・理工学部・教授

研究者番号: 80362292