

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 12 日現在

機関番号：17104

研究種目：若手研究(B)

研究期間：2010～2012

課題番号：22700055

研究課題名（和文）メモリアクセスを伴ったCプログラムの自動ハードウェア化に関する研究

研究課題名（英文）Research for high-level synthesis from C to hardware with memory access

研究代表者

山脇 彰 (YAMAWAKI AKIRA)

九州工業大学・工学研究院・助教

研究者番号：10325574

研究成果の概要（和文）：ハードウェアの開発負荷を削減するために、Cプログラムをハードウェアに自動変換する技術が研究開発されている。ただし、従来技術はデータ処理ハードウェアの自動生成が目的であり、Cの概念的にも重要で、かつ、性能にも大きな影響を与えるメモリデータへのアクセスはあまり注目されていない。本研究では、既存の高位合成ツールにおいて、メモリアクセスレイテンシを隠蔽できる効率的なハードウェアが確実に生成される手法を確立し、ハードウェア規模や性能に与える影響、および、設計負荷の削減効果を明らかにした。

研究成果の概要（英文）：High-level synthesis technologies that convert C program to hardware module have been researched and developed in order to reduce hardware design burden. However, the conventional HLS technologies have concentrated on generating an efficient data processing hardware but not the data memory access. This research establishes a generic method to generate the hardware module exactly that can hide the memory access latency on several HLS tools. The experimental results show that our method can reduce the design burden and does not affect the hardware size, while improving the performance by the memory latency hiding.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	1,000,000	300,000	1,300,000
2011年度	500,000	150,000	650,000
2012年度	900,000	270,000	1,170,000
年度	0	0	0
年度	0	0	0
総計	2,400,000	720,000	3,120,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI 設計技術

1. 研究開始当初の背景

システムオンチップ (SOC) において、設計負荷の高い処理をハードウェア化し、高性能化と省電力化を実現することは一般的である。ただし、処理が大規模化、かつ、複雑化するにつれて、そのようなハードウェアの開発に要する負荷も増大している。

ハードウェアの開発負荷を削減するために、Cプログラムの自動ハードウェア化（高位合成）が従来から研究開発されている。しかしながら、それらの研究はデータ処理のみ着目しており、データの入出力であるメモリアクセスはあまり考慮されていない。例えば、メモリデータに関しては、特定のメモリ

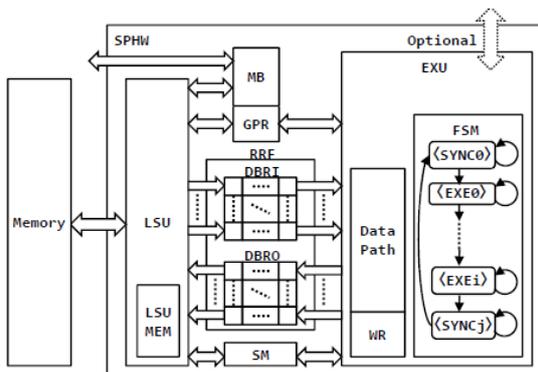


図1 ハードウェアフレームワーク

アクセスパターンが前提であり、それ以外のパターンを示す応用には適応できない。また、メモリアクセス時間の隠蔽（データプリフェッチ）が暗黙的には不可能であり、実施するには高位合成ツールの特性と適用デバイスを熟知したうえで、きめ細かくメモリアクセス回路を記述する必要がある。これには、設計の抽象度を高めたにもかかわらず、メモリアクセス回路をカスタムで設計することと同程度の手間がかかるという矛盾が生じる。

C の概念からいえば、変数や配列は広大な線形メモリにおかれる。そして、データ処理のみを高速化しても、メモリアクセスを高性能化しなければ、ハードウェアの高速性を最大限引き出せない。高位合成技術にとって、処理ごとに最適なメモリアクセス回路を自動生成することは、Cプログラムの概念的にも性能的にも重要である。

2. 研究の目的

本研究では、メモリアクセスとデータ処理をオーバーラップさせることによってメモリアクセスレイテンシを隠蔽できるデータプリフェッチ機構を持ったハードウェアが、Cプログラムから自動的に生成できる高位合成技術の開発を目指す。そのために、既存の高位合成ツールにおいて、メモリアクセスレイテンシを隠蔽できる効率的なハードウェアが確実に生成される手法を確立し、ハードウェア規模や性能に与える影響、および、設計負荷の削減効果を明らかにする。

3. 研究の方法

手法の確立にあたって、以下の2つのアプローチをとった。

(1) 従来から我々が提案してきたメモリアクセスとデータ処理をバンク化リングレジスタで分離したハードウェアフレームワーク（図1）と高位合成ツールを組み合わせる。

(2) 高位合成ツールの設計入力において所望のハードウェアが確かに生成される統一的

な記述法を確立する。

そして、提案法の優位性を、設計負荷やハードウェア規模、および、性能の観点から示す。

4. 研究成果

(1) 上記(1)に関しては、我々の提案してきたハードウェアフレームワークと高位合成ツール Handel-C とを組み合わせた記述実験を行った。

Handel-C はハードウェアの自動生成を考慮してそれに適した体系をもったCライク言語である。実験の過程において、まずは、Handel-C にハードウェアフレームワークを接続する方法を確立した。

その後、実際に色変換（RGB から YUV）のハードウェア化を記述実験として行った。その結果、処理の並列度、メモレイテンシの隠ぺいに関するハードウェアコスト、および、性能間のトレードオフが容易に実施できることを示した。

さらに、メモリアクセス回路を含めた全ハードウェアを Handel-C で記述・生成した場合と、ハードウェアフレームワークを介してハードウェアを生成した場合とを比較した。その結果、設計負荷が大幅に削減され（図2）、かつ、同規模の回路が生成された（図3）。また、動作周波数に大きな影響を与えないことも分かった（図4）。そして、両者の性能を比較した結果、提案法はメモリアクセスレイテンシの隠蔽によって大幅な性能向上を達成できた（図5）。

つまり、Handel-C とハードウェアフレームワークの組み合わせは、無駄なハードウェア量の増加にはつながらず、かつ、メモリアクセスを伴ったCプログラムのハードウェア化に設計負荷と性能向上の点から貢献することがわかった。

ただし、ハードウェアフレームワークを介した場合、C レベルでのシミュレーションが

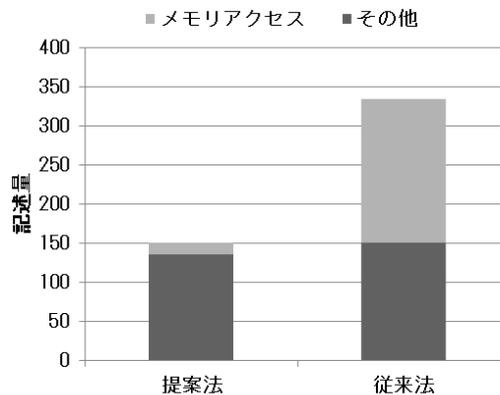


図2 記述量の削減効果

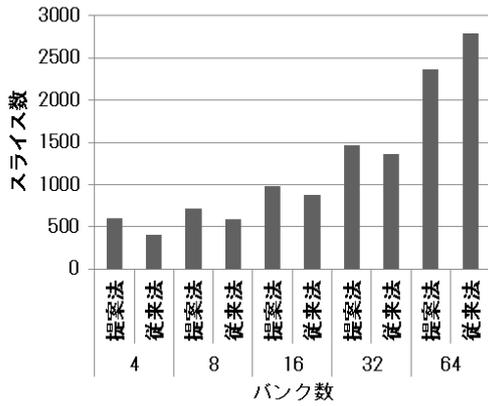


図3 FPGAにおけるハードウェア規模

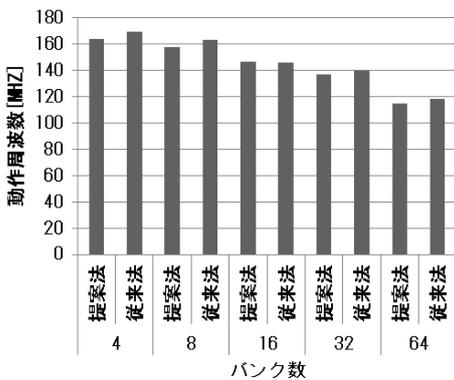


図4 FPGAにおける動作周波数

実行不可能なことから、検証時間に関して不利であった。また、高位合成側のツールとハードウェアフレームワークへマッピングした後のツールが分離しており、その間にエラーが入り易かった。

(2) 以上の結果を踏まえて、既存の高位合成ツールにおける一貫した開発フローにおいて、メモリアクセスの隠蔽機能を持ったデータ処理ハードウェアが統一的に実現できる記述法を検討した。つまり、高位合成ツールに対しては単一の設計入力(Cプログラム)であり、かつ、メモリアクセスレイテンシを隠蔽しながらデータ処理が滞りなく実施されるハードウェアが確実に生成される記述法を開発した。

従来において、各高位合成ツールは上記のようなハードウェアが生成される記述法は明確に示されておらず、設計者に一任されていた。つまり、我々が初めて統一的な記述法を提示した。

記述法に関して、まずは、ハードウェアを記述する際にマッピングする高位合成ツールに適した汎用的なハードウェアフレームワークを新たに策定した(図6)。ハードウェアフレームワークは、メモリアクセス部とデ

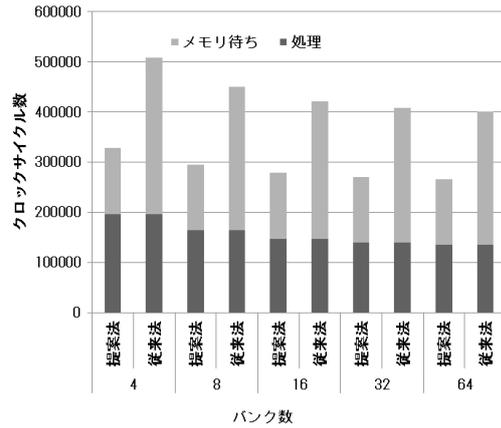


図5 性能評価

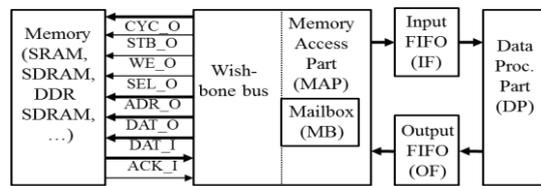


図6 高位合成向けハードウェアフレームワーク

ータ処理部との間が FIFO で分離された一般的な構成であり、ハードウェア設計者の概念的にも高位合成ツールとの親和性にも富んでいる。

上記フレームワーク上で、ストリーム処理を想定した記述実験の結果、汎用プロセッサにおけるメモリアクセスレイテンシの隠蔽方法であるソフトウェアパイプラインニングによるデータプリフェッチが容易に適用可能であることがわかった(図7)。

実験で用いた高位合成ツールは、Handel-Cと Vivado HLS である。前者はCライク言語であり、ハードウェアの生成に適した特殊な言語体系をもっている。また、後者はANSI-Cに準拠した完全にソフトウェアなCプログラムを入力とする。つまり、異なった特徴を持った高位合成ツールをまたがって統一的な記述法が提示でき、提案の記述法は高位合成の分野で広く適用できることを示した。

さらに、同一の高位合成ツールにおいて、メモリアクセスを含めてすべて同一の高位合成ツールで記述できたことから、Cレベルの高速なシミュレーションも実施できるようになった。

また、3x3 の画像フィルタへの適用実験を通して、提案の記述法によるコードの再構成は、ハードウェア規模を増加させるが、それは性能向上に見合ったものであった(表1)。つまり、提案記述法は無駄なハードウェアの増加にはつながらず、メモリアクセスレイテンシを隠蔽しながら、高い性能を達成できた。

```

1: void MAP (void){
2:   while(1){
3:     //Waiting for invocation.
4:     while(MB[0]==0) delay;
5:     par{
6:       MB[0]=0; //Reset start flag.
7:       MB[4]=0; //Reset end flag.
8:       read_addr =MB[1]; //Get read address.
9:       write_addr=MB[2]; //Get write address.
10:      end_addr =MB[3]; //Get end address.
11:     }
12:     while( read_addr < end_addr ){
14:       mem_load (&read_addr ); //Mem=>IF.
16:       mem_store(&write_addr); //OF =>Mem.
15:     }
16:     MB[4] = 1; //Set end flag.
17:   }
18:}

```



```

1: void MAP (void){
...
12: mem_load(&read_addr); //prologue
13: while( read_addr < end_addr ){ //kernel
14:   mem_load (&read_addr ); //Mem=>IF.
15:   mem_store(&write_addr); //OF =>Mem.
16: }
17: mem_store(&write_addr); //epilogue
18: MB[4] = 1; //Set end flag.
19: }
20:}

```

図7 ソフトウェアパイプラインニング

表1 提案記述法によるハードウェア規模の増加比と性能向上比

3x3画像フィルタへの適用実験における再構成前に対する再構成後のハードウェア増加量と性能向上比

Resolution	FIFO depth	LUTs	FFs	BRAMs	Average
QVGA	256	1.47	1.56	1.33	1.45
VGA	512	1.63	1.48	1.33	1.48
720P	1024	1.53	1.51	1.44	1.49
SXGA	1024	1.49	1.48	1.44	1.47
1080P	1024	1.49	1.48	1.44	1.47

5. 主な発表論文等

[雑誌論文] (計1件)

① Akira Yamawaki and Masahiko Iwane, High-level Synthesis Method Using Semi-programmable Hardware for C Program with Memory Access, Journal of Engineering Letters, 査読有, Vol. 19, Issue 1, 2011, pp. 50-56. http://www.engineeringletters.com/issues_v19/issue_1/EL_19_1_09.pdf

[学会発表] (計4件)

① Takayoshi Abe, Hiroyuki Tanabe and Akira Yamawaki, A Generic Verification Environment for Video Processing Hardware, The 1st International Conference on Industrial

Applications Engineering 2013, 2013年3月28日, 国際会議 (北九州, 日本)

② Akira Yamawaki and Seiichi Serikawa, A describing method of latency tolerant hardware for a pure ANSI-C/C++based high-level synthesis technology, The Eighteenth International Symposium on Artificial Life and Robotics 2013, 2013年1月30日, 国際会議 (大田, 韓国)

③ Akira Yamawaki and Seiichi Serikawa, A Generic Describing Method of Memory Latency Hiding in a High-level Synthesis Technology, Third International Conference on Advances in Computing, Control, and Telecommunication Technologies, 2011年12月14日, 国際会議 (ジャカルタ, インドネシア)

④ Akira Yamawaki, Seiichi Serikawa and Masahiko Iwane, Introducing Semi-programmable Hardware to a Real High-Level Synthesis Tool, The World Congress on Engineering and Computer Science, 2010年10月21日, 国際会議 (バークレー, 米国)

6. 研究組織

(1) 研究代表者

山脇 彰 (YAMAWAKI AKIRA)

九州工業大学・工学研究院・助教

研究者番号: 10325574