

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年3月31日現在

機関番号：17301

研究種目：若手研究（B）

研究期間：2010～2012

課題番号：22700056

研究課題名（和文）低消費電力を指向した動的なハードウェア再構成フレームワークの確立

研究課題名（英文）Establishment of low-power oriented dynamic hardware reconfiguration frameworks

研究代表者

柴田 裕一郎（SHIBATA YUICHIRO）

長崎大学・大学院工学研究科・准教授

研究者番号：10336183

研究成果の概要（和文）：リコンフィギャラブルシステムは動的かつ部分的なハードウェアの再構成機能を有するが、これを積極的にするための方法論は十分とはいえなかった。そこで本研究では、特にリアルタイム画像処理における種々のアプリケーション実装から設計の共通の枠組みを抽出し、これに動的部分再構成を応用する手法を提案し、システム電力性能比の向上を実験により示した。また、より柔軟に動的再構成を行うための新しいメカニズムや、自動的にハードウェア類似性を抽出し共通化する設計環境を提案し、その効果を実験で示した。

研究成果の概要（英文）：Although reconfigurable systems have ability to dynamically and partially reconfigure the hardware, methodology to aggressively utilize this ability was not well established. In this work, common design frameworks were extracted from various implementation experiences especially in real-time image processing applications, and how dynamic and partial reconfiguration can be applied to the frameworks was proposed and proven to be efficient in terms of power performance ratio. A novel mechanism for ever more flexible reconfiguration and a design tool that automatically extracts and combines similarities in hardware were also implemented and their effectiveness were empirically demonstrated.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	1,100,000	330,000	1,430,000
2011年度	1,100,000	330,000	1,430,000
2012年度	700,000	210,000	910,000
年度			
年度			
総計	2,900,000	870,000	3,770,000

研究分野：計算機アーキテクチャ，リコンフィギャラブルコンピューティング

科研費の分科・細目：情報学 計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム，再構成，FPGA

1. 研究開始当初の背景

(1) リコンフィギャラブルシステムは、FPGA（Field Programmable Gate Array）に代表される構成を自由に変更できるプロ

グラマブルデバイスを用いることにより、アルゴリズムを直接ハードウェア化して高速に実行するシステムである。研究開始当初より、バイオインフォマティクスなどの科学技

術シミュレーションから組み込み機器におけるマルチメディア信号処理までの広い分野での実用化が進み、電力効率の良いアクセラレーションシステムとして高い注目を集め続けている。

(2) リコンフィギャラブルシステムの大きな特徴はアプリケーション実行中にハードウェア構成の一部または全部を変更できる「動的部分再構成機能」を有することである。これは、いわば仮想記憶のようにハードウェアを仮想化することを可能にするメカニズムであり、消費電力削減の効果が見込まれると期待されている。

(3) しかしながら、動的部分再構成機能は、通常に入手できる商用の FPGA でも利用可能なものの、回路のどの部分をどのタイミングでどのように書き換えるかといったことを、すべてユーザが回路レベルでのタイミングを含めた設計する必要がある、アプリケーション設計上の大きな負担となっていた。このため、動的部分再構成機能はハードウェアアーキテクチャの深い知識を持たない一般ユーザにとって敷居が高く、アプリケーションへの応用が極めて限定的であるという問題があった。

2. 研究の目的

(1) これらの問題を解決するためには、低消費電力化の観点から動的部分再構成機能を活用可能なアプリケーション設計の枠組みに関する体系的な研究が必要である。そこでまず、様々なアプリケーションの実装経験を蓄積・整理し動的再構成機能の恩恵を十分に引き出すための共通的な設計手法の枠組みを抽出することを目的とした。

(2) 次に動的部分再構成を伴うアプリケーションの設計・開発者の負担を軽減するために、構造の類似したデータパスを共有化する自動最適化アルゴリズムなどを応用し、動的再構成設計支援環境を構築することを第2の目的とした。

(3) 第1項で整理した設計の枠組みに具体的に動的部分再構成を適用する手法を提案し、また、動的再構成技術が消費電力と性能に与える影響を測定できる実験環境を構築し、その有効性を定量的に明らかにすることを第3の目的とした。

(4) さらに、各種実験から得られた知見を元に、動的再構成アプリケーション設計の観点からリコンフィギャラブルアーキテクチャおよび動的再構成メカニズムが備える

べき特性を明らかにし、ハードウェア開発へのフィードバックを与えることを第4の目的と設定した。

3. 研究の方法

(1) 前述した第1の目的を達成するために、主にリアルタイム画像処理や楕円曲線暗号処理などを中心として、様々なアプリケーションの効果的な FPGA 実装形態を模索し、設計空間探索を行い、性能や電力効率などを評価した。

(2) 第2の目的のために、*k*-means 法を中心としたパターン認識によるクラスタリングアルゴリズムを用いてハードウェアの類似性によって分類し共通部分を選択する手法を構築し、ツールとして実装することでその効果を実験的に明らかにした。

(3) 第3の目的のために、実験用 FPGA ボードの電源ラインにシャント抵抗を挿入し、その電流を測定することで消費電力を評価できる実験環境を構築した。これを用いてアプリケーション実行時の電力を測定し、動的再構成による効果を実験的に明らかにした。

(4) 第4の目的のために、FPGA における様々なアプリケーション実装や動的再構成の実験を踏まえて、再構成のためのコンフィギュレーションデータをあらかじめ用意しておく必要性や、コンフィギュレーションデータを取得するためのツール走行時間の長さに着目し、より柔軟な再構成を実現するための自律的メカニズムを実装した。その効果についても構築した実験環境を用いて消費電力に与える影響などを評価した。

4. 研究成果

(1) 動的部分再構成に応用できる共通の設計枠組みの抽出を検討するために、特に FPGA において高効率なアクセラレーションが期待できるリアルタイム動画処理の分野を重点的に種々のアプリケーションの実装評価を行った。その実装経験の整理の中から、シフトレジスタと内部メモリによる FIFO から構成されるストリームウィンドウ処理の共通的な設計枠組みが、幅広いアプリケーションをカバーするとともに高い電力性能費を達成できることを明らかにした。

この設計枠組みは HOG (Histogram of Gradients) 特徴と AdaBoost を用いた動画からの人検出処理、Augmented Reality 処理で用いられる Fast Corner 特徴検出、分離度フィルタによる形状特徴検出処理、画像によ

る視線検出のための楕円推定処理, CHLAC (Cubic Higher Order Local Auto Correlation) 特徴を用いた動画像からの異常動作検出など, 多くのリアルタイム画像処理アプリケーションにおいて, CPU によるソフトウェア処理に比べて電力性能比を場合によっては2桁改善できることを示した. さらに, 同様の設計枠組みが, 電磁波伝搬シミュレーションなどの科学技術計算や, 二人零和有限確定完全情報ゲームの局面評価関数などの人工知能分野にも効果的に応用できることを明らかにした.

これらの成果は, 国際会議 FPL, 国際会議 FPT, 国際ワークショップ HEART, 国際シンポジウム JSST, 電子情報通信学会リコンフィギャラブルシステム研究会などで発表したほか, 電子情報通信学会英文論文誌への論文掲載も決定している.

(2) シフトレジスタと内部メモリによる FIFO から構成されるストリームウィンドウ処理の設計枠組みが, 多くのリアルタイム画像処理アプリケーションで有効であることが示されたことを受けて, 動的かつ部分的なハードウェア再構成メカニズムを分離度フィルタによる形状的特徴による動画像からの物体検出処理に応用したアーキテクチャを提案し実装した (図1).

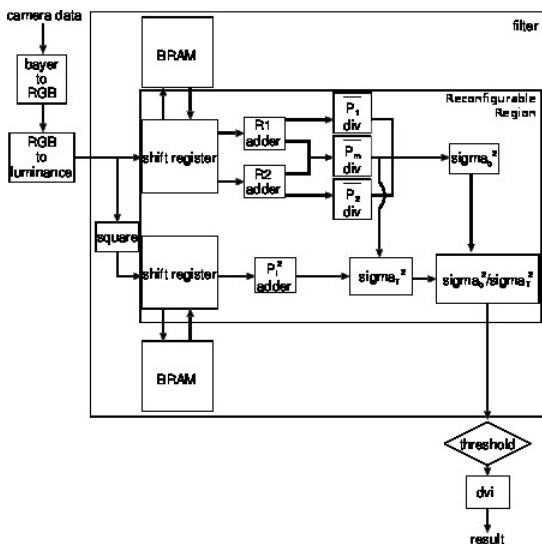


図 1 再構成可能画像フィルタの構成

また, 実験用 FPGA ボードの電源ラインにシャント抵抗を挿入し, 動的なハードウェア再構成が電力消費に与える影響について実測に基づく評価を行える環境を構築した. 異なる大きさの形状的特徴をとらえるには, 一般に大きさの異なる複数の特徴検出フィルタを並列に動作させることが多いが, このうち実際に検出処理を行うものは1つである

ため, フィルタを単位とした再構成が効果的であり, 動的再構成をサポートするために必要となる面積オーバーヘッドはフィルタあたり LUT 数で約 20%程度であることを示した.

次に複数のフィルタを並列動作させる通常の構成と, ハードウェアの動的再構成を行う提案システムを比較し, 動的再構成の導入により LUT やレジスタ, DSP ブロックなどの FPGA 資源使用量を 51%から 68%削減できることを示した. また, カメラデバイスなどを含むトータルの電力消費を測定し, 提案する動的再構成メカニズムの導入により 6.7%の電力削減が可能であることを明らかにするとともに, 動的再構成技術と動画像処理との親和性の高さを示した.

これらの成果は, 電子情報通信学会リコンフィギャラブルシステム研究会などで発表した.

(3) 一般的な FPGA の動的再構成メカニズムでは, 構成される可能性のあるすべてのハードウェア構成について, あらかじめ EDA ツールによりコンフィギュレーションデータを生成しておく必要があった. しかし, これは再構成するハードウェア構成を動的に決定することはできないという問題があり, 動的再構成機能のアプリケーション応用を限定的にする一因となっていた. そこで, FPGA 上に構成された回路が LUT を自律的に書き換えることのできる新たな細粒度動的再構成メカニズムを提案し (図2), 商用 FPGA 上に実装した.

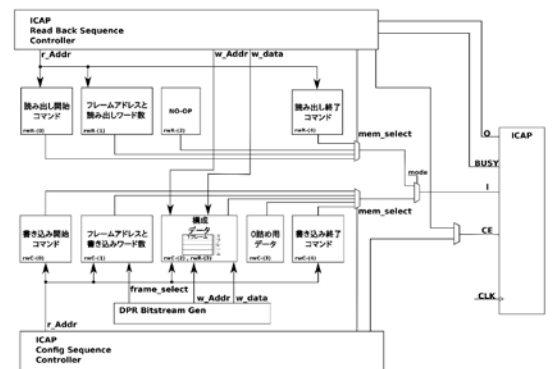


図 2 細粒度自律動的再構成機構

実験の結果, 実験に用いた FPGA がサポートする最大のコンフィギュレーションスループットである 3.2Gbps を達成することができ, 書き換える LUT 情報の生成から再構成までを2マイクロ秒から5マイクロ秒程度で可能であることを実測で確認した. 一方, 動的再構成の際に追加で必要となる電力もほとんどなく, 制御部のハードウェア量もチップ全体の資源量の 4%から 6%程度しか消費しないことが分かった (図3).

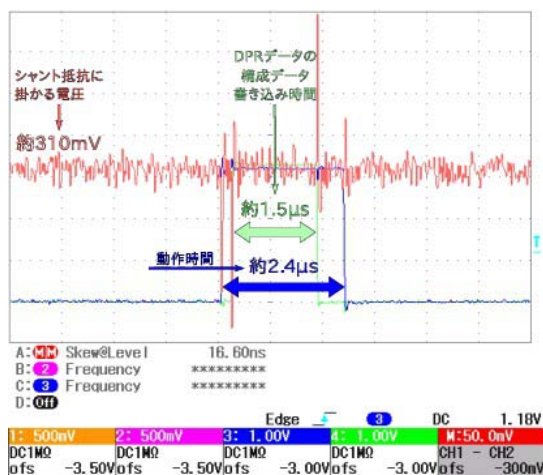


図 3 再構成時間と消費電力

これらの成果は、電子情報通信学会リコンフィギュラブルシステム研究会、電子情報通信学会機能集積情報システム研究会などで発表した。

(4) 動的部分再構成機能を積極的にアプリケーションに応用し、ハードウェア利用効率の向上と低消費電力化を促進するためには、アプリケーションに含まれるデータパスから共通部分を自動的に抽出する設計環境を構築しアプリケーション開発者の労力を軽減することが重要となる。そこで、アプリケーション中のデータパスから共通部分を自動抽出し、面積効率の高い演算パイプラインを自動合成する手法を提案し、ツールとして実現した。

特に本研究においては、演算器の共有手法と、共通化を施すべき演算式（関数）の分類手法について既存の方法の改良を図った。前者については、*k*-means法におけるデータフローグラフ間の類似度の算出方法を複数検討し比較実験を行った。後者については、資源削減効果の向上とともにツール自体の高速化も含めたアルゴリズムの改良、処理の単純化を検討した。また、演算タイミングのスケジューリングアルゴリズムや HDL 生成の手法についても性能向上のために既存手法に対する改良を施した。これらの改良の効果を、ツールの実行速度、生成される回路の規模、そして性能の面から評価した。

評価の結果、データパスの分類および共通部分の抽出処理のいずれにおいても高速化が認められ、既存のツールに比べて分類手法では1分程度、共有化処理については2時間近く処理時間を短縮することに成功した。

また、ターゲットアプリケーションとして常微分方程式ベースの生化学シミュレーションを取り上げ、複数の反応速度式を演算するハードウェアから共通部分を抽出して共

有化する実験を行った。この結果、*k*-means法によるグループ化の際の類似度の判断指標としては、内包演算器数最大のデータフローグラフを基準としたときの最大同型部分グラフの規模の類似性を元に分類を行うのが良いことが分かった。また、共通部分を抽出して共有化することで、演算に必要なハードウェア資源を全体で90%近く削減できることを確認した。これらの成果は、情報処理学会英文論文誌 T-SLDM, 国際会議 FPT, 電子情報通信学会リコンフィギュラブルシステム研究会などで発表した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 20 件)

- ① K. Dohi, K. Negi, Y. Shibata, K. Oguri: “FPGA Implementation of Human Detection by HOG Features with AdaBoost,” IEICE Transactions of Information and Systems, 査読有, Vol.E96-D, No.8, 2013 (掲載決定済)
- ② 上田晋寛, 河本尚輝, 土肥慶亮, 柴田裕一郎, 小栗 清: FPGA における細粒度動的部分再構成機構の検討, 電子情報通信学会技術研究報告, 査読無, Vol.112, No.203, RECONF2012-34, pp.61-66, 2012
- ③ 河本尚輝, 上田晋寛, 土肥慶亮, 柴田裕一郎, 小栗 清: 動画像形状検出処理における動的部分再構成による省電力効果の検討, 査読無, 電子情報通信学会技術研究報告, Vol.112, No.203, RECONF2012-36, pp.73-78, 2012
- ④ K. Dohi, Y. Hatanaka, K. Negi, Y. Shibata, K. Oguri: “Deep-pipelined FPGA Implementation for Ellipse Estimation for Eye Tracking,” Proc. International Conference on Field Programmable Logic and Applications, 査読有, pp.458-463, 2012
DOI:10.1109/FPL.2012.6339144
- ⑤ K. Negi, K. Dohi, Y. Shibata, K. Oguri: “Deep Pipelined One-chip FPGA Implementation of a Real-time Image-based Human Detection Algorithm,” Proc. International Conference on Field Programmable Technology, 査読有, pp.1-8, 2011
DOI:10.1109/FPT.2011.6132679
- ⑥ K. Dohi, Y. Yorita, Y. Shibata, K. Oguri: “Pattern Compression of FAST Corner Detection for Efficient

- Hardware Implementation,” Proc. International Conference on Field-Programmable Logic and Applications, 査読有, pp.478-481, 2011
DOI:10.1109/FPL.2011.94
- ⑦ Y. Ogawa, T. Ooya, Y. Osana, M. Yoshimi, Y. Nishikawa, A. Funahashi, N. Hiroi, H. Amanao, Y. Shibata, K. Oguri: “A Datapath Classification Method for FPGA-based Scientific Application Accelerator Systems,” Proc. International Conference on Field Programmable Technology, 査読有, pp.441-444, 2010
DOI:10.1109/FPT.2010.5681455
- ⑧ 柴田裕一郎, 原澤隆一, 小栗 清: 可変ワード長をもつ再構成可能プロセッサによる有限体演算, 電子情報通信学会技術研究報告, 査読無, Vol.110, No.204, RECONF2010-21, pp.19-24, 2010
- ⑨ K. Dohi, Y. Shibata, T. Hamada, T. Masada, K. Oguri, D. Buell: “Implementation of a Programming Environment with a Multithread Model for Reconfigurable Systems,” ACM SIGARCH Computer Architecture News, 査読有, Vol.38, Issue 4, pp.40-45, 2010
DOI:10.1145/1926367.1926375
- ⑩ H. Yamada, Y. Ogawa, T. Ooya, T. Ishimori, Y. Osana, M. Yoshimi, Y. Nishikawa, A. Funahashi, N. Hiroi, H. Amano, Y. Shibata, K. Oguri: “Automatic Pipeline Construction Focused on Similarity of Rate Law Functions for an FPGA-based Biochemical Simulator,” IPSJ Transactions on System LSI Design Methodology, Vol.3, pp.244-256, 査読有, 2010
DOI:10.2197/ipsjtsldm.3.244
- [学会発表] (計 21 件)
- ① 土肥慶亮, 柴田裕一郎, 小栗清: FPGA アクセラレータと高位合成系を用いた瞳検出手法の実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 2013年1月17日, 神奈川県横浜市
- ② 中村芳大, 土肥慶亮, 柴田裕一郎, 小栗清: FPGA アクセラレータと高位合成系を用いた三次元ステンシル計算の実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 2013年1月17日, 神奈川県横浜市
- ③ 山邊芳彦, 元村正志, 山下健太郎, 丸田英徳, 柴田裕一郎, 小栗清, 黒川不二雄: DC-DC コンバータ制御用ニューラルネットワークの FPGA 実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 2013年1月16日, 神奈川県横浜市
- ④ 河本尚輝, 上田晋寛, 土肥慶亮, 柴田裕一郎, 小栗 清: 動画像形状検出処理における動的部分再構成による省電力効果の検討, 電子情報通信学会リコンフィギャラブルシステム研究会, 2012年9月19日, 滋賀県草津市
- ⑤ 上田晋寛, 河本尚輝, 土肥慶亮, 柴田裕一郎, 小栗 清: FPGA における細粒度動的部分再構成機構の検討, 電子情報通信学会リコンフィギャラブルシステム研究会, 2012年9月18日, 滋賀県草津市
- ⑥ K. Dohi, Y. Hatanaka, K. Negi, Y. Shibata, K. Oguri: “Deep-pipelined FPGA Implementation for Ellipse Estimation for Eye Tracking,” International Conference on Field Programmable Logic and Applications, 2012年8月31日, ノルウェー・オスロ
- ⑦ 上田晋寛, 河本尚輝, 土肥慶亮, 柴田裕一郎, 小栗 清: FPGA における細粒度動的部分再構成機構の実装とその電力評価, 電子情報通信学会機能集積情報システム研究会, 2012年6月8日, 大阪府吹田市
- ⑧ 畑中優磨, 土肥慶亮, 大戸和博, 柴田裕一郎, 小栗 清: 動画像からのリアルタイム瞳検出手法の FPGA による実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 2012年5月29日, 沖縄県那覇市
- ⑨ 山邊芳彦, 中島華菜子, 土肥慶亮, 浜脇一馬, 山下健太郎, 梶原一宏, 黒川不二雄, 柴田裕一郎, 小栗 清: FPGA を用いた DC-DC コンバータのデジタル制御における遅延制御法の検討, 電子情報通信学会リコンフィギャラブルシステム研究会, 2012年5月29日, 沖縄県那覇市
- ⑩ Y. Yamabe, K. Nakashima, K. Dohi, K. Kajiwara, F. Kurokawa, Y. Shibata: “Application of SerDes for FPGA-based Digital DC-DC Converters,” IEEE Symposium on Low-Power and High-Speed Chips, 2012年4月19日, 神奈川県横浜市
- ⑪ K. Negi, K. Dohi, Y. Shibata, K. Oguri: “Deep Pipelined One-chip FPGA Implementation of a Real-time Image-based Human Detection

- Algorithm,” International Conference on Field Programmable Technology, 2011年12月12日, インド・デリー
- ⑫ 小川ゆい, 長名保範, 吉見真聡, 舟橋 啓, 広井賀子, 天野英晴, 柴田裕一郎, 小栗清: FPGA を用いたアクセラレーションシステムにおけるデータパス分類用優良類似度の考察, 電子情報通信学会リコンフィギャラブルシステム研究会(デザインガイア 2011), 2011年11月29日, 宮崎県宮崎市
- ⑬ K. Dohi, Y. Yorita, Y. Shibata, K. Oguri: “Pattern Compression for Efficient Corner Detection for Efficient Hardware Implementation,” International Conference on Field-Programmable Logic and Applications, 2011年9月7日, ギリシャ・ハニア
- ⑭ 土肥慶亮, 頼田祐二, 柴田裕一郎, 小栗清: FAST Corner Detection の検出パターンへの圧縮と FPGA への実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 2011年5月12日, 北海道札幌市
- ⑮ 頼田祐二, 土肥慶亮, 柴田裕一郎, 小栗清: ハードウェアに適した FAST Corner Detection の検出パターンへの圧縮, 電子情報通信学会機能集積情報システム研究会, 2011年3月7日, 千葉県千葉市
- ⑯ 大戸和博, 土肥慶亮, 柴田裕一郎, 小栗清: HOG 特徴と AdaBoost による人検出処理の FPGA への実装, 電子情報通信学会技術研究報告リコンフィギャラブルシステム研究会, 2011年1月18日, 神奈川県横浜市
- ⑰ Y. Ogawa, T. Ooya, Y. Osana, M. Yoshimi, Y. Nishikawa, A. Funahashi, N. Hiroi, H. Amanao, Y. Shibata, K. Oguri: “A Datapath Classification Method for FPGA-based Scientific Application Accelerator Systems,” Proc. International Conference on Field Programmable Technology, 2010年12月10日, 中国・北京
- ⑱ 柴田裕一郎, 原澤隆一, 小栗清: 可変ワード長をもつ再構成可能プロセッサによる有限体演算, 電子情報通信学会技術研究報告リコンフィギャラブルシステム研究会, 2010年9月16日, 静岡県浜松市
- ⑲ 柴田裕一郎, 喜屋武優介, 原澤隆一, 小栗清: 再構成可能プロセッサによる有限体演算と最適既約多項式に関する一考察, 電子情報通信学会機能集積情報システム研究会, 2010年6月11日, 宮

- 城県仙台市
- ⑳ 浜脇一馬, 前田雄輝, 副島政人, 柴田裕一郎, 小栗清, 黒川不二雄: FPGA を用いた DC-DC コンバータ向け高速比例デジタル PID 制御方式の実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 2010年5月13日, 長崎県長崎市
- 21 小川ゆい, 大屋智範, 長名保範, 吉見真聡, 西川由理, 船橋啓, 広井賀子, 天野英晴, 柴田裕一郎, 小栗清: FPGA における演算パイプライン共有化のためのデータパス分類法の提案, 電子情報通信学会リコンフィギャラブルシステム研究会, 2010年5月13日, 長崎県長崎市

〔図書〕(計2件)

- ① T. Hamada and Y. Shibata: “FPGA-Based HPRC Systems for Scientific Applications,” High-Performance Computing Using FPGAs, pp.367-387, Springer New York, 2013
DOI:10.1007/978-1-4614-1791-0_12
- ② 柴田裕一郎: メモリ・レスの画像検出回路を実現する, デジタル・デザイン・テクノロジー「FPGAによる高速化設計」, 6章, CQ出版, 2012

6. 研究組織

(1) 研究代表者

柴田 裕一郎 (SHIBATA YUICHIRO)
長崎大学・大学院工学研究科・准教授
研究者番号: 10336183

(2) 研究分担者

なし ()

研究者番号:

(3) 連携研究者

なし ()

研究者番号: