

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 5月29日現在

機関番号：23803
研究種目：若手研究（B）
研究期間：2010～2012
課題番号：22700058
研究課題名（和文）スケーラブルな超高速回路シミュレーションアルゴリズムに関する研究

研究課題名（英文）An Ultrafast Scalable Circuit Simulation Algorithm

研究代表者

渡邊 貴之（WATANABE TAKAYUKI）
静岡県立大学・経営情報学部・准教授
研究者番号：90326124

研究成果の概要（和文）：本研究では、チップ・パッケージ等における3次元的な形状を持つ信号配線と電源・グラウンド配線、及びトランジスタ等の非線形素子を含む回路の過渡解析を高速に実行可能なLeapfrog型アルゴリズムの検討を行った。特に、パッケージにおける電源・グラウンド配線を対象として、Leapfrog型アルゴリズムに適したモデル化手法を開発した。また、GPUを用いた並列計算を併用することで、解析規模に対してスケーラブルな超高速回路シミュレーション技術を開発した。

研究成果の概要（英文）：In this research, a fast transient simulation algorithm based on leapfrog-scheme for the circuit including interconnects (such as signal, power and ground) and nonlinear elements (such as transistor) was studied. Especially, a modeling method suitable for the leapfrog scheme was developed for the power and ground interconnects. Finally, an ultrafast scalable circuit simulation technique was developed by the use of GPU.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	400,000	120,000	520,000
2011年度	1,100,000	330,000	1,430,000
2012年度	500,000	150,000	650,000
総計	2,000,000	600,000	2,600,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：回路とシステム・アルゴリズム・計算機システム・シミュレーション工学・ハイパフォーマンスコンピューティング・半導体超微細化

1. 研究開始当初の背景

半導体実装技術の進歩により、半導体チップ内に集積化されるトランジスタ数は10億に達し、さらにアナログ・RF・デジタル混載のシステム・オン・チップやMEMSなど、LSIの大規模化・多機能化は進展し続けている。また、動作周波数の高速化と製造プロセスの微細化は、寄生容量・抵抗・インダクタンスによる信号配線遅延の影響や製造ばらつきの問題を顕在化させ、トランジスタ・レ

ベルでの物理設計とその解析検証技術の重要性が増大している。

トランジスタ・レベルで回路の動作を模擬する回路シミュレータとしては、1970年代に米国UCバークレー校で開発されたSPICEシミュレータが依然として標準的に用いられている。SPICEでは、電子回路全体を大規模な連立の非線形常微分方程式として定式化し、陰解法型の数値積分公式やニュートンラフソン法、LU分解法を組み合わせることで時間ステ

ップを進めながら解析を行う。従って、行列計算に関する計算コストが高く、実用上扱える回路規模が数十万素子に制限され、計算時間も膨大となるという問題がある。

申請者は、これまで一貫して回路/配線/電磁界シミュレーションに関する研究に従事してきたが、陰解法型の数値積分公式を用いるという SPICE の基本アルゴリズムを覆すようなアイデアを着想するに至らなかった。

一方、2000 年を前後して高速デジタル回路における電磁妨害 (EMI) の問題が深刻視され、特にプリント配線基板からの電磁放射の問題が顕在化した。申請者は、企業との共同研究により電磁界シミュレーションの手法である FDTD 法をプリント配線基板からの電磁放射解析に逸早く適用し、未知変数が 1 億自由度以上の問題を並列計算によって実用時間で解析可能なシミュレータを開発した。陽解法である FDTD 法は電界・磁界を時間的・空間的に交互に計算する Leapfrog 型のアルゴリズムを採用しており、行列計算が不要で、並列化に適しているとの知見を得た。

この Leapfrog 型の解析アルゴリズムは回路シミュレーションにも応用が可能であり、その場合には電圧・電流を時間的・回路トポロジ的に交互に計算する。申請者は、線形 RLC 回路としてモデル化した平面回路の解析に Leapfrog 型の回路シミュレーションアルゴリズムを適用し、SPICE と比較して 100 倍以上の高速化が可能であることを示した。また、マルチ CPU に対応した並列化によって、プロセッサ台数にほぼ比例したスケーラブルな高速化率を達成できることを示した。また、3 次元形状を持つ配線網を RLC 回路としてモデル化した場合にも、Leapfrog 型回路シミュレータで効率よく解析できることを確認している。

しかし、現在までの申請者の研究経過においては、トランジスタ等の非線形素子を多数含む一般的なデジタル・アナログ回路の解析に Leapfrog 型アルゴリズムを適用するには至っていない。

そこで本研究では、チップ・パッケージ等における 3 次元形状を持つ信号配線と電源・グラウンド配線、及びトランジスタ等の非線形素子を含む回路の過渡解析を高速に実行可能な Leapfrog 型アルゴリズムの検討を行う。また、マルチ CPU よりも高並列化が可能な GPU を用いた並列計算を併用することで、解析規模に対してスケーラブルな超高速回路シミュレータを構築する。

2. 研究の目的

SPICE に代表される伝統的な電子回路シミュレータでは、今日の大規模アナログ・デジタル混載システム LSI を対象としたトランジスタ・レベルの全体解析は不可能である。

申請者は、これまでに SPICE とは全く異なる Leapfrog 型アルゴリズムに基づく回路シミュレータを試作し、線形 RLC 回路としてモデル化した配線網等のシミュレーションを行い、SPICE 比 100 倍以上の解析速度の向上を確認している。

本研究では、チップ・パッケージ等における 3 次元形状を持つ信号配線と電源・グラウンド配線、及びトランジスタ等の非線形素子を含む回路の過渡解析を高速に実行可能な Leapfrog 型アルゴリズムの検討を行う。また、マルチ CPU よりも高並列化が可能な GPU を用いた並列計算を併用することで、解析規模に対してスケーラブルな超高速回路シミュレータを構築する。

3. 研究の方法

本研究では、研究目的を達成するために、研究代表者が中心となりチップ・パッケージ等における 3 次元形状を持つ信号配線と電源・グラウンド配線、及びトランジスタ

(CMOS 集積回路) 等の非線形素子を含む回路を対象とした Leapfrog 型アルゴリズムの理論構築を行う。まず、CMOS トランジスタ間の配線の寄生パラメータの値を利用して、回路を小規模な部分回路に分割し、分割点に対して Leapfrog 型アルゴリズムを適用する方法について検討する。

また、信号配線だけでなく、電源・グラウンド分配系についてもモデリング手法及びシミュレーション手法の提案を行い、両者に対して一体的に Leapfrog 型アルゴリズムを適用することで、高速な解析の達成を目指す。

さらに、提案した Leapfrog 型回路シミュレーションアルゴリズムの並列化を検討する。アルゴリズム検証用プログラムを発展させた、並列化に対応したフルチップ解析用プロトタイプシミュレータの開発を行う。

4. 研究成果

平成 22 年度の成果としては、小規模な CMOS 集積回路 (0.18 μm プロセス, 2 段 CMOS インバータ) のレイアウトデータ (図 1) から得られた RC 抽出後のネットリスト (図 2) をもとに、回路分割アルゴリズムを検討した。ネットリストの作成と RC 抽出は、申請者が従来から登録している VDEC (東京大学大規模集積システム設計教育研究センター) が配布する CAD ツールを利用して行った。

平成 22 年度に検討を行った具体的な内容としては、回路中の配線の RC 遅延が相対的に大きい箇所を分割点として選択し、RC 配線として扱い得る最大のダミーインダクタンスを挿入した。このダミーインダクタンスを境に回路全体を複数の小規模な部分回路に分割し、部分回路間をブロック型の Leapfrog 型アルゴリズムにより陽的に解く手法を提

案した。結果として、従来型の SPICE シミュレータを用いた場合の解析結果と、本研究による解析結果はよく一致し、提案手法の精度的な正当性を検証することが出来た。提案手法では回路分割によってシミュレーションの並列化が容易となったため、台数効果によって解析時間の短縮化が期待できる。

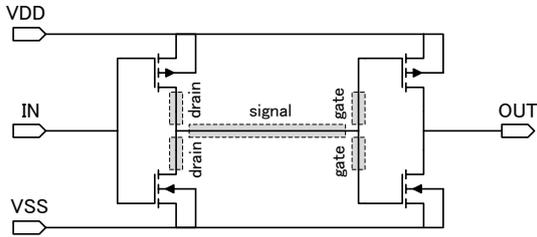


図 1 : 2 段インバータ回路

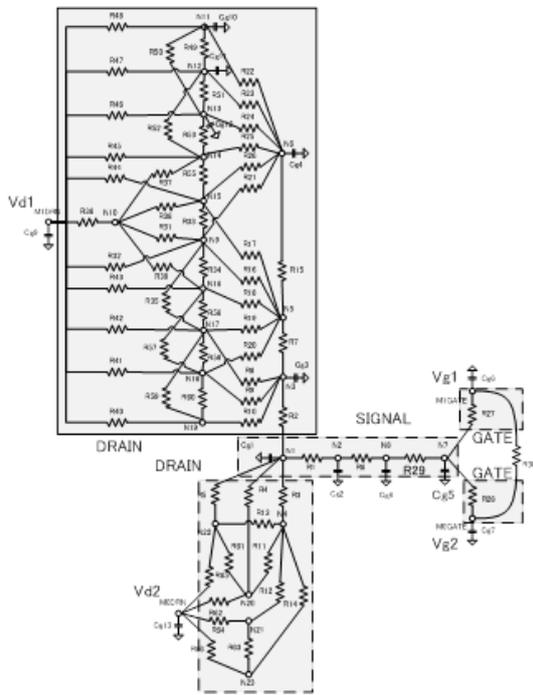


図 2 : 図 1 信号配線のネットリスト

平成 23 年度においては、信号配線だけでなく、電源・グラウンド分配系の新たなモデル化手法であるハイブリッドモデリング法を提案した。

ハイブリッドモデリング法は、既存のモデル化手法である MFDM (Multilayered Finite Difference Method : 図 3) や LPM (Layer Partition Method : 図 4) の欠点を相殺した手法である。具体的には、提案手法でモデル化した電源・グラウンド分配系の等価回路 (図 5) については、MFDM でモデル化したものと比較して、標準回路シミュレータ SPICE での解析コストを低減できることを示した。

また、LPM では多層レイヤを跨るような負荷接続のモデル化が困難であるのに対して、提案手法では問題なくモデル化できること

を示した。さらに、提案手法でモデル化を行った電源・グラウンド分配系の等価回路については、ブロック型の Leapfrog 型アルゴリズムにより高速に解くことが可能であることを示した。

結果として、従来型の MFDM でモデル化した等価回路と、提案手法でモデル化した等価回路の解析結果はよく一致し、提案手法の精度的な正当性を検証することが出来た。同時に、提案手法でモデル化した等価回路を SPICE と Leapfrog 型シミュレータで解析したところ、Leapfrog 型シミュレータは SPICE に比較して約 3 倍の高速化を達成した。

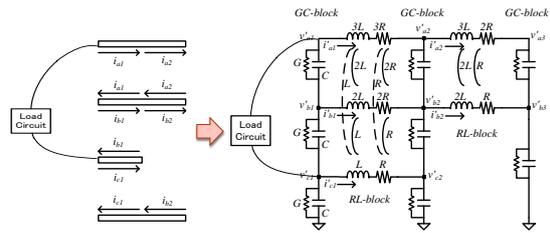


図 3 : MFDM による多層分配系モデル

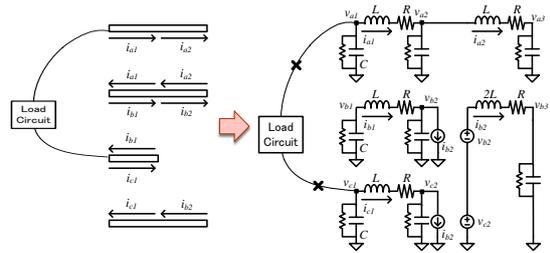


図 4 : LPM による多層分配系モデル

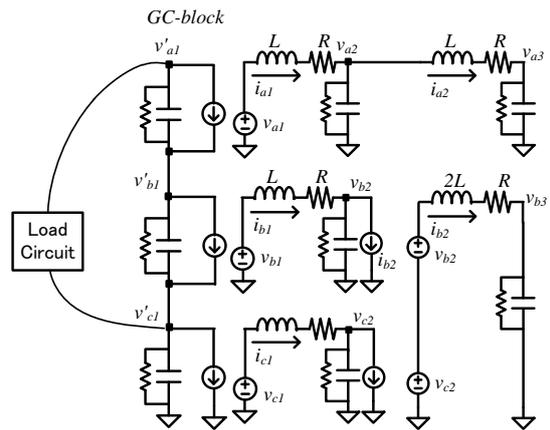


図 5 : ハイブリッドモデリング法による多層分配系モデル

平成 24 年度においては、半導体パッケージにおける電源・グラウンド分配系のモデル

化手法の高精度化を検討した。従来のモデルでは、構造格子（長方形メッシュ）を採用しており、斜め境界や曲線境界では階段近似によるモデル化誤差が問題となっていた（図6）。そのため、非構造格子（三角形メッシュ）を用いた2種類のモデルを比較し、SPICE型アルゴリズムだけでなく、よりLeapfrog型アルゴリズムに適したモデルについて検討を行った。

結果として、解析領域全体に対してドロネー三角形分割を適用し、その外心に接地キャパシタ接続したモデル（D-model：図7）よりも、ドロネー三角形と双対であるボロノイ多角形の母心に接地キャパシタ接続したモデル（V-model：図8）がよりLeapfrog型アルゴリズムを用いて高速に過渡解析が可能であるという知見を得た。

また、前者のモデル（D-model）であっても、微小なインダクタを短絡することで、解析時の時間刻み幅を改善可能な手法を新たに提案した。ただし、多層電源・グラウンド分配系には未対応であり、多層化に関しては今後の課題としたい。

また、平成23年度までに開発したモデルの過渡解析に対応した、Leapfrog型アルゴリズムによる解析ソルバをGPU上に実装した。

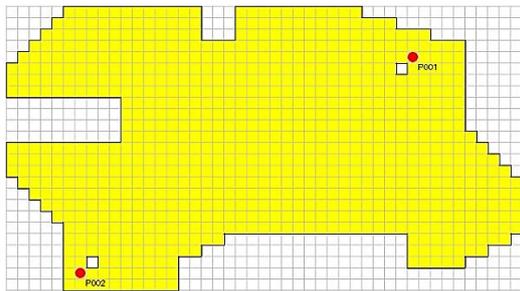


図6：構造格子によるモデル化

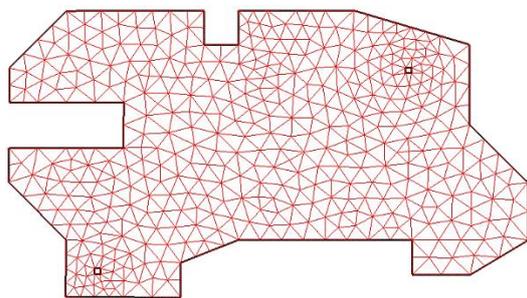


図7：D-model

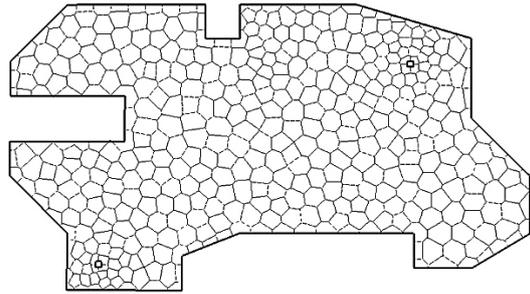


図8：V-model

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計4件）

① Takayuki WATANABE, "A Fast Transient Simulation Strategy by Positively Utilizing On-Chip Inductance," Proc. of 2011 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP'11), March 2011. (査読あり)

② Takayuki WATANABE, "An Efficient Transient Simulation Method for Multilayered Power/Ground Planes Using Hybrid Modeling Method," Proc. of 2012 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP'12), March 2012. (査読あり)

③ 渡邊貴之, "混合モデルを用いた多層電源プレーン的高速過渡解析", 電子情報通信学会第25回回路とシステムワークショップ論文集, pp.307-312, 2012年7月. (査読あり)

④ Takayuki Watanabe, "Hybrid Modeling Method for Transient Simulation of Multilayered Power/Ground Planes," Proc. of EPEPS2012 (IEEE Topical Meeting on Electrical Performance of Electronic Packaging and Systems), pp.288-291, Oct. 22, 2012. (査読あり)

〔学会発表〕（計5件）

① Takayuki WATANABE, "A Fast Transient Simulation Strategy by Positively Utilizing On-Chip Inductance," 2011 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP'11), 中華人民共和国天津市, March 2011.

② Takayuki WATANABE, "An Efficient Transient Simulation Method for Multilayered Power/Ground Planes Using

Hybrid Modeling Method," 2012 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP'12), アメリカ合衆国ハワイ州オアフ島ホノルル市, March 2012.

③ 渡邊貴之, "混合モデルを用いた多層電源プレーン的高速過渡解析", 電子情報通信学会 第25回 回路とシステムワークショップ, 兵庫県淡路市 2012年7月31日.

④ Takayuki Watanabe, "Hybrid Modeling Method for Transient Simulation of Multilayered Power/Ground Planes," EPEPS2012 (IEEE Topical Meeting on Electrical Performance of Electronic Packaging and Systems), アメリカ合衆国アリゾナ州テンペ市, Oct. 22, 2012.

⑤ 渡邊貴之, "電源プレーンの過渡解析のための三角形セルを用いた等価回路モデルの比較", 電子情報通信学会 2013年総合大会, 岐阜県岐阜市 2013年3月19日.

6. 研究組織

(1) 研究代表者

渡邊 貴之 (WATANABE TAKAYUKI)

静岡県立大学・経営情報学部・准教授

研究者番号：90326124