

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 6 月 1 日現在

機関番号：82110  
 研究種目：若手研究(B)  
 研究期間：2010～2011  
 課題番号：22760055  
 研究課題名（和文） 論理素子を構成するトランジスタにおけるシングルイベント過渡電圧パルスの研究  
 研究課題名（英文） Estimation of Single Event Transient Pulses in Logic Cells from a Single Transistor  
 研究代表者  
 牧野 高紘 (MAKINO TAKAHIRO)  
 独立行政法人日本原子力研究開発機構・量子ビーム応用研究部門・研究職  
 研究者番号：80549668

## 研究成果の概要（和文）：

近年、論理 LSI 内の論理素子に放射線が入射する事で発生する SET パルスによるソフトウェアが問題となっているがその SET パルスの発生、伝播機構についてよくわかっていない点が多い。本研究では、論理 LSI 内で発生する SET パルスの発生、伝播機構を、論理素子を構成する最小単位であるトランジスタレベルで明らかにした。具体的には、NMOSFET、PMOSFET 1 個ずつ組み合わせた最も簡単な構造を持つ NOT 素子に注目し、その NOT 素子で発生する SET パルスの発生率と、時間幅をトランジスタレベルで評価した。その結果、NOT 素子で発生する SET パルスのほとんどは NMOSFET における過渡応答起因するものであり、その SET パルスの時間幅は NMOSFET における過渡応答から推定可能であることを示した。

## 研究成果の概要（英文）：

Digital Single Event Transient (DSET) pulses are momentary voltage disturbance generated at logic gates by ion incident. Since pulse-width of DSETs is a key parameter of soft error rate in the logic VLSIs, the DSET pulse-widths from a logic cell have been extensively measured by using specially built circuits. In this research, we first estimated Digital Single Event Transient (DSET) pulse-widths originated in an inverter cell from high-energy heavy-ion-induced transient current in a single n-type MOSFET by using a table-based estimation method. We showed that the estimation method is applicable to the DSET pulse-widths estimation in the case of high-energy heavy-ion irradiation. In addition, we measured heavy ion induced current pulse cross-section on the p-type MOSFET used in the logic cell, to investigate an impact of the cross-section for the SET cross-section on the logic cell. From the results, we assume that current pulses from pMOSFET induce 25% of SET pulses.

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010 年度	1,300,000	390,000	1,690,000
2011 年度	1,800,000	540,000	2,340,000
年度			
年度			
年度			
総計	3,100,000	930,000	4,030,000

研究分野：工学

科研費の分科・細目：応用物理学・工学基礎・応用物理学一般

キーワード：SET パルス, 論理 LSI, 耐放射線性

### 1. 研究開始当初の背景

論理 LSI のソフトウェアは、宇宙等の厳しい放射線環境下で用いられる論理 LSI において問題視されていた。論理 LSI は、論理演算を行う多数の論理素子と、その演算結果を一時的に保存する記憶素子で構成された集積回路である。論理 LSI で発生するソフトウェア源には記憶素子に放射線が入射することによって記憶情報が反転するシングルイベントアップセットと、論理素子に放射線が入射することで発生する過渡的なノイズパルス (Single Event Transient パルス: SET パルス) がある。SET パルスは、放射線によってトランジスタ内に生成された多量の電子正孔対の流れによる過渡的な電圧パルスであり、SET によるソフトウェアは、この SET パルスが記憶素子まで伝播し、記憶素子が誤った情報として取り込むことで発生するものである。これまで、論理 LSI の動作速度、つまり記憶素子の読み込み速度が遅かったため SET によるソフトウェアは、SEU に比べて無視できるほど少なかった。しかし、今後、論理 LSI の高速・微細化に伴い SET パルスによるソフトウェアの発生頻度が全体のソフトウェアの中で支配的になることがわかっている。そのため、SET パルスによるソフトウェア対策が急務となっている。

SET パルス対策のためには、SET パルスの時間幅と発生率が SET パルスによるソフトウェア発生率の重要なパラメータとなるが、その詳細を観測した例は世界でも 2 例しかない。これらの結果は NOT 素子で発生するパルスを測定したものであるが、各パルスが NOT 素子を構成するどのトランジスタ起因であるかは不明であり、それらを明らかにした実験結果はない。

### 2. 研究の目的

今後、より効率的な耐放射線対策を論理 LSI に施すには、論理素子で発生する SET パルスの幅と発生率を、原因となるトランジスタレベルで知る必要がある。本研究では、複数のトランジスタの組み合わせで構成されている論理素子に放射線が入射する事で発生する SET パルスが、その論理素子を構成するどのトランジスタに放射線が入射した事によって引き起こされたものかの内訳を明らかにする事を目的としている。これを明らかにする事によって、より効率的な論理素子ソフトウェア対策への指針を示すことが可能となる。

### 3. 研究の方法

論理素子の中でも、N 型金属-酸化膜-電界効果トランジスタ (NMOSFET)、P 型 MOSFET 1 個ずつ組み合わせた最も簡単な構造を持つ NOT 素子に注目し、単体の NMOSFET に放射

線を照射し、発生する過渡電流波形を高速オシロスコープで取得しその波形から NOT 素子起因で発生する SET パルス波形をテーブル参照法で正確に推定する。その上で、各トランジスタにおける過渡電流パルスの発生率を NOT 素子の SET パルス発生率と比較した。

#### 3-1. SET パルス幅の推定

SET パルス幅の推定にはテーブル参照法を用いた。本手法は、図 1 に示すように、トランジスタ単体のイオン入射過渡応答と、論理素子に組み込まれている他のトランジスタの電流-電圧特性に基づき、トランジスタ間の境界条件を時々刻々と変えてゆき実際の論理素子で発生する SET パルスの波形を推定するものである。これまで、シミュレーションによるトランジスタのイオン入射過渡応答波形を用いた場合の妥当性が確認されているが、実験による過渡応答を用いた解析に適用された例はなかった。そこで本研究では、単体トランジスタのイオン入射過渡応答を実測し、そして、得られた過渡応答から SET パルス波形の推定を行うとともに、推定結果と過去に自身が測定用 LSI を用いて実測した SET パルス幅測定結果との比較を行った。

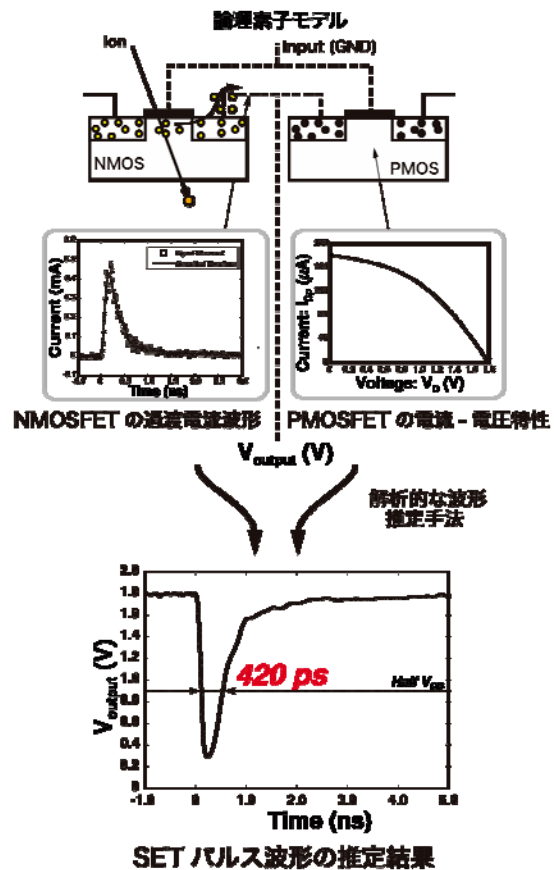


図 1: 本研究に用いた SET パルス幅推定の解析的手法の概念図と実際の推定結果。

本手法では、トランジスタ内で発生する非常に高速な過渡電流波形を正確に測定することが重要であるためノイズの低減化や測定系の高度化といった改良、さらには解析手法の見直しを図った。

### 3-2. 過渡電流パルスの発生率測定

過渡電流パルスの発生率測定は、PMOSFETについて行った。図2に測定体系を示す。単体PMOSFETに重イオンを照射し発生する過渡電流波形を全てオシロスコープで取り込む。本測定体系は、3-1節でのNMOSFETにおける過渡電流パルス測定にも用いた。

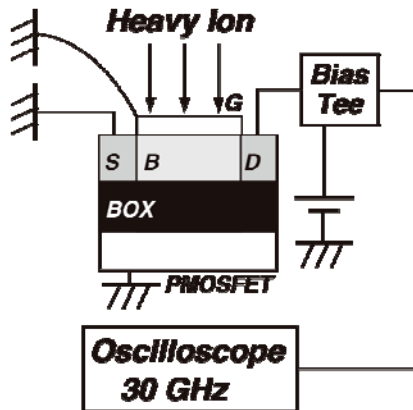


図2: 過渡電流パルスの発生率測定体系図。

測定したPMOSFETにおける過渡電流パルスの発生率をNOT素子のSETパルス発生率と比較した。加えて、PMOSFETで発生する過渡電流の積分値、つまり収集電荷量の大きさをNMOSFETにおけるそれと比較した。

### 4. 研究成果

NMOSFETにおいて測定した過渡電流波形から、パルス幅が最大となる条件でのSETパルス幅の推定を行った結果、図3に示す通りパルス幅は420 psとなった。この幅は、過去に自身が測定用LSIを用いて測定した結果から見積もられる、単体論理素子で発生するパルス幅と一致し、今回の単体トランジスタにおける過渡応答を用いた場合にも本解析的手法でパルス幅を推定できることが示された。この結果の一部を、IEEE主催で当該研究分野最大の国際会議(Nuclear Space Radiation Effects Conference)にて発表した。上記成果をまとめた内容を高崎で行われた国際ワークショップ9th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications (RASEDA)で発表したところ、最優秀ポスター賞を受賞した。現在、論文として投稿準備を進めている。

次に、PMOSFETにおける過渡応答発生率をNOT素子のSETパルス発生率と比較したところ、表1に示す通り、NOT素子全体で発生するSETパルス発生率の1/4程度であるこ

とが明らかとなった。加えて、PMOSFETで発生する過渡電流の積分値、つまり収集電荷量の大きさはNMOSFETで観測される収集電荷量に比べ全体的に非常に小さくそのほとんどがNOT素子の動作閾値以下であった。

以上の結果より、NOT素子で発生するSETパルスのほとんどはNMOSFET起因であり、NMOSFET起因のSETパルス幅の最大値を推定することでNOT素子におけるSETパルスによるソフトエラー発生率のワーストケースを推定することが可能となったといえる。これらは、論理LSIの耐放射線性向上に必要なパラメータを容易に得るための手法として有用であり、本研究結果を基に耐放射線性向上研究が加速する。

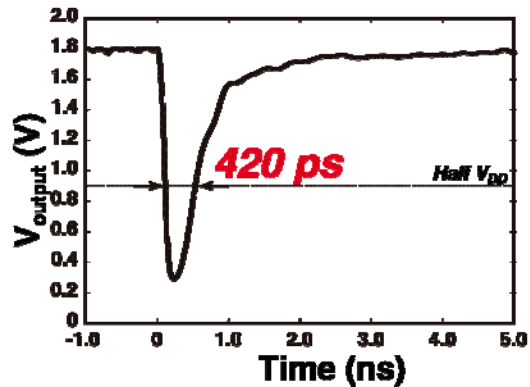


図3: MOSFET 起因 SET パルス波形の推定結果

表1. PMOSFETにおける過渡応答発生率とNOT素子でのSET発生率

	過渡電流発生率 / SET 発生率 (cm <sup>-2</sup> )
PMOSFET	2.5 x 10 <sup>-9</sup>
NOT	1.1 x 10 <sup>-8</sup> x 1/4

### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計0件)

〔学会発表〕(計2件)

1. T. Makino, S. Onoda, T. Hirao, T. Ohshima, D. Kobayashi, H. Ikeda and K. Hirose, "Estimation of Digital Single Event Transient Pulse-Widths in Logic Cells from High-Energy Heavy-Ion-Induced Transient Current in a Single MOSFET," The 9th International Workshop on Radiation Effects on Semiconductor Devices for Space Applications (RASEDA), Takasaki, 27-29, Oct. 2010.

2. **T. Makino**, S. Onoda, T. Hirao, T. Ohshima, D. Kobayashi, H. Ikeda, and K. Hirose “Digital Single Event Transient Pulse-Widths estimation in Logic Cells from Heavy-Ion-Induced Transient Currents in a Single MOSFET,” IEEE Nuclear and space radiation effects conference, Denver, (19-23, Jul., 2010)

〔図書〕（計 0 件）

〔産業財産権〕

○出願状況（計 0 件）

○取得状況（計 0 件）

〔その他〕

ホームページ等

## 6. 研究組織

### (1) 研究代表者

牧野 高紘 (MAKINO TAKAHIRO)

独立行政法人日本原子力研究開発機構・量

子ビーム応用研究部門・研究職

研究者番号：80549668