

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 6月 1日現在

機関番号：12608

研究種目：若手研究（B）

研究期間：2010～2011

課題番号：22760226

研究課題名（和文） シリコン上への高品質ハーフメタルフルホイスラー合金形成技術と  
スピニ注入技術の創出研究課題名（英文） Development of formation technologies of high-quality half-metal  
full-Heusler alloys on Si and spin-injection technologies

研究代表者

周藤 悠介 (SHUTO YUSUKE)

東京工業大学・像情報工学研究所・特任助教

研究者番号：80523670

研究成果の概要（和文）：シリコン CMOS テクノロジーの微細化に頼らない新たな機能向上方法として、“シリコン・スピントロニクス”が有望である。この技術の創出のためには、シリコンチャンネル中への高効率スピニ注入／検出／操作手法の確立が不可欠である。そこで本研究課題では、高効率スピニ注入源・検出器となる高品質ハーフメタル・フルホイスラー合金のシリコン上への形成技術を創出し、さらにシリコンチャンネル中でのスピニ挙動の観察に適したデバイス設計を行った。

研究成果の概要（英文）：“Silicon spintronics” is promising for improving functionalities of silicon CMOS technology without scaling. To develop this technology, methods of spin-injection/detection/manipulation for a Si channel must be established. Therefore, in this study, formation technologies of high-quality half-metal full-Heusler alloys, which can become high-efficient spin-injector/detector, on Si were developed. Furthermore, device structures which were suitable for observing behavior of spins were designed.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2010年度	2,500,000	750,000	3,250,000
2011年度	300,000	90,000	390,000
年度			
年度			
年度			
総計	2,800,000	840,000	3,640,000

研究分野：スピニエレクトロニクス，エピタキシャル，先端機能デバイス，磁性

科研費の分科・細目：電気電子工学・電子電気材料工学

キーワード：作成・評価技術，スピントロニクス材料

## 1. 研究開始当初の背景

(1) シリコン・スピントロニクスの創出  
シリコン CMOS テクノロジーの微細化が物理的限界を迎えつつある今、微細化に頼らない高性能・高機能化が要求されている。その方法の一つとして、キャリアのスピニ自由度を導入したスピニトランジスタ、特にシリコン MOSFET をベースとしたスピニ MOSFET[1]が、CMOS 回路へ整合するスピ

ントロニクスデバイスとして非常に有望視され、International Technology Roadmap for Semiconductors (ITRS)[2]の Emerging Research Devices(ERD)にも挙げられている。スピニ MOSFET の提案を発端とし、シリコンテクノロジーにスピントロニクスを融合した“シリコン・スピントロニクス”が新たな研究分野として確立しつつある。研究代表者の所属するグループでは、スピニ

MOSFET 作製のための基盤技術の確立や、それを用いた CMOS ベースの新規ロジック回路の創出を目指している[3,4].

(2) スピン注入/検出技術の確立

シリコン・スピントロニクス確立における最大の課題は、シリコンデバイスのチャンネル中にどのようにスピンの偏りを持ったキャリアを導入し、またどのようにその偏りを検出するか、すなわち、シリコンチャンネル中へのスピン注入および検出技術の確立である。スピン注入・検出が効率良く行われるためには、スピン注入源となる強磁性体の開発、そしてスピンの散乱体となる強磁性体/半導体界面ラフネスの抑制が必須となる。最適なスピン注入源として、図1のようなフェルミ面のキャリアのスピン分極率が100%となるバンド構造を持つハーフメタル・フルホイスラー合金が注目されている。その中でも構成原子に Si や Ge を含み、CMOS プラットホームへの整合性の良いとされる  $\text{Co}_2\text{FeSi}$ ・ $\text{Co}_2\text{FeGe}$  が大変有望である。

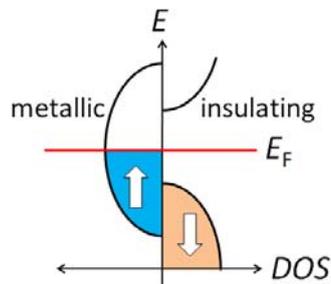


図1: ハーフメタル強磁性体のバンド構造

(3) ハーフメタル・フルホイスラー合金

良い磁気特性や高いスピン分極率を持つ  $\text{Co}_2\text{FeSi}$ ・ $\text{Co}_2\text{FeGe}$  を得るには、結晶構造の高品質化・高規則化が鍵となる。これらは図2に示すような  $L2_1$  規則構造を持つことが理想的である。研究代表者の所属するグループでは既に、SOI 基板を用いた Rapid thermal annealing (RTA) により、 $L2_1$  規則構造の含有率(規則度)高い  $\text{Co}_2\text{FeSi}$  を得る方法を実証している[5]。しかしながら、完全に  $L2_1$  規則化した単結晶構造を得るまでには至っていない。またスピン散乱体となる単結晶の Si チャンネルとの接界面の平坦性も明らかになっていない。

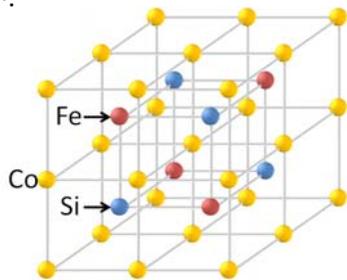


図2: フルホイスラー合金  $\text{Co}_2\text{FeSi}$  の規則構造( $L2_1$  構造)

参考文献: [1]ITRS 2007 Edition. [2]S. Sugahara, IEE Proc. Circ. Dev. Syst., 152, 355 (2005). [3]S. Yamamoto, and S. Sugahara, JJAP, 48, 043001 (2009). [4]Y. Shuto, S. Yamamoto, and S. Sugahara, JAP, 105, 07C933 (2009). [5] Y. Takamura, R. Nakane, H. Munekata, and S. Sugahara, JAP, 103, 07D719/1-3 (2008).

2. 研究の目的

本研究課題では、シリコン CMOS テクノロジーの微細化に頼らない新たな機能向上の方法として、スピントロニクスの概念をシリコンテクノロジーに導入した“シリコン・スピントロニクス”を確立・展開する。その最大の課題は、シリコンチャンネル中へのスピン注入/検出技術の確立である。本研究課題では、効率の良いスピン注入源となるハーフメタル・フルホイスラー合金をシリコン上へ高品質に形成する手法を確立し、また、最適設計された Si チャンネル・マルチターミナルデバイスを用いてシリコン中でのスピンの挙動を観察することによって、シリコン・スピントロニクスのキーデバイスであるスピン MOSFET 作製のための基盤技術の確立を目指す。

3. 研究の方法

(1) シリコン上ハーフメタル・フルホイスラー合金形成技術の確立

シリコン基板上へフルホイスラー合金  $\text{Co}_2\text{FeSi}$ ・ $\text{Co}_2\text{FeGe}$  薄膜の高品質形成を行う。形成手法は、①Germanium-on-insulator (GOI) 基板を用いた RTA 法による  $\text{Co}_2\text{FeGe}$  薄膜の形成、②シリコン基板上へ堆積した  $\text{MgAl}_2\text{O}_4$  絶縁膜上への RTA 法による  $\text{Co}_2\text{FeSi}$  薄膜の形成、の2種類の方法を行う。

①GOI 基板を用いた RTA 法による  $\text{Co}_2\text{FeGe}$  薄膜の形成

研究代表者の所属するグループでは SOI を用いた  $\text{Co}_2\text{FeSi}$  の形成手法を確立していたが、これと同様の方法で、GOI 基板を用いた  $\text{Co}_2\text{FeGe}$  薄膜の形成を試みる。各元素の堆積方法は、超高真空の電子ビーム蒸着と分子線エピタキシー(MBE)法を用いて行い、より高品質となるように条件を選んで形成する。結晶構造の観察・同定は X 線回折(XRD)法および透過電子顕微鏡(TEM)により行う。規則度の計算は当グループで提案された拡張 Webster モデル[6]を用いる。

②シリコン基板上へ堆積した  $\text{MgAl}_2\text{O}_4$  絶縁膜上への RTA 法による  $\text{Co}_2\text{FeSi}$  薄膜の形成

研究代表者の所属するグループでは Si 基板上へ形成した絶縁膜( $\text{SiO}_2$ ,  $\text{SiON}$  など)上に、アモルファス Si および各構成元素を堆積し、

RTA 処理することによってやはり高品質の  $\text{Co}_2\text{FeSi}$  薄膜を得る手法を確立している[7]. ここでは絶縁膜上により高品質の  $\text{Co}_2\text{FeSi}$  薄膜を形成するため、絶縁膜に結晶性の  $\text{MgAl}_2\text{O}_4$  を用いて  $\text{Co}_2\text{FeSi}$  層の高配向化を狙う.  $\text{MgAl}_2\text{O}_4$  絶縁膜は、 $\text{MgO}$  と同様に対称性軌道の電子を優先的に通す効果があり、これと高品質ハーフメタル強磁性体電極を組み合わせることによって、スピントラップ効果が期待できるとされており、スピン注入源として有用であると考えられる. 絶縁膜の形成は真空一貫で行い、超高真空のスパッタ法とラジカル酸化法を併用して形成のための最適な条件を探る.  $\text{MgAl}_2\text{O}_4$  絶縁膜上の  $\text{Co}_2\text{FeSi}$  層は MBE を用いて成長し、高品質な結晶の形成を狙う.  $\text{MgAl}_2\text{O}_4$  絶縁膜に対しては X 線光電子分光(XPS)を用いて各元素の結合状態からその品質を評価する. また  $\text{Co}_2\text{FeSi}$  層は同様に XRD による配向性・規則構造の評価を行う.

#### (2) Si チャネル・マルチターミナルデバイスの設計

Si チャネル・マルチターミナルデバイスの設計を行う. Si チャネルへのスピン注入・検出およびチャネル中でのスピンの挙動を把握するためには、スピントラップ効果、ハンル効果、スピン拡散長、スピン寿命を観測する必要がある. そのために適したチャネル構造・電極構造を、デバイスシミュレータを用いて探る. 現段階で実行可能なプロセスや測定装置の制限を踏まえ、これらの現象が信頼性高く測定可能なデバイス構造を設計する.

参考文献: [6] Y. Takamura, R. Nakane, and S. Sugahara, *J. Appl. Phys.* **105**, 07B109 (2009). [7] K. Hayashi, Y. Takamura, R. Nakane, and S. Sugahara, *J. Appl. Phys.*, **107**, 09B104 (2010).

#### 4. 研究成果

(1) シリコン上ハーフメタル・フルホイスター合金形成技術の確立

##### ①GOI 基板を用いた RTA 法による $\text{Co}_2\text{FeGe}$ 薄膜の形成

試料作製は以下のように行った. 約 2 nm に薄層化した SOI(100)上に低温 MBE 法で単結晶 Ge を成長した疑似 GOI(100)基板を用い、超高真空電子ビーム蒸着法によって Co と Fe を連続堆積し、 $\text{N}_2$  雰囲気中で  $750^\circ\text{C}$  で 4 分間の RTA を行った(図 3). 作製した試料は深さ方向に対し均一な組成で、Co, Fe, Ge の組成はそれぞれ 57%, 23%, 20%であった.

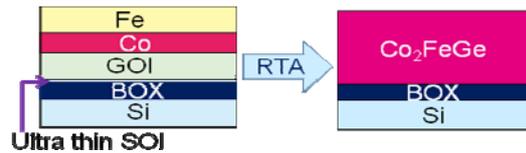


図 3: RTA による  $\text{Co}_2\text{FeGe}$  薄膜の形成手法.

試料の結晶構造評価は、XRD の  $\omega$ - $2\theta$ 測定及び面内の  $\phi$ - $2\theta$ 測定によって行った. 図 4(a)に示すように、 $\omega$ - $2\theta$ 回折パターンには(220), (400)の基本格子線と(200)の規則格子線が観測され、試料が(100)面と(110)面の 2 つの配向成分を含むことが分かった. その強度比から(100)配向成分が支配的であると考えられる. また(200)回折から、 $\text{Co}_2\text{FeGe}$  薄膜が  $B2$  構造以上の規則構造を形成していることを確認した. また面内の  $\phi$ - $2\theta$ 測定を Si[001]と Si[011]方向から始めると、 $\text{Co}_2\text{FeGe}$  薄膜の XRD パターンは、それぞれ(004), (002)回折と(022)回折を示した. 図 4(b)に  $2\theta$ をそれぞれ(004), (022)回折の角度に固定し、面内角  $\phi$  方向に走査し測定した XRD パターンを示す. {004}, {022}回折の明瞭な 4 回対称性が確認でき、互いに  $45^\circ$ ずれていることから、 $\text{Co}_2\text{FeGe}$  薄膜中の(100)配向成分は、エピタキシャル膜であると結論した.

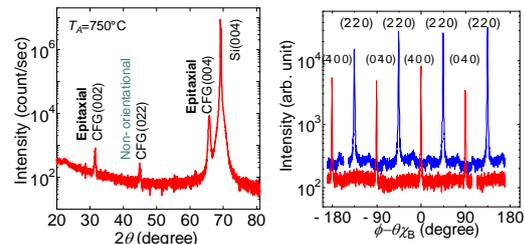


図 4: (a)  $\text{Co}_2\text{FeGe}$  薄膜の  $\omega$ - $2\theta$ 回折パターン. (b) 面内  $\phi$  走査時の回折パターン.

$\text{Co}_2\text{FeGe}$  薄膜の規則度を評価するため、試料傾角  $\psi$  と  $2\theta$  を、それぞれ  $54.6^\circ$ ,  $26.9^\circ$  に合わせ、 $\phi$  走査を行ったところ、4 回対称性の(111)回折ピークが観測されたことから、 $\text{Co}_2\text{FeGe}$  薄膜が  $L2_1$  構造を有し、エピタキシャル膜であるという議論と整合した. 拡張 Webster モデルによって算出した規則度は、 $L2_1$  規則度 85%,  $B2$  規則度 83% という高い値を示した.

図 5 に  $\text{Co}_2\text{FeGe}$  薄膜試料の TEM 像を示す. 結晶欠陥や粒界があるものの、全体的に均一のコントラストを示すことから、ほぼエピタキシャル膜であることがわかった. また高解像度の観測からは、埋込酸化膜から直接エピタキシャル成長し、界面に異相の形成はなかった.

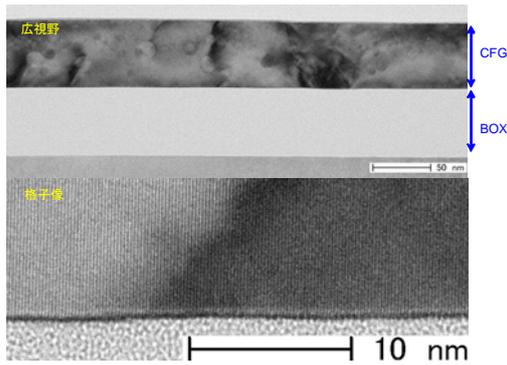


図 5: Co<sub>2</sub>FeGe 薄膜試料の TEM 像.

以上の結果より, GOI 基板上 Co<sub>2</sub>FeGe 薄膜の高品質形成法が見出された. この技術は, 現行の CMOS テクノロジーのみならず, 次世代の Ge チャネル・高移動度 MOSFET に対しても適応可能と考えられ, 将来の Ge チャネル・スピン MOSFET 作製のために非常に有用な技術となる.

②シリコン基板上へ堆積した MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜上への RTA 法による Co<sub>2</sub>FeSi 薄膜の形成最初に MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜の形成条件の最適化を行った. Si(001)基板上にスパッタにより MgAl<sub>2</sub> 合金を堆積し, 室温によるラジカル酸化によってごく薄い MgAl<sub>2</sub>O<sub>4</sub> を形成した. また高品質化・結晶化のため形成後のアニール処理も行った. XPS による評価から, MgAl<sub>2</sub> 膜厚が厚い(数 nm)の試料では 5 分間のラジカル酸化では不十分となり, 形成後のアニール処理が必要となるが, 一方 MgAl<sub>2</sub> を 1nm とした試料では, ラジカル酸化時間あるいは形成後のアニールに依らず, 均一な MgAl<sub>2</sub>O<sub>4</sub> 層が形成されることが分かった. 1nm の MgAl<sub>2</sub> の酸化により MgAl<sub>2</sub>O<sub>4</sub> が 1.9nm となり, トンネルバリアとして利用可能であることが分かった. また MgAl<sub>2</sub>O<sub>4</sub> と Si 界面のサブオキサイド膜厚によって界面状態を調べたところ, 図 6 に示すように, ラジカル時間及び 800°C までのアニールの有無にかかわらず, 1 原子層以下の膜厚を示したため, 急峻な界面が得られていることが示唆された.

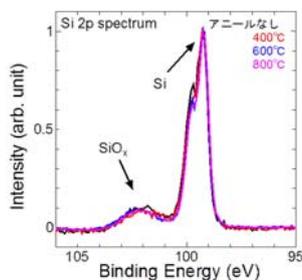


図 6: 界面サブオキシダンのアニール温度依存性.

次に, 得られたごく薄い MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜 (中心条件: MgAl<sub>2</sub> 膜厚 1nm, ラジカル酸化時間 5 分, アニール温度 400°C, アニール時間 90 分) 上に, MBE 法による Co<sub>2</sub>FeSi 薄膜の成長を試みた. 成長温度を室温, 100°C, 200°C とし, RHEED および XRD による結晶構造観察を行ったところ, 他の配向成分もわずかに含むものの, 試料はおよそ 10°傾いた(110)配向を持つ多結晶であることが分かった. XRD により規則構造を同定したところ, 室温成長では A<sub>2</sub>, 100°C および 200°C の成長では B<sub>2</sub> 構造を示し, 200°C の試料が最も高い規則度を示すことが分かった. 次に, Co<sub>2</sub>FeSi 成長温度を 200°C と固定し, MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜のアニール温度依存性 (400・600・800°C) を調べた. 成長直後の RHEED 像は, 全てにおいて多結晶を示すリングパターンであったが, 400°C の試料に比べ 600°C・800°C ではより強い配向性を示す, 周期性のスポットのあるリングパターンを示した(図 7). XRD 観察から, 試料は(110)配向成分と(100)配向成分を持ち, MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜のアニール温度の上昇につれて, (110)配向成分のピークのみが強くなることが分かった(図 8). 極点図の観測から, この(110)配向成分は面内依存性を持たないことがわかった. XRD による規則構造の同定をおこなったところ, MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜のアニール温度が 600°C 以上で L<sub>21</sub> 規則構造を示す(111)規則格子線が観測され, 800°C ではそれがより明確に観測されるようになったことから, MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜のアニール温度の上昇によってより規則性の高い Co<sub>2</sub>FeSi が形成されることが明らかとなった.



図 7: 800°C アニールした MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜上 Co<sub>2</sub>FeSi 薄膜の成長後 RHEED 像.

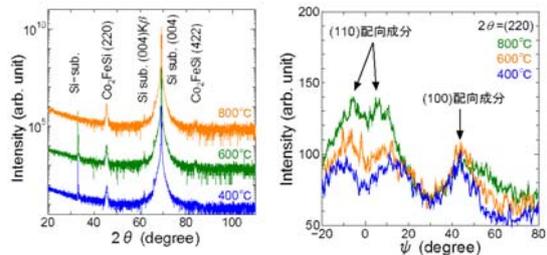


図 8: (a) XRD  $\omega$ -2 $\theta$  回折パターンの MgAl<sub>2</sub>O<sub>4</sub> 絶縁膜アニール温度依存性. (b) (220) 回折ピークの  $\psi$  依存性.

以上の結果から、Si 基板にごく薄い結晶性の  $\text{MgAl}_2\text{O}_4$  絶縁膜を介して、規則性の高い高配向  $\text{Co}_2\text{FeSi}$  多結晶薄膜を形成する手法が見出された。得られた  $\text{Co}_2\text{FeSi}/\text{MgAl}_2\text{O}_4/\text{Si}$  構造によって、ハーフメタル性がスピフィルター効果によってより増強され、Si チャンネルに対して非常に高効率のスピ注入源となることが期待される。

## (2) Si チャンネル・マルチターミナルデバイスの設計

シミュレーションにはシノプシス社の Sentaurus による 2 次元解析を用いた。基本的なデバイス構造を図 9 に示す。厚さ  $500\mu\text{m}$  のバルク Si 基板、低濃度  $n$  ないし  $p$  基板上へ高濃度  $n$ -Si エピタキシャル構造、および SOI 基板を想定した。強磁性電極は PolySi で代用し、Fe と同程度の抵抗となるように仮想的にドーパ濃度を  $n=1\times 10^{23}\text{cm}^{-3}$  とした。また PolySi のドーパ濃度をわずかに小さく ( $n=9.9\times 10^{22}\text{cm}^{-3}$ ) して 2 つの抵抗値 ( $R_{\text{low}}$  と  $R_{\text{high}}$ ) を設定し、強磁性電極の異方性磁気抵抗 (AMR) を再現した (AMR 比:1%)。また、伝導率ミスマッチを考慮し、各電極と基板との間に薄い Si 酸化膜 ( $=0.8\text{nm}$ ) を挿入し、トンネル注入型電極とした。全デバイス長を  $1\text{mm}$  とし、両端から  $250\mu\text{m}$  の位置に幅  $100\mu\text{m}$  の参照電極 1 と 2 (Ref1・Ref2) を配置し、デバイスの中心近傍に幅  $1\mu\text{m}$  の強磁性電極 1 と 2 (FM1・FM2) を配置した。Ref1 と FM1 を局所部、Ref2 と FM2 を非局所部とした。バルク基板を用いたデバイスにおいて、局所部に  $10\mu\text{A}$  の定電流を流し FM1 からの電子注入を行ったときの静電ポテンシャル分布と電流パスを図 10 に示す。静電ポテンシャルの勾配は局所側だけでなく非局所側にも分布し、電流パスが非局所側にも形成されることが分かった。次に、FM1 を固定し、FM2 を遠ざけることによって、非局所電圧 ( $V_{\text{NL}}$ ) の強磁性電極間距離 ( $l$ ) 依存性を求めた。静電ポテンシャル分布による  $V_{\text{NL}}$  が現れ、 $l$  の増加に応じてその絶対値が減少した。FM1 が  $R_{\text{low}}$  と  $R_{\text{high}}$  の場合の  $V_{\text{NL}}$  の差 ( $\Delta V_{\text{NL}}$ ) を図 11 に示す。  $\Delta V_{\text{NL}}$  が最大で数  $\mu\text{V}$  変化しており、FM1 の AMR が非局所側に影響することがわかった。さらにこのシグナルは  $l$  に依存して指数関数的に減衰した。この観測シグナルの挙動は非局所配置スピバルブにおける非局所電圧の強磁性電極間の距離依存性に良く似ている。また、  $\Delta V_{\text{NL}}$  は注入電流の向きを変えると  $\Delta V_{\text{NL}}$  の符号も反転することから、非局所シグナルの検出のみでは、シリコン中へのスピ注入・検出が達成されたとは結論できないことが示唆された。

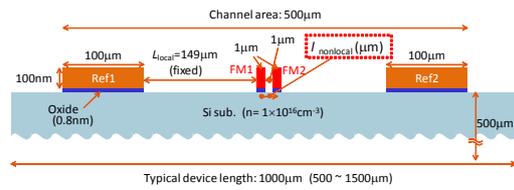


図 9: 基本的なデバイス構造。

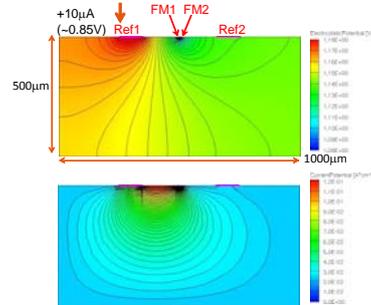


図 10: バルク基板 ( $n=1\times 10^{16}\text{cm}^{-3}$ ) デバイスの静電ポテンシャル分布および電流パス。

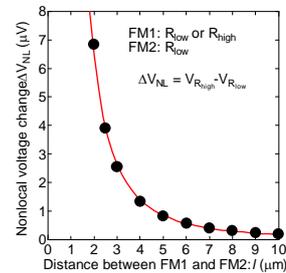


図 11: バルク基板 ( $n=1\times 10^{16}\text{cm}^{-3}$ ) デバイスの  $\Delta V_{\text{NL}}$  の強磁性電極間距離  $l$  依存性。

静電ポテンシャルの基板への分布を抑えるには、チャンネル膜厚を局所チャンネル長の  $1/10 \sim 1/100$  程度に減ずれば良いことがシミュレーションにより分かったが、現実的には、エピタキシャル基板あるいは SOI 基板を用いる方法が有効である。図 12 に各デバイス構造と、表面近傍でのポテンシャル分布を示す。特に低濃度  $p$ -Si 基板上へ膜厚  $1.5\mu\text{m}$  程度の高濃度  $n$ -Si をエピタキシャル成長した基板、ないしは SOI 基板を用いれば、静電ポテンシャルはほとんど局所部のみとなり、非局所側には勾配が無く、局所強磁性電極 AMR の影響が非局所部に及ばないことが分かった。

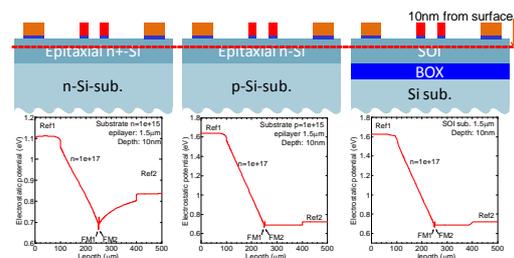


図 12: エピタキシャル基板および SOI デバイスの構造と表面近傍 (10nm) の静電ポテンシャル分布。

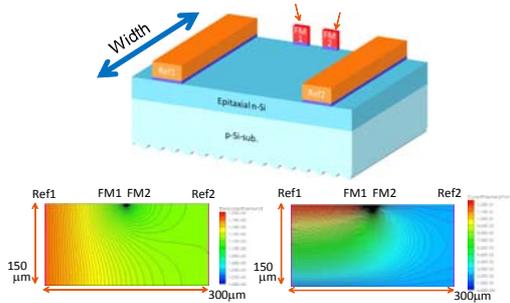


図 13: 強磁性電極不均一性のワーストケースのシミュレーションモデル, および静電ポテンシャル分布と電流パスのシミュレーション結果.

また, 電極の均一性も考慮する必要があることが分かった. 電極や絶縁膜の品質が不均一となった場合, 局所的に電流が注入され, チャンネル面内の静電ポテンシャルの不均一分布が発生する. 図 13 に示すようなワーストケース (チャンネル端から局所的に電流注入) の場合, やはり AMR の影響が無視できなくなる. これを是正するには, 作製プロセスを改善し電極を非常に均一性良く形成する, あるいはチャンネル幅を小さく (やはり数 $\mu\text{m}$  以下) して, ポテンシャル分布が非局所側に及ばないようにする必要があると分かった.

以上の結果から, Si チャンネル中でのスピンの挙動を観察する非局所マルチターミナルデバイスの設計論が構築された. さらには, この設計論は, スピン MOSFET などの半導体スピンドバイス設計・作製のための指針ともなり得る.

## 5. 主な発表論文等

(研究代表者, 研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

①Y. Takamura, T. Sakurai, R. Nakane, Y. Shuto, and S. Sugahara, “Epitaxial germanidation of full-Heusler  $\text{Co}_2\text{FeGe}$  alloy thin films formed by rapid thermal annealing”, *Journal of Applied Physics*, **109**, 07B768/1-3 (2011).

[学会発表] (計 4 件)

①Y. Shuto, Y. Takamura, and S. Sugahara, “Numerical simulation analysis of nonlocal multi-terminal devices for spin current detection in semiconductors”, 55th Annual Conference on Magnetism and Magnetic Materials (MMM2010), Atlanta, GA, USA, November 14-18, 2010, paper DD-04.

②Y. Takamura, T. Sakurai, R. Nakane, Y. Shuto, and S. Sugahara, “Comparative study of full-Heusler  $\text{Co}_2\text{FeSi}$  and  $\text{Co}_2\text{FeGe}$

alloy thin films formed by rapid thermal annealing”, 55th Annual Conference on Magnetism and Magnetic Materials (MMM2010), Atlanta, USA, November 14-18, 2010, paper CV-02.

③周藤悠介, 高村陽太, 菅原聡, “非局所配置マルチターミナルデバイスの数値解析シミュレーション”, 2010 年秋季 第 71 回応用物理学会学術講演会, 長崎市, 長崎, September 14-17, 2010, paper 16a-A-10.

④櫻井卓也, 高村陽太, 中根了昌, 周藤悠介, 菅原聡, “RTA によるフルホイスラー合金  $\text{Co}_2\text{FeGe}$  薄膜のエピタキシャル形成”, 2010 年秋季 第 71 回応用物理学会学術講演会, 長崎市, 長崎, September 14-17, 2010, paper 14p-F-7.

## 6. 研究組織

### (1) 研究代表者

周藤 悠介 (SHUTO YUSUKE)

東京工業大学・像情報工学研究所・特任助教

研究者番号 : 80523670

### (2) 研究分担者

( )

研究者番号 :

### (3) 連携研究者

( )

研究者番号 :