

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 5月31日現在

機関番号：12608

研究種目：若手研究（B）

研究期間：2010～2012

課題番号：22760248

研究課題名（和文） 不揮発性記憶素子を用いた高性能・低消費電力メニーコアマイクロプロセッサの開発

研究課題名（英文） Development of high-performance and low-power consumption many-core microprocessors using nonvolatile memory elements

研究代表者

山本 修一郎（YAMAMOTO SYUJICHIROU）

東京工業大学・大学院総合理工学研究科・助教

研究者番号：50313375

研究成果の概要（和文）：本研究ではメニーコアプロセッサによる並列処理と不揮発性記憶素子を用いた理想的なパワーゲーティング技術の融合により、新世代の高性能・低消費電力マイクロプロセッサを開発することを目標として研究を進め、パワーゲーティング時の電力削減効率の見積もり方法を発展させて、より良い回路構成を提案した。また、動的電圧周波数可変技術と電源遮断技術をメニーコアプロセッサに併用した場合のトータルの消費電力削減効果についてシミュレーションにより検証した。

研究成果の概要（英文）：In this study, aiming to develop new generation high-performance and low-power microprocessors by combination of parallel processing using a many-core processor technology and ideal power-gating (PG) technology using nonvolatile memories, the better circuit configuration was presented by developing an evaluation method of power reduction efficiency during power-gating. The total power reduction effect simultaneously using dynamic voltage-frequency scaling (DVFS) and PG technology was also verified through a simulation.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	1,300,000	390,000	1,690,000
2011年度	700,000	210,000	910,000
2012年度	700,000	210,000	910,000
年度			0
年度			0
総計	2,700,000	810,000	3,510,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：メニーコアプロセッサ、不揮発性メモリ、低消費電力

1. 研究開始当初の背景

アプリケーションを少ない電力で高速に処理するというマイクロプロセッサへの要求は、ここ数年ますます顕著になってきており、映像・音声を中心とする様々な大容量データ処理を瞬時に行うことのできる新世代

の高性能・低消費電力マイクロプロセッサが求められていた。大容量のデータを扱うアプリケーションをマイクロプロセッサで高速に実行するためには、いくつかの方法が考えられた。動作周波数を向上することや、情報処理の並列度を向上させて演算能力を高め

る方式、ASICのように専用回路を付加するなどである。これらの方法は一長一短であるので、近年は、これらの方法を組み合わせて、それぞれの長所を生かすようにマイクロプロセッサを構成するようになってきていた。すなわち汎用プロセッサコアを並列化して汎用処理性能を引き上げる一方、ASIC、FPGA、可変論理演算エンジンなどを適宜搭載して、大容量データ処理の高速化を図るようになってきていた。このような並列演算プロセッサが可能になってきたのは、半導体プロセスの微細化に依るところが大きかった。ところが、半導体プロセスの微細化では、回路規模を大きくできる反面、消費電力が大きくなる欠点があった。当時、もっと深刻視されているのは静的な消費電力であった。静的消費電力のうち、ゲートリークに関してはHigh-k/metal gateプロセスの成熟により解決の目処が立ってきていたが、サブスレッショルドリークについては半導体プロセス上での有効な手段がなく、回路的なリーク電流削減手法（パワーゲーティング）が用いられつつあった。プロセッサコアの並列化は処理性能向上だけでなく、パワーゲーティングにも有利であった。すなわち、各コアごとに電源スイッチを設け、処理の待機状態の時に、電源を切ることを容易に実現できた。ところが、プロセッサではレジスタやキャッシュメモリを多用しているが、これらに使用されるフリップフロップ（FF）やSRAMは、電源を遮断すると情報が消えてしまうという欠点があり、当時のパワーゲーティングではSRAMには通常動作時の1/4程度の電圧を印加する方策をとって情報を維持していた。したがって、リーク電流（消費電力）を完全にゼロにできないという欠点が残っていた。またFFの場合には、常時通電された領域へ情報をバックアップする方法をとっていた。この方法では、非記憶回路領域のリーク電流はゼロにできるものの、常時通電の領域の消費電力をゼロにできない、データ転送に時間がかかるなどの欠点があった。当時、本研究の研究者らはSRAMやFFを不揮発化して、パワーゲーティング時の消費電力を完全にゼロにする方法（理想的なパワーゲーティング）について研究を行ってきた。不揮発性記憶素子の導入によって新たに消費されることになる電力や若干の性能劣化については注意が必要であると考えられた。

すなわち、不揮発性SRAM/FFのマイクロプロセッサへの適用には魅力的な恩恵の傍ら様々なトレードオフが存在すると考えられた。それらを鑑みれば、電源遮断をどのタイミングで、どのくらいの間行うのか？あるいはあえて行わないのか？LSI内臓回路主体で行うのか？ソフトウェアの大幅な介入を許すのか？など不揮発性SRAM/FFの使用法に

よって情報処理性能と低消費電力化が大きく左右されると考えられた。将来、不揮発性SRAM/FFを用いたマイクロプロセッサが実用化できるかは、不揮発性記憶素子のさらなる性能向上を達成するほか、マイクロプロセッサ中での不揮発性SRAM/FFの効果的な使用方法が確立できるかにかかっていると予想された。

2. 研究の目的

本研究課題では、不揮発性機能素子を用いた場合の、ヘテロジニアスマニーコアチップにおける最適なパワーゲーティング手法の探索を行い、メニーコアプロセッサによる並列処理と不揮発性記憶素子を用いた理想的なパワーゲーティング技術の融合により、少ない電力で大容量データ処理を瞬時に行うことのできる新世代の高性能・低消費電力マイクロプロセッサを開発することを目的とした。

3. 研究の方法

(1) 本研究課題の研究代表者らは過去に不揮発性記憶素子（強誘電体キャパシタ、磁気トンネル抵抗素子、抵抗変化素子）の回路シミュレーションモデルの開発を行っており、本研究課題のプロセッサ開発にその技術を適用した。回路シミュレータHSPICEにより、不揮発性記憶素子の効率のよい使用を意識した高速・低消費電力の回路構成を検討した。また、効率性をさらに高めるため不揮発性記憶素子の新規回路提案、検証を行った。この過程において、不揮発性パワーゲーティングの効果を見積もる方法を考案した。

(2) 不揮発性記憶素子（強誘電体キャパシタ、磁気トンネル抵抗素子、抵抗変化素子、相変化メモリ素子）のHSPICEモデルの開発・改良を行い、それを用いたフリップフロップ、SRAMなどの回路について、動作速度、消費電力などをより精密に見積もれるようにした。

(3) プロセッサ設計にあたってはパワーゲーティング回路のデジタルシミュレーション（上流設計）が要求されるため、これに使用可能なように論理記述言語Verilog-HDLを用い、揮発性素子と不揮発性記憶素子を用いたパワーゲーティング用回路（FFなど）のモデル化及び回路記述を行い、所望の動作をするかを検証した。

(4) 市販のマイクロプロセッサを用いて、動画処理の処理プロファイルを収集し、マルチコア（メニーコア）構成において、動的電圧周波数可変技術とパワーゲーティングを併用した場合に、消費電力と動作性能がどのように変化するかを調べた。

4. 研究成果

(1) 不揮発性素子を用いた回路では、パワーゲーティング時に静的消費電力を削減できる反面、通常動作時やストア・リストア動作時に却って電力を多く消費してしまうことを見出し、消費電力を得ることのできる最小時間 (BET) の算出式を導いた。図1は不揮発性素子を用いた回路の消費電力を表した模式図であり、この表中の記号を用いて、BETは

$$BET^{cell} = \frac{E_{store} + E_{restore}}{(I_L^{NV} - I_L^{SD})V_{DD}} + \frac{I_L^{NV} - I_L^{SD}}{I_L^{NV} - I_L^{SD}} \tau_{exe} = BET_{SR} + \eta_L \tau_{exe} \quad (1)$$

と表せることを明らかにした。これにより、不揮発性素子を使用したパワーゲーティング回路の最適化が容易となった。

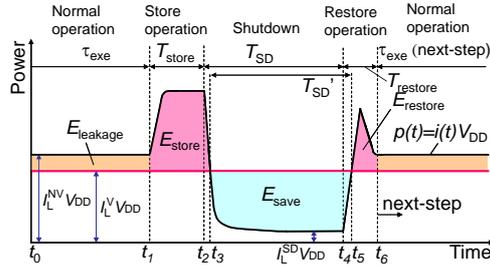


図1 不揮発性素子を用いた回路の消費電力を表した模式図

(2) 不揮発性素子として強磁性トンネル接合を用いた場合の、不揮発性Dフリップフロップ (DFF) のBETについて検討した。その結果、ストアに要するエネルギー (書き込み電流) や、通常時に流れるリーク電流が通常のDFFよりも大きいことが分かった。図2および図3に示すように強磁性トンネル接合を制御するトランジスタの閾値 (V_{th}^{PSM}) を高くするか、トランジスタのゲート幅/ゲート長 (W/L) を小さくすれば、双方ともに削減でき、最適な動作点を見つけることが可能であることが分かった。また、最適化すると、BETを2 μ s以下にできることが分かった。この値はDFFセルそのものの値であり、通常の回路の中でDFFの占める割合が30%以下であることを考慮すれば、BETは1 μ s以下となることを示しており、不揮発性パワーゲーティングが、これまでに実用化されているパワーゲーティングに比して、細粒度に実施できることを示しており、将来有望な技術であることが示された。

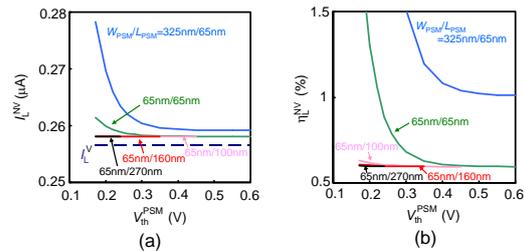


図2 (a)書き込み電流(b)BETのトランジスタ閾値依存性

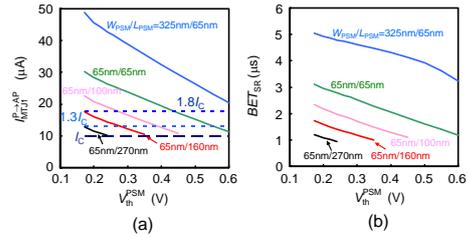


図3 (a)リーク電流(b)リーク電流比のトランジスタ閾値依存性

(3) メニーコアプロセッサ内で使用可能な不揮発性パワーゲーティングを用いたFPGAを提案した。不揮発性SRAMと不揮発性DFFを用い、図4(a)、(b)に示す不揮発性FPGAのBETを見積もったところ、図5に示すように、SRAMのバイアスコントロールを適切に行うことで、細粒度のパワーゲーティングが可能であることが示された。また、図4(c)に示す不揮発性ルックアップテーブル (LUT) と、図4(b)に示す本研究提案のLUTを比較したところ、本研究提案のLUTの方が、書き込み電流が少なく、低消費電力であることが示された。

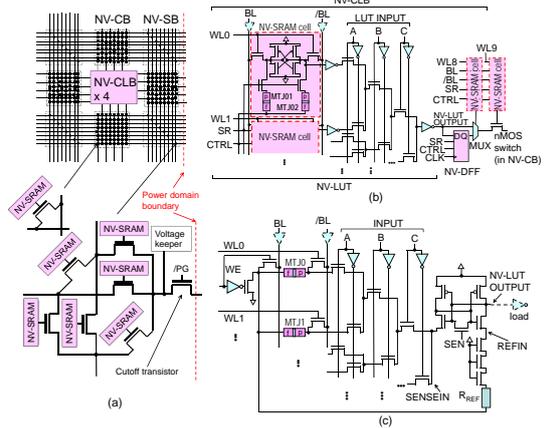


図4 不揮発性FPGAの回路図

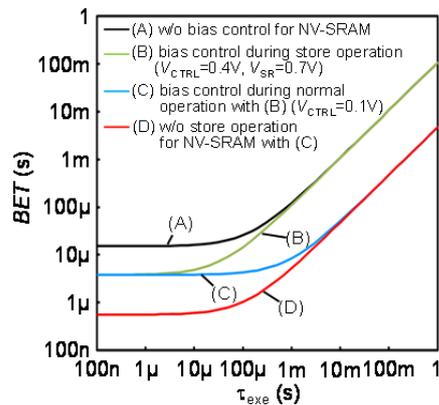


図5 不揮発性FPGAのBET

(4) マイクロプロセッサ中では高速演算部へのデータ供給先としてレジスタファイルと呼ばれる一時記憶が使用される。レジスタファイルは1サイクルで複数のポートアクセスができることが望ましいため、多ポートS

RAMが使用される。最も多く使用されるのはデュアルポートSRAMである。したがって、プロセッサコアを不揮発化しようと思えば、これを不揮発化することを検討することが必然である。よって、不揮発デュアルポートSRAMを提案し、BETを見積もった。デュアルポートSRAMではSRAM中のドライバトランジスタの駆動能力を2倍とするため、通常時リーク電流が増加し、不揮発デュアルポートSRAMでは不揮発シングルポートSRAMの約半分のBETとなることが分かった。

(5) 論理記述言語 Verilog-HDL を用い、揮発性素子と不揮発性記憶素子を用いたパワーゲーティング用回路 (FF など) のモデル化及び回路記述を行い、所望の動作をするかを検証した。また、設計フローの提案を行った。これらにより、アナログシミュレーションによって最適化された不揮発性セルを、デジタルシミュレーション内で取り扱うことが可能となった。プロセッサ設計において、大規模デジタルシミュレーションは必須であり、不揮発性記憶素子を用いたパワーゲーティング用回路をデジタルシミュレーションできるようにした意義は大きい。

(6) 不揮発化した DFF は若干の速度劣化があり、最も高速なパイプラインレジスタへの使用は適さない。そこで、図 6 (b) のようなメモリ階層構造を提案した。パイプラインレジスタと大規模キャッシュの一部は不揮発化せず、パワーゲーティング時には内容を破棄する構成である。すべて不揮発化する構成 (図 6 (a)) や L1 キャッシュより上流をすべて揮発化する構成 (図 6 (c)) と比べて、パワーゲーティングの恩恵 (低消費電力化) を受けつつ、性能劣化を防止できる。(図 6 (d))

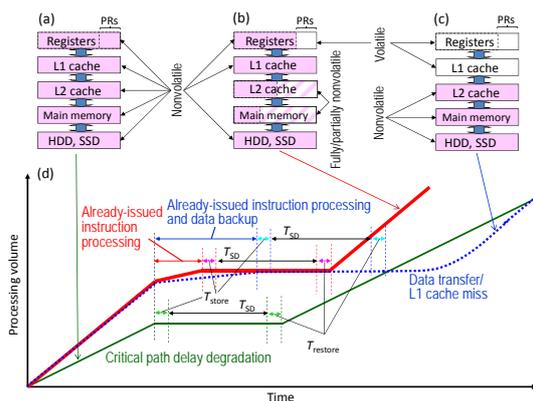


図 6 プロセッサ内におけるメモリ階層の不揮発化とプロセッサ性能劣化

(7) プロセッサ動的消費電力を削減するための動的電圧周波数可変技術と静的消費電力削減のための電源遮断技術をメニーコアプロセッサに併用した場合のトータルの消費電力削減効果についてシミュレーションにより検証した。動画処理において、プロセ

ッサをメニーコア化すると処理量が多いときに、並列処理と動作周波数を上げることで、データ処理が追いつかなくなることを防止できた。また、処理量が少ないときには周波数が下がり、かつ動作コア数が減ることにより、動的消費電力を削減できた。また次のフレーム処理待ちになる時や、動作コア数を減らす時に、待機状態のコアに対して電源遮断を行うと消費電力が削減できることが示された。この際、電源遮断・復帰速度の速い不揮発性メモリを用いると効果的であると考えられた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

- ① Shuu'ichirou Yamamoto, Yusuke Shuto, Satoshi Sugahara, Nonvolatile power-gating FPGA based on pseudo-spin-transistor architecture with spin-transfer-torque MTJs, MRS Symposium Proceedings, 査読有, Vol.1430, 2012, pp.55-60, DOI:10.1557/opl.2012.1183
- ② Shuu'ichirou Yamamoto, Yusuke Shuto, Satoshi Sugahara, Nonvolatile power-gating field-programmable gate array using nonvolatile static random access memory and nonvolatile delay flip-flops based on pseudo-spin-transistor architecture with spin-transfer-torque magnetic tunnel junctions, Japanese Journal of Applied Physics, 査読有, Vol.51, 2012, 11PB02/1-5, DOI:10.1143/JJAP.51.11PB02
- ③ Shuu'ichirou Yamamoto, Yusuke Shuto, Satoshi Sugahara, Nonvolatile delay flip-flop using spin-transistor architecture with spin transfer torque MTJs for power-gating systems, Electronics Letters, 査読有, Vol.47, 2011, pp. 1027-1028, DOI: 10.1049/el.2011.1807
- ④ 菅原聡、周藤悠介、山本修一郎、CMOS/スピントロニクス融合技術による不揮発性ロジックシステムの展望、まぐね、査読無、6巻、2011、pp.5-15

[学会発表] (計 6 件)

- ① 山本修一郎、疑似スピン MOSFET を用いた不揮発性デュアルポート SRAM セルの提案と NVPG 応用、第 60 回応用物理学関係連合講演会、2013 年 3 月 28 日、神奈川工科大学、神奈川県
- ② Shuu'ichirou Yamamoto, Nonvolatile flip-flop using pseudo-spin-transistor architecture and its power-gating applications, IEEE International Semiconductor Conference Dresden-Grenoble, September 25, 2012, Minatech Campus, Grenoble, France
- ③ 山本修一郎、疑似スピン MOSFET 技術を用いた FPGA の不揮発性パワーゲーティング、第 73 回応用物理学会学術講演会、2012 年 9 月 13 日、愛媛大学、愛媛県
- ④ 山本修一郎、疑似スピン MOSFET を用いた不揮発性 DFF : BET における静的リーク電流の影響、第 73 回応用物理学会学術講演会、2012 年 9 月 13 日、愛媛大学、愛媛県
- ⑤ Shuu'ichirou Yamamoto, Nonvolatile power-gating FPGA based on Pseudo-spin-transistor architecture with spin-transfer-torque MTJs, Materials Research Society Spring Meeting, April 11, 2012, Moscone Center, San Francisco, USA
- ⑥ Shuu'ichirou Yamamoto, Power-gating ability and power aware design of nonvolatile delay flip-flop using spin-transistor architecture with spin transfer torque MTJs, International Magnetism Conference, April 28, 2011, Taipei International Convention Center, Taipei, Taiwan

6. 研究組織

(1) 研究代表者

山本 修一郎 (YAMAMOTO SYUUICHIROU)
東京工業大学・大学院総合理工学研究科・助教
研究者番号：50313375

(2) 研究分担者

なし

(3) 連携研究者

なし