

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 5月23日現在

機関番号：12301

研究種目：研究活動スタート支援

研究期間：2010～2011

課題番号：22860011

研究課題名（和文）誘導結合型チップ間インタフェースを用いた三次元CMOS・MEMSシステムの開発

研究課題名（英文）Development of 3D CMOS MEMS System Using Inductive-Coupling Inter-Chip Link

研究代表者

新津 葵一 (NIITSU KIICHI)

群馬大学・大学院工学研究科・助教

研究者番号：40584785

研究成果の概要（和文）：

三次元 CMOS（相補型半導体集積回路）・MEMS（マイクロ・エレクトリカル・メカニカルシステム）集積システムに向けた回路の設計・実装・レイアウトを行った。低電圧で動作する CMOS と可動部分の制御に高電圧が必要な MEMS の間には大きな電源電圧の差が存在しているが、大きな電源電圧差が存在しても動作するパルスベース誘導結合型 CMOS・MEMS 間インタフェース回路を開発することに成功した。

研究成果の概要（英文）：

Design of circuit architecture and implementation for wirelessly-connected 3D CMOS MEMS integration was performed. The proposed circuit using pulse-based inductive-coupling link can operate even there is large voltage gap between low-voltage CMOS and high-voltage MEMS.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	1,260,000	378,000	1,638,000
2011年度	1,160,000	348,000	1,508,000
年度			
年度			
年度			
総計	2,420,000	726,000	3,146,000

研究分野：半導体集積回路設計

科研費の分科・細目：電子デバイス・電子機器

キーワード：集積回路設計

1. 研究開始当初の背景

半導体集積回路 (CMOS) はこれまで製造プロセスの微細化という二次元方向のスケールリングによって高性能化を遂げてきたが、近年においては、熱・電力・素子ばらつきによる技術的限界を迎えつつある。

微細化に代わる高性能化手段のひとつとして、三次元システム集積に向けた研究開発が盛んに行われている。三次元システム集積の最大の利点は、それぞれの機能回路を最適な製造プロセスによって実現する点にある。

2. 研究の目的

本研究では、誘導結合通信を CMOS-MEMS 間の通信に適用して、高性能かつ低消費電力な 3次元 CMOS—MEMS システムを実現することをその目的とする。

MEMS を CMOS と三次元に一体化させることで、CMOS の演算処理能力と MEMS の機械システムを融合させ、システムの拡張性を飛躍的に高めることができる。例えば、MEMS で作成した可変インダクタや可変キャパシタを用いて回路の周波数特性を動的再構成可能にし、複数通信規格に対応可能なマルチモード通信端末などへの応用が期待できる。

CMOS-MEMS 間の通信技術について最適化設計理論を構築することが最終的な目標である。

3. 研究の方法

半導体集積回路と MEMS 回路をそれぞれ設計して、シミュレーション・試作を通じて有効性を実証する。

動作をより実デバイスに近い形でシミュレーションするために、実装後の物理レイアウトから寄生成分を抽出したポストレイアウト・シミュレーションを行う。

4. 研究成果

(1) 回路アーキテクチャの開発

2010年度は三次元 CMOS (相補型半導体集積回路)・MEMS (マイクロ・エレクトロニカル・メカニカルシステム) 集積システムのための誘導結合型チップ間インタフェースにおける回路技術の考案・検討を行った。低電圧で動作する CMOS と可動部分の制御に高電圧が必要な MEMS の間には大きな電源電圧の差が存在しているが、大きな電源電圧差が存在しても動作するパルスベース誘導結合型 CMOS・MEMS 間インタフェース回路を新たに考案した。送信側から送信するパルスによって、受信側の MEMS 用制御電圧を制御する。下側チップに標準電源電圧 1.2V の 65nm CMOS プロセス、上側チップに標準電源電圧 3.3V の 0.35 μ m CMOS-MEMS 混載プロセスを用いたことを想定して検討を行った。誘導結合部分を含めた回路シミュレーションを行い、提案回路が 1.2V から 20V まで制御可能であり、CMOS・MEMS 間インタフェースとして適用可能なことを確認した。

上記に加えて、誘導結合型チップ間インタフェースがメモリ回路等の周辺回路の及ぼす電磁的影響についても検証を行った。65nm CMOS プロセスを用いて実デバイスで測定を行い、それに基づいて設計理論を構築した。

無線通信デバイスへの適用を考慮し、チップ内におけるクロック分配に誘導結合通信を用いる手法についても検討を行った。

(2) 実装技術の開発

2011年度は、三次元 CMOS (相補型半導体集積回路)・MEMS (マイクロ・エレクトロニカル・メカニカルシステム) 集積システムに向けた回路の実装・レイアウトを行った。低電圧で動作する CMOS と可動部分の制御に高電圧が必要な MEMS の間には大きな電源電圧の差が存在しているが、昨年度に開発した大きな電源電圧差が存在しても動作するパルスベース誘導結合型 CMOS・MEMS 間インタフェース回路を実際の集積回路へと実装・レイアウトを行った。

下側チップに標準電源電圧 1.2V の 65nm CMOS プロセス、上側チップに標準電源電圧 3.3V の 0.35 μ m CMOS-MEMS 混載プロセスを用いたことを想定して実装・レイアウトを行った。デバイスとしては、3.3V 0.35 μ m プロセスの代わりに 65nm CMOS プロセスにおける I/O (集積回路における外部とのインタフェース部分) 用高耐圧トランジスタを用いて実装・レイアウトを行った。誘導結合部分を含めた回路シミュレーションを行い、提案回路が 1.2V から 15V まで制御可能であり、CMOS・MEMS 間インタフェースとして適用可能なことをデバイスレベルにおいて確認した。昨年度ではデバイスのレイアウトまでは考慮していなかったが、今年度においてはデバイスのレイアウトからの寄生抽出まで行い、より実デバイスに近い、完成度の高い性能評価を行うことができた。

上記の成果に加えて、三次元 CMOS・MEMS システムを出荷時に良品判定するための性能評価手法などについても検討を行った。

これらの成果により、三次元 CMOS・MEMS システムの構築に向けた回路技術・実装技術が確立された。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

- ① Kazuyuki Wakabayashi, Keisuke Kato, Takafumi Yamada, Osamu Kobayashi, Haruo Kobayashi, Fumitaka Abe, and Kiichi Niitsu, "Low-Distortion Sinewave Generation Method Using Arbitrary Waveform Generator," *Journal of Electronic Testing: Theory and Applications*, vol.28, no.2, pp.152-163, Apr. 2012. 査読有
- ② Jiani Ye, Zachary Nosker, Kazuyuki Wakabayashi, Takuya Yagi, Osamu Yamamoto, Nobukazu Takai, Kiichi

Niitsu, Keisuke Kato, Takao Ootsuki, Isao Akiyama, and Haruo Kobayashi, "Architecture of High-Efficiency Digitally-Controlled Class-E Power Amplifier," Key Engineering Materials, vol. 487, pp. 285-295, Dec. 2011. 査読有

- ③ Kiichi Niitsu, Shinmo Kang, Vishal V. Kulkarni, Hiroki Ishikuro, and Tadahiro Kuroda, "A 14 GHz AC-Coupled Clock Distribution Scheme with Phase Averaging Technique Using Single LC-VCO and Distributed Phase Interpolators," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 19, no. 11, pp. 2058-2066, Nov. 2011. 査読有
- ④ Kiichi Niitsu, Yasufumi Sugimori, Yoshinori Kohama, Kenichi Osada, Naohiko Irie, Hiroki Ishikuro, and Tadahiro Kuroda, "Analysis and Techniques for Mitigating Interference from Power/Signal Lines and to SRAM Circuits in CMOS Inductive-Coupling Link for Low-Power 3D System Integration," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 19, no. 10, pp. 1902-1907, Oct. 2011. 査読有

[学会発表] (計12件)

- ① Kiichi Niitsu, Masato Sakurai, Naohiro Harigai, Daiki Hirabayashi, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A Reference-Clock-Free On-Chip Timing Jitter Measurement Circuit Using a Cascaded Time Difference Amplifier in 65nm CMOS," in Proc. IEEE/ACM Asia and South Pacific Design Automations Conference (ASP-DAC 2012), 2012年2月1日.(シドニー・オーストラリア)
- ② Yasunori Kobori, Lin Xing, Gao Hong, Naohisa Okamoto, Masaki Ohshima, Haruo Kobayashi, Nobukazu Takai, and Kiichi Niitsu, "Novel AC-DC Direct Converter Design with PFC", accepted to International Conference on Power Electronics and Power Engineering (ICPEPE 2011), 2011年12月21日(タイ・プーケット)
- ③ Masato Sakurai, Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Takahiro J. Yamaguchi, and Haruo Kobayashi, "Analysis of Jitter Accumulation in Interleaved Phase

Frequency Detectors for High-Accuracy On-Chip Jitter Measurements," in Proc. International SoC Design Conference (ISOC 2011), 2011年11月17日(済州・韓国)

- ④ Kiichi Niitsu, Masato Sakurai, Naohiro Harigai, Takahiro J. Yamaguchi, and Haruo Kobayashi, "An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," in Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC 2011), 2011年11月14日(済州・韓国)
- ⑤ Zachary Nosker, Yasunori Kobori, Haruo Kobayashi, Kiichi Niitsu, Nobukazu Takai, Takeshi Oomori, Takahiro Odaguchi, Isao Nakanishi, Kenji Nemoto, and Jun-ichi Matsuda, "A Small, Low Power Boost Regulator Optimized for Energy Harvesting Applications," in Proc. IEEE International Analog VLSI Workshop (AVW 2011), 2011年11月3日(バリ・インドネシア)
- ⑥ Naohiro Harigai, Kiichi Niitsu, Daiki Oki, Masato Sakurai, Takahiro J. Yamaguchi, and Haruo Kobayashi, "A Twistedly-Cascaded Time Difference Amplifier for High Robustness Against Process Variation," in Proc. International Conference on Solid State Devices and Materials (SSDM 2011), 2011年9月14日(名古屋)
- ⑦ Takafumi Yamada, Osamu Kobayashi, Keisuke Kato, Kazuyuki Wakabayashi, Haruo Kobayashi, Tatsuji Matsuura, Yuji Yano, Tatsuhiro Gake, Kiichi Niitsu, Nobukazu Takai, and Takahiro J. Yamaguchi, "Low-Distortion Single-Tone and Two-Tone Sinewave Generation Algorithms Using $\Sigma \Delta$ DAC," accepted to IEEE International Test Conference (ITC 2011) (Poster Session), 2011年9月21日(フロリダ・アメリカ)
- ⑧ Kazuyuki Wakabayashi, Takafumi Yamada, Satoshi Uemori, Osamu Kobayashi, Keisuke Kato, Haruo Kobayashi, Kiichi Niitsu, Hiroyuki Miyashita, Shinya Kishigami, Kunihito Rikino, Yuji Yano, and Tatsuhiro Gake, "Low-Distortion Single-Tone and Two-Tone Sinewave Generation Algorithms Using an Arbitrary Waveform Generator," in

- Proc. IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW 2011), 2011年5月16日 (サンタバーバラ・アメリカ)
- ⑨ Satoshi Ito, Shigeyuki Nishimura, Haruo Kobayashi, Satoshi Uemori, Yohei Tan, Nobukazu Takai, Takahiro J. Yamaguchi, and Kiichi Niitsu, "Stochastic TDC Architecture with Self-Calibration," in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2010), 2010年12月9日 (クアラルンプール・マレーシア)
- ⑩ Satoshi Uemori, Takahiro J. Yamaguchi, Satoshi Ito, Yohei Tan, Haruo Kobayashi, Nobukazu Takai, Kiichi Niitsu, and Nobuyoshi Ishikawa, "ADC Linearity Test Signal Generation Algorithm," in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2010), 2010年12月7日 (クアラルンプール・マレーシア)
- ⑪ Tomohiko Ogawa, Haruo Kobayashi, Yohei Tan, Satoshi Ito, Satoshi Uemori, Nobukazu Takai, Kiichi Niitsu, Takahiro J. Yamaguchi, Tatsuji Matsuura, and Nobuyoshi Ishikawa, "SAR ADC That is Configurable to Optimize Yield," in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2010), 2010年12月7日 (クアラルンプール・マレーシア)
- ⑫ Keita Takatsu, Kiichi Niitsu, Tsunaaki Shidei, Noriyuki Miura, and Tadahiro Kuroda, "A 0.45V-to-2.7V Inductive-Coupling Level Shifter," in Proc. IEEE Asian Solid-State Circuits Conference (A-SSCC 2010), 2011年11月10日 (北京・中国)

6. 研究組織

(1) 研究代表者

新津 葵一 (KIICHI NIITSU)
群馬大学・大学院工学研究科・助教
研究者番号：40584785

(2) 研究分担者

なし

(3) 連携研究者

なし