

**科学研究費助成事業 研究成果報告書**

平成 28 年 5 月 29 日現在

機関番号：12601

研究種目：基盤研究(A) (一般)

研究期間：2011～2014

課題番号：23246064

研究課題名(和文)室温動作集積単電子トランジスタと大規模CMOS回路との融合による新機能創出

研究課題名(英文)Creation of New Functionalities by Integration of Room-Temperature Operating Single Electron Transistors and Large-Scale CMOS Circuits

研究代表者

平本 俊郎 (Hiramoto, Toshiro)

東京大学・生産技術研究所・教授

研究者番号：20192718

交付決定額(研究期間全体)：(直接経費) 37,600,000円

研究成果の概要(和文)：大規模集積回路の微細化限界を打破し新機能を創出することを目的に、室温動作シリコン単電子トランジスタとCMOS回路を1チップ上に集積し両者の融合による新機能創出に挑戦した。作製プロセスの改良により、室温動作単電子トランジスタとCMOS回路の集積化プロセスを確立し、単電子トランジスタのクーロンブロックード振動をCMOS回路で制御することに成功し、新たな機能を創出した。

研究成果の概要(英文)：The objective of this research is to create new functionalities by the integration of room-temperature operating silicon single electron transistors and CMOS circuits. By establish the fabrication process of the integration of silicon single electron transistors and CMOS circuits, the control of single electron transistors by CMOS circuits have been successfully demonstrated.

研究分野：集積デバイス工学

キーワード：単電子トランジスタ Beyond CMOS CMOS 集積回路 MOSFET クーロンブロックード振動 ナノワイヤ

## 1. 研究開始当初の背景

本研究の目的は、ナノスケールの半導体構造中で新たに発現する物理現象を積極的に利用したいわゆる Beyond CMOS デバイスと、既存の CMOS 回路を融合させることにより、新たな新機能を創出する新概念集積回路を実現することである。具体的には、Beyond CMOS デバイスとして室温動作シリコン単電子トランジスタを取り上げる。本研究の主な特徴は、当然ながら室温動作を目指す点および単電子トランジスタを CMOS 回路で制御する点である。

シリコン CMOS トランジスタで構成される大規模集積回路(VLSI)は、身の回りのあらゆる情報機器に組み込まれ、私たちの生活になくてはならない存在となっている。CMOS トランジスタには更なる性能向上と低消費電力化が求められており、そのサイズは急速に微細化されている。この技術動向は一般に More Moore と呼ばれる。ところが、従来通りの単なる微細化では性能向上が達成できないことが明らかになりつつある。この状況を打ち破るため、ナノ構造中や新材料中で現れる新規物理現象を積極的に利用した新機能デバイスの研究開発が強く求められており、このような新デバイスは一般に Beyond CMOS デバイスと呼ばれている。

研究代表者の平本は、国際半導体ロードマップ(ITRS)で Beyond CMOS を議論する Emerging Research Device (ERD)ワーキンググループの日本代表を長年務め、Beyond CMOS の位置づけと日本が進むべき方向性の議論をリードしてきた。日本 ERD-WG の結論は、「CMOS に優る情報処理方法は(Near Term では)存在しない。Beyond CMOS は単独で情報処理を行うことを目指すより、CMOS と融合して CMOS への新機能追加を目指すべきである」というものである。MEMS やセンサー等の More Than Moore が CMOS への機能追加を目指すように、Beyond CMOS も CMOS (More Moore)と融合して、CMOS のみでは実現不可能な新しい機能の追加を行うことが重要である。この「Extended CMOS」考え方は、世界の ITRS 委員会でも取り上げられ、広く周知されつつある[ ]。

ところが、Beyond CMOS と従来 CMOS の融合は、一部の不揮発性メモリでは進んでいるものの、実際にはプロセス上も回路上也極めて難しい。本研究では、Beyond CMOS として当研究室で長年研究を進めてきたシリコン単電子トランジスタ (SET) を例にとり、単電子トランジスタと従来 CMOS との回路融合を探究する。

SET の研究は世界的に盛んに行われているが、化合物半導体や金属を材料とする研究が多く、しかも「極低温動作」の「単体デバイス」における「物理現象の解明」が大半である。シリコンによる SET も報告されているが、室温で大きなクーロンブロッケード振動を示す SET はほとんど他機関からは報告され

ていない。一方、単電子回路の提案は古くから行われているが、SET のみを用いた単電子デジタル回路の極低温でのシミュレーションが多い。これらのデジタル回路はエラー率の観点から室温動作は難しいとされている。また、これらは SET と CMOS との融合を進めたものではなく、室温動作の試作例はまったく報告されていない。

当研究室では、シリコンプロセスにより、室温で世界最大の山谷比(480)のクーロンブロッケード振動を有するシリコン SET の作製に成功している[ ]。しかも、室温動作の SET を3個集積することにも成功している[ ]。

## 2. 研究の目的

本研究は、このような状況の下で室温動作 SET と CMOS との融合を目指したものである。本研究の目的は、ナノスケールの半導体構造を利用した室温動作 SET と、既存の CMOS 回路を融合させることにより、新たな新機能を創出する新概念集積回路を実現することである。

## 3. 研究の方法

室温動作 SET と CMOS 回路を集積化を実現するため、本研究では、まず室温動作 SET を歩留まり良く作製するためのプロセス改良をおこなった。次に、SET と nMOS 回路の集積化を行った。最後に、CMOS 回路との集積化を行うために、作製プロセスをさらに改良し、室温動作 SET の特性を CMOS 回路で制御することに成功した。研究成果の詳細を下記に述べる。

## 4. 研究成果

### (1) 室温動作 SET 作製プロセス

SET の室温動作のためには最終的な幅が 3 nm 以下のナノワイヤチャンネルが必要である。当研究室のシリコンナノワイヤチャンネル SET の作製プロセスは、通常の Silicon-on-Insulator (SOI) 基板上のシリコンナノワイヤ電界効果トランジスタ(FET)のそれとほぼ同じである。Fig. 1 に SET として動作するシリコンナノワイヤチャンネルの模式図を示す。障壁が2つ十分近接して形成されると、障壁に囲まれた領域が量子ドットとなることで SET の特性が現れると考えられている。

最初に、SOI 基板の SOI 層を熱酸化と酸化膜除去により厚さ 15 nm 程度まで薄層化する。続いて、EB レジストとして HSQ (hydrogen silsequioxane) を塗布し、EB リソグラフィとドライエッチングによりメサ(バルク MOSFET における活性領域に相当)を形成する。これはソース/ドレイン(S/D)部と、後に単電子トランジスタのドットが形成されるナノワイヤチャンネル部からなる。HSQ の除去にはフッ酸を用いるが、この時チャンネル下部の埋め込み酸化膜(Buried Oxide; BOX)も削られるのでチャンネルは宙吊りとなる。

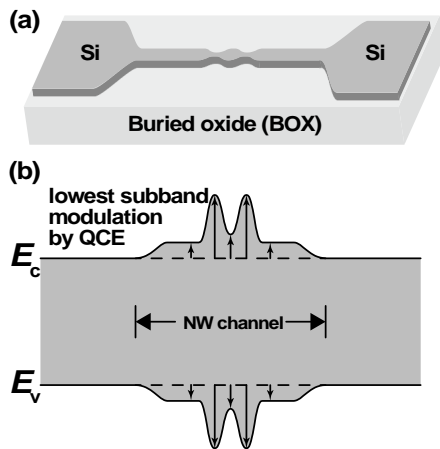


Fig. 1. (a) 単電子トランジスタ (SET) の模式図．シリコンナノワイヤに狭窄部が形成されている．(b) 模式図に対応するシリコンナノワイヤのバンド図．

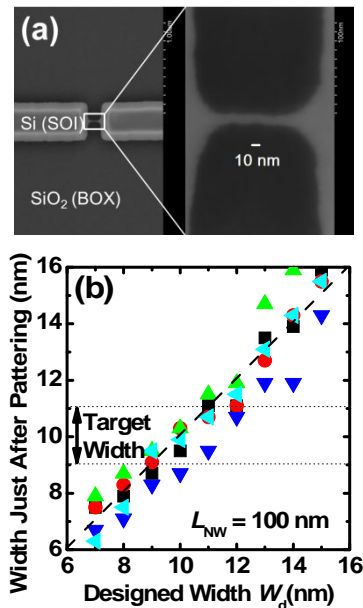


Fig. 2. (a) 作製したシリコンナノワイヤの顕微鏡写真．(b) パターニング後のナノワイヤ幅と設計幅の関係．

次に熱酸化によりゲート絶縁膜を形成し、続いて多結晶シリコン(Poly-Si)を堆積、エッチングを行いゲート電極を形成する．ここで、チャンネルの下部は poly-Si によって埋められるので、チャンネルがゲートに完全に囲まれた Gate-All-Around (GAA) 構造となる．イオン注入を行い S/D 拡散領域を形成した後、厚い絶縁膜を堆積しデバイスを保護する．最後にコンタクトホールを開け、測定用の Al パッドと配線を形成して素子は完成となる．

本研究においては、最適化された EB リソグラフィにより、最大 2 nm 程度のばらつきがあるが幅 10 nm 前後のナノワイヤをおおむね設計幅通りに直接形成できている(Fig. 2)．その後、酸化プロセス等によりさらにナノワイヤは細くなり、2nm 程度のドットが形成される．

さらに、キャリアの極性(単電子か単正孔か)およびナノワイヤの方向を詳細に調べたところ、量子閉じ込め効果が強く僅かな形状揺らぎでも高い障壁が形成され得る <110> 方向 SET が最も適していることが明らかとなった．以下では、<110>方向チャンネルの SET と CMOS 回路との融合について述べる．

## (2) 室温動作 SET の機能化

SET のクーロンブロック振動特性という新機能をさらに活かすために、SET に不揮発性メモリ効果を組み入れることが提案されている．従来は、SET にナノクリスタル浮遊ゲート(nanocrystal)を持たせることにより振動のピーク位置を製作後に不揮発的に制御していた．しかしこの構造では電子がナノクリスタルに局所的に注入されるため、SET のポテンシャルが一樣ではなく局所的に変化し、振動のピーク高さも同時に変化してしまうという欠点があった．

本研究では、ナノクリスタルに代わり SET 全体を覆う浮遊ゲート(FG)を用い、クーロンブロック振動特性のピーク高さを変えずにピーク位置を制御することを試みた．チャンネルはシリコンナノワイヤ構造を有し、ワイヤ径の揺らぎ等でドットが形成される．FGSET の制御ゲートに高電圧と印加すると、FG に電子が注入されクーロンブロック振動がシフトする．FGSET では、SET チャンネル全体を FG で覆うことで、単電子トランジスタのトンネルバリアのポテンシャルが一樣に上昇し、ピーク高さを変化させずにクーロンブロック振動をシフトさせる．

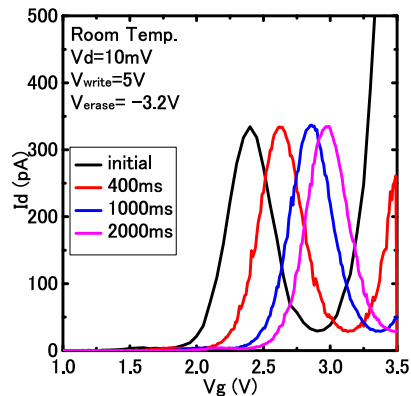


Fig. 3. 作製した浮遊ゲート SET の室温特性．ゲートに電圧を印加することによりピークがシフトしている．

Fig. 3 に室温動作 FGSET のピークシフト前後の I-V 特性を示す．制御ゲートに書き込み電圧(5V)を印加して FG に電子を注入し、クーロンブロック振動をシフトさせた．クーロンブロック振動の特性が変わらず平行移動していることがわかる．また、書き込み時間を変えることでクーロンブロック振動のシフト量も変化させることができる．さらに、Fig. 4 はピークシフトの 1 か月後の

特性である．電圧印加直後からピーク位置はほとんど戻っておらず，ピークシフトの保持時間が十分に長いことが確認された．

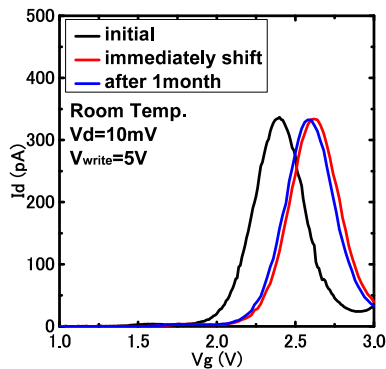


Fig. 4. 作製した浮遊ゲート SET における電圧印加後 1 ヶ月の特性．

一方，SET と CMOS 回路の融合は，プロセス上も回路上也容易ではない．本研究では，CMOS 回路の集積化を試みる前に，単電子トランジスタと nMOS 回路の集積化を試みた．具体的には，前述の浮遊ゲート(FG)を有する単電子トランジスタ(FGSET)と，nMOS 回路によるチャージポンプ回路を同一チップ上に集積し，チャージポンプ回路による FGSET の特性制御を試みた．

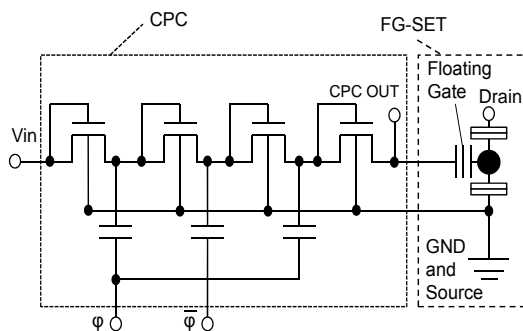


Fig. 5. 集積化したチャージポンプ回路(CPC)と単電子トランジスタの回路図．

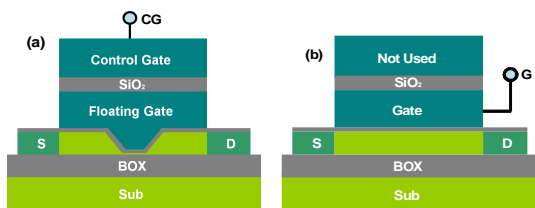


Fig. 6. (a) 浮遊ゲートを有する SET の模式図．上層のポリシリコンゲートを制御ゲートとして用いる．(b) チャージポンプ回路を構成する従来 MOSFET の模式図．下層ポリシリコンをゲートとして用いる．

Fig. 5 に試作した回路の回路図を示す．チャージポンプ回路の出力と FGSET の制御ゲートを接続し，FGSET の特性制御をチャージポンプ回路で行えるようにした．Fig. 6 に試

作したデバイスの模式図を示す．2 層のポリシリコンを有し，FGSET では下層を FG，上層を制御ゲートとしている．一方，チャージポンプ回路用の従来 MOSFET では，上層は用いず，下層を通常ゲートとして使用する．

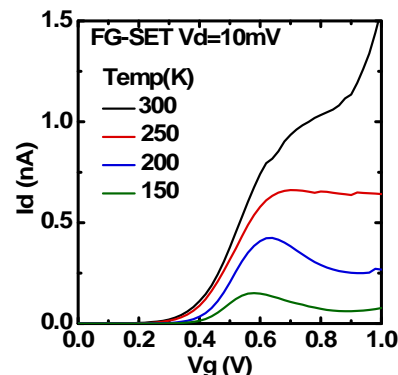


Fig. 7. 作製した浮遊ゲート SET の特性．室温でもクーロンブロックド振動が残っている．

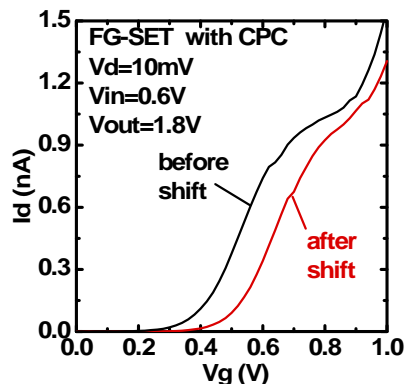


Fig. 8. チャージポンプ回路を動作させる前後の室温における SET の特性．

Fig. 7 に FGSET の  $I_d$ - $V_g$  測定の結果を示す．低温においてクーロンブロックド振動が明瞭に観測され，室温でも振動が残っている．一方，作製したチャージポンプ回路では，3 段のチャージポンプ回路の入力に 0.6V を印加すると 1.8V に昇圧される．Fig. 8 に，チャージポンプ回路による電圧印加前後の FGSET の特性を示す．昇圧された制御ゲート電圧により，FGSET の特性がシフトしていることがわかる．これにより，nMOS 回路と単電子トランジスタの集積化により，単電子トランジスタの特性を nMOS 回路で制御できることを示した．

### (3) SET と CMOS 回路の集積化

SET と CMOS 回路の集積化の目的は，新機能の創出であるが，SET は電流駆動力が低いいため，出力を高速にチップ外に取り出すには CMOS 回路による増幅が必要という側面もある．実用化に向けて CMOS 回路規模の向上も不可欠である．そこで本研究では，作製プロセスにさらに改良を加え，大規模集積回路

応用に堪える完全 CMOS 互換な室温動作 SET 作製プロセスの確立および集積回路動作の実証を行った。

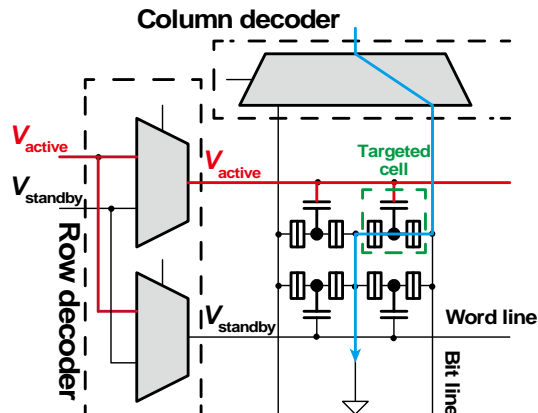


Fig. 9. SET と CMOS 集積化した回路の例 . この回路は SET のアレイと CMOS アドレスデコーダにより構成され, 指定された SET の電流を選択的に読み出す .

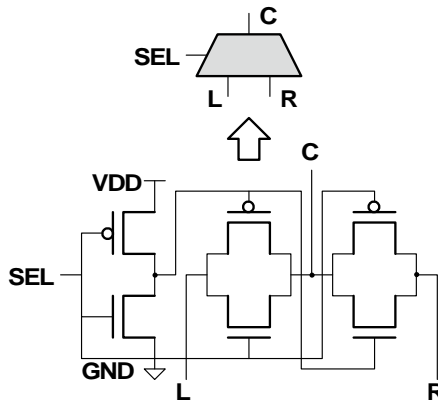


Fig. 10. CMOS 1-bit アナログセクタ回路 . これは電流経路セクタとして機能する .

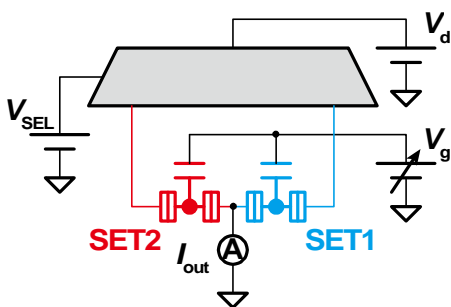


Fig. 11. 電流経路セクタと2つのSETから構成される回路 .

SET と CMOS を集積化したシステムにおいては, Fig. 9 のような CMOS 周辺回路による大規模 SET アレイへの選択的アクセスが適していると思われる . そこで, 本研究では Fig. 10 に示す CMOS アナログセクタ回路を室温動作 SET と同一チップ上に集積した . 6 つの MOSFET から構成されるこの回路は, バイアス条件により電圧セクタとしても電流セクタとしても使用可能である . この

回路と SET をチップ上で配線し, Fig. 11 のような2つのSETのうち1つの出力電流を選択的に読み出す回路を構成した .

今回は SET 作製プロセスを以下の点において改良し, CMOS 互換性の改善を図った . まず, SET のナノワイヤチャネル周辺部のみをシリコン局所酸化(LOCOS)プロセスにより選択的に薄層化した . これにより, MOSFET の寄生抵抗を増加させることなく, 微細ドット形成に必要な極めて背の低いナノワイヤチャネルが得られる . また, MOSFET のしきい値の制御については, SET のドット形成には直接影響しないためさまざまな方法が考えられるが, 今回は多結晶シリコンのゲートに適切な極性の不純物注入を行うことにより, ゲートの仕事関数を操作し, 高いしきい値とノーマリオフ動作を実現した .

Fig. 11 の選択的電流読み出し回路の室温における動作結果を Fig. 12 に示す . セクタ回路に与える選択信号 SEL によって, 異なるクーロンブロック振動が回路の出力電流に現れており, セクタ回路に接続された2つのSETのうち1つの電流を選択的に読み出していることを示している . これを拡張することにより, 大規模にアレイ化された多数のSETへの選択的アクセスも可能になる期待される .

この結果により, 将来の高密度・高効率な SET/CMOS 融合大規模集積回路による新機能創出の実現可能性が示された .

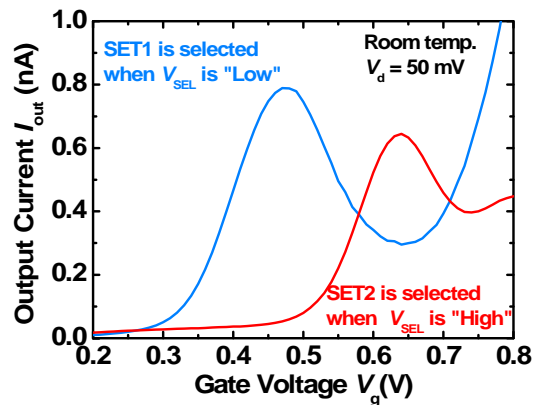


Fig. 12. Fig. 11 に示す回路の室温動作実証 . 選択信号 SEL に応じて異なるクーロンブロック振動ピークが出力電流  $I_{out}$  に現れている .

#### <引用文献>

- 平本俊郎, 巻頭言: Beyond CMOS とは? , 応用物理, Vol. 77, No. 3, p. 253, 2008年3月 .
- M. Kobayashi and T. Hiramoto, Journal of Applied Physics, vol. 103, no. 5, 053709, 2008.
- M. Saitoh, H. Harata, and T. Hiramoto, IEEE Electron Devices Meeting (IEDM), p. 187, 2004.

## 5 . 主な発表論文等

### 〔雑誌論文〕(計4件)

R. Suzuki, M. Nozue, T. Saraya and T. Hiramoto, “Integration of Complementary Metal-Oxide-Semiconductor 1-Bit Analog Selectors and Single-Electron Transistors Operating at Room Temperature”, Japanese Journal of Applied Physics, Vol. 52, No. 4, 04CJ05, March, 2013. DOI: <http://dx.doi.org/10.7567/JJAP.52.04CJ05>.

M. Nozue, R. Suzuki, H. Nomura, T. Saraya, and T. Hiramoto, “Characteristics Control of Room-Temperature Operating Single Electron Transistor with Floating Gate by Charge Pump Circuit”, Solid State Electronics, Vol. 88, pp. 61 - 64, October, 2013. DOI: 10.1016/j.sse.2013.04.015.

R. Suzuki, M. Nozue, T. Saraya, and T. Hiramoto, “Experimental Observation of Quantum Confinement Effect in (110) and (100) Silicon Nanowire Field-Effect Transistors and Single-Electron/Hole Transistors Operating at Room Temperature”, Japanese Journal of Applied Physics, Vol. 52, No. 10, 104001, October, 2013. DOI: <http://dx.doi.org/10.7567/JJAP.52.104001>.

Y. Tanahashi, R. Suzuki, T. Saraya, T. Hiramoto, “Peak Position Control of Coulomb Blockade Oscillations in Silicon Single-Electron Transistors with Floating Gate Operating at Room Temperature”, Japanese Journal of Applied Physics, Vol. 53, No. 4S, 04EJ08, March, 2014. DOI: <http://dx.doi.org/10.7567/JJAP.53.04EJ08>.

### 〔学会発表〕(計6件)

M. Nozue, R. Suzuki, Hirotochi Nomura, T. Saraya, and T. Hiramoto, “Characteristics Control of Single Electron Transistor with Floating Gate by Charge Pump Circuit”, 13th International Conference on Ultimate Integration of Silicon (ULIS), Minitech, Grenoble, France, pp. 201 – 204, March 6-7, 2012.

R. Suzuki, M. Nozue, T. Saraya, and T. Hiramoto, “Fully CMOS-Compatible Fabrication Process of Room-Temperature Operating Silicon Single-Electron Transistors”, 8th Int. Nanotechnology Conference on Communication and Cooperation (INC8), AIST Tsukuba Central, Tsukuba, May 8, 2012.

R. Suzuki, M. Nozue, T. Saraya, and T. Hiramoto, “Reinvestigation of Dot Formation Mechanisms in Silicon Nanowire Channel Single-Electron/Hole Transistors Operating at Room Temperature”, IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 57 - 58, June

11, 2012.

R. Suzuki, M. Nozue, T. Saraya, and T. Hiramoto, “Integration of 1-bit CMOS Address Decoders and Single-Electron Transistors Operating at Room Temperature”, 2012 International Conference on Solid State Devices and Materials (SSDM), Kyoto International Conference Center, Kyoto, pp. 943 - 944, September 25, 2012.

Y. Tanahashi, R. Suzuki, T. Saraya, and T. Hiramoto, “Peak Position Control of Coulomb Oscillations in Silicon Single-Electron Transistors with Floating Gate Operating at Room Temperature”, 2013 International Conference on Solid State Devices and Materials (SSDM), Hilton Fukuoka Sea Hawk, Fukuoka, pp. 778 - 779, September 26, 2013.

T. Mizutani, Y. Tanahashi, R. Suzuki, T. Saraya, M. Kobayashi, and T. Hiramoto, “Threshold Voltage and Current Variability of Extremely Narrow Silicon Nanowire MOSFETs with Width down to 2nm”, Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, Kyoto, pp. 21 - 22, June 14, 2015.

### 〔図書〕(計0件)

なし

### 〔産業財産権〕

○出願状況(計0件)

なし

○取得状況(計0件)

なし

### 〔その他〕

ホームページ等

なし

## 6 . 研究組織

### (1) 研究代表者

平本 俊郎 (Hiramoto, Toshiro)

東京大学・生産技術研究所・教授

研究者番号：20192718

### (2) 研究分担者

なし

### (3) 連携研究者

更屋 拓哉 (Saraya, Takuya)

東京大学・生産技術研究所・助手

研究者番号：90334367