

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 7 日現在

機関番号：32682

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23300016

研究課題名(和文)線形変換とメモリを用いた論理合成に関する研究

研究課題名(英文)Logic synthesis using linear transformation and memories.

研究代表者

笹尾 勤(Sasao, Tsutomu)

明治大学・理工学部・教授

研究者番号：20112013

交付決定額(研究期間全体)：(直接経費) 7,000,000円、(間接経費) 2,100,000円

研究成果の概要(和文)：インターネット用のルータやコンピュータウイルス検出装置では、高速にパターンマッチングする必要がある。また、パターンの変更も頻繁に生ずる。従来は、この操作をCAM(Content Addressable Memory)を用いた実行していたが、CAMは、消費電力が大きく大規模な回路も作りにくかった。本研究では、インデックス生成関数を線形関数と非線形関数に分解し、非線形関数の部分をメモリで実現し、その変数の個数を削減する手法を開発した。これにより、大規模なパターンマッチング回路が汎用メモリで実現可能となった。

研究成果の概要(英文)：In routers for the internet and computer virus scanners, high-speed pattern matching is indispensable. In such applications, patterns must be modified frequently. To perform such operation, CAMs (Content Addressable Memories) have been used. Unfortunately, CAMs dissipate high power, and large-scale CAMs are very expensive. In this research, we developed a method to decompose an index generation function into linear and non-linear parts. Non-linear parts are realized by memories, where the number of input variables are reduced. With this method, we can implement a large-scale pattern matching circuit by using general-purpose memories. Thus, obtained circuits are low-cost and low-power.

研究分野：情報学

科研費の分科・細目：計算機システム・ネットワーク

キーワード：線形変換 関数分解 不完全定義関数 CAM(連想メモリ) インデックス生成関数 コンピュータウイルス検出 パターンマッチング

1. 研究開始当初の背景

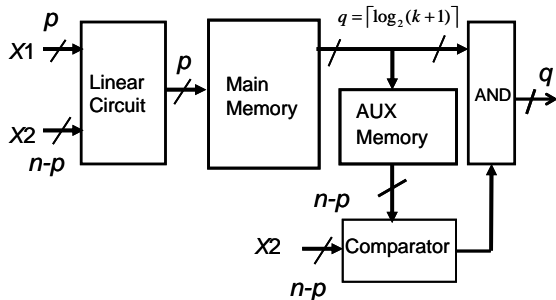


図1. IGU

本研究は、2002 年度に開始した文部科学省の知的クラスター創成事業(第1期)に始まる。インデックス生成関数のアイデアは、共同研究先の企業の技術者との討論の過程で生まれた。インターネットのルータや、スイッチでは、CAM(連想メモリ)が広く用いられている。CAMは高速であるが、消費電力が大きいため大規模なものは製造が困難である。申請者は、CAMと同じ機能を持つ回路を汎用メモリで実現する回路(図1. IGU: Index Generation Unit)を考案し、国際特許を取得した。また、インデックス生成関数の実現法に関する専門書を米国から出版した。

2. 研究の目的

k 個の n ビット登録ベクトルに対して、インデックスを割り当てる。入力登録ベクトルと等しいとき、インデックス値を生成し、入力登録ベクトル中に無いとき、0 を生成するような関数: $\{0,1\}^n \rightarrow \{0,1,2,\dots,k\}$ を重み k のインデックス生成関数という。

IGU は、重み k のインデックス生成関数を線形回路とメモリを用いて実現する。線形回路のコストを無視すると、回路のコストは、メモリの大きさで決まり、メモリの大きさは、メモリのアドレスのビット数で決まる。メモリのビット数は、線形回路を適切に選ぶことにより、劇的に削減できる。本研究の目的は、メモリを最小化するような線形関数を求めることである。

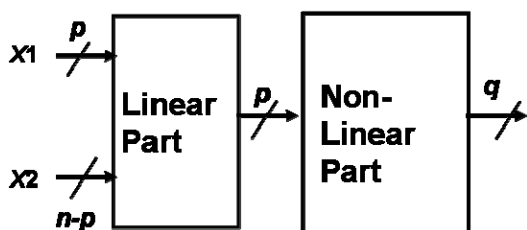


図2. 線形分解

3. 研究の方法

インデックス生成関数を線形部分と非線形部分に分解する(図2)。また、インデック

ス生成関数で0となる部分をドント・ケアに変更した不完全定義インデックス関数を考えると、ドント・ケアの割合が多いとき、変数を削減できる。ここでは、変数最小化問題を考える。不完全定義インデックス生成関数の変数最小化は、最小被覆問題を解くことによって解決できる。最適解を求めるには、全ての線形変換を調べれば十分であるが、線形変換の個数が多すぎるので、発見的手法を用いる。

4. 研究成果

研究の結果、以下のことが明らかになった。(1) 殆ど全ての重み k の n 変数インデックス生成関数を表現するためには、少なくとも $p = \lceil 2 \log_2(k+1) \rceil - 4$ 個の変数が必要である。

(2) 変数を最小化する線形変換を求めるアルゴリズムとして、差分行列を用いる方法を開発した。(笹尾、浦野、井口: SASIMI2013: 論文賞受賞)。

(3) 差分行列と、自己相関関数の関係を導いた(笹尾、ISMVL2013)。

(4) 重み k が大きなインデックス生成関数を、一つの IGU で実現する場合、必要なメモリが大きくなり過ぎる性能が悪い。k が大きい場合は、複数の IGU を用いて各 IGU の線形変換を変えてやれば、全体として性能のよい、連想記憶装置が実現可能である(図3)。

(5) 実際の応用を考えると、高速に更新可能なアーキテクチャが必要である。(このアイデアは、H26~H28 の科研費に採択された。)

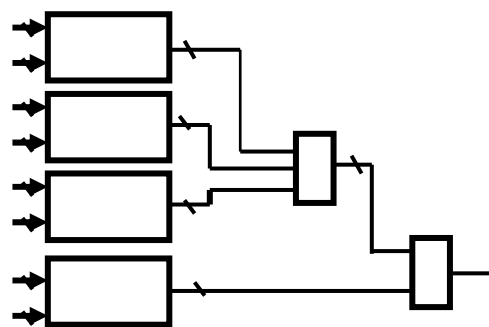


図3 複数の IGU を用いた回路

(6) パターンマッチング用プログラマブル論理回路の解説記事が電子通信学会の本誌に掲載された(笹尾 2013)。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計9件)

① S. Nagayama, T. Sasao and J. T. Butler, "EVMD-Based analysis and diagnosis

methods of multi-state systems with multi-state components," Journal of Multiple-Valued Logic and Soft Computing, Vol. 22, No.1-2, pp.59-78, 2014.

<http://www.lsi-cad.com/sasao/Papers/pub2014.html>

② H. Nakahara, T. Sasao, and M. Matsuura, "A virus scanning engine using an MPU and an IGU based on row-shift decomposition," IEICE Transactions on Information and Systems, Vol. E96-D, No. 8, Aug. 2013, pp.1667-1675.

<http://www.lsi-cad.com/sasao/Papers/pub2013.html>

③ I. Syafalni and T. Sasao, "On the number of products in prefix SOPs for interval functions," IEICE Trans. on Information and Systems, Vol. E96-D, No. 5, May 2013, pp.1086-1094.

<http://www.lsi-cad.com/sasao/Papers/pub2013.html>

④ T. Sasao, "Multiple-valued index generation functions: Reduction of variables by linear transformation," Journal of Multiple-Valued Logic and Soft Computing, Vol. 21, No.5-6, pp. 541-559, 2013.

<http://www.lsi-cad.com/sasao/Papers/pub2013.html>

⑤ 笹尾勤, "パターンマッチング用プログラマブル論理回路とその設計法," 電子情報通信学会誌, Vol. 96, No. 2, pp. 100-104, 2013年2月.

<http://www.lsi-cad.com/sasao/Papers/pub2013.html>

⑥ H. Nakahara, T. Sasao, and M. Matsuura, "A Regular expression matching circuit: Decomposed non-deterministic realization with prefix sharing and multi-character transition," Microprocessors and Microsystems, Vol. 36, Issue 8, Nov. 2012, pp. 644-664. 10.1016/j.micpro.2012.05.009

⑦ H. Nakahara, T. Sasao and M. Matsuura, "A Comparison of multi-valued and heterogeneous decision diagram machines," Journal of Multiple-Valued Logic and Soft Computing, Vol. 19, No.1-3, pp.203-217, 2012.

<http://www.lsi-cad.com/sasao/Papers/pub2012.html>

⑧ H. Nakahara, T. Sasao, and M. Matsuura, "A design method of a regular expression matching circuit based on

decomposed automaton," IEICE Transactions on Information and Systems, Vol. E95-D, No. 2, pp.364-373, Feb. 2012.

<http://www.lsi-cad.com/sasao/Papers/pub2012.html>

⑨ J. T. Butler, C. L. Frenzen, N. Macaria, and T. Sasao, "A fast segmentation algorithm for piecewise polynomial numeric function generators," Journal of Computational and Applied Mathematics, Vol. 235, Issue14, pp.4076-4082, May 2011. 10.1016/j.cam.2011.02.033

[学会発表] (計 29 件)

① T. Sasao, Y. Urano, and Y. Iguchi, "A heuristic method to find linear decompositions for incompletely specified index generation functions," The 18th workshop on Synthesis and system Integration of Mixed Information Technologies (SASIMI-2013), Sapporo, Japan, Oct. 21-22, 2013, R3-1, pp.143-148.

(Outstanding Contribution Paper)

② I. Syafalni and T. Sasao, "A fast simplification algorithm for packet classification," The 18th workshop on Synthesis and system Integration of Mixed Information Technologies (SASIMI-2013), Sapporo, Japan, Oct. 21-22, 2013, R. 5-7. pp. 328-333

③ I. Syafalni and T. Sasao, "A TCAM generator for packet classification," The 31st IEEE International Conference on Computer Design (ICCD-2013), Asheville, NC, USA, Oct. 6-9, 2013, pp. 322-328. 10.1109/ICCD.2013.6657060

④ H. Nakahara, T. Sasao, and M. Matsuura, "A packet classifier using parallel EVMD(k) machine," 7th IEEE International Symposium on Embedded Multicore SoCs (MCSoc-13), pp43-48.2013, Sept. 26-28. 10.1109/MCSoc.2013.26

⑤ H. Nakahara, T. Sasao, and M. Matsuura, "A Packet Classifier using LUT cascades Based on EVMDs(k)," The 23rd International Conference on Field Programmable Logic and Applications (FPL-2013), Porto, Portugal, Sept.2, 2013. 10.1109/FPL.2013.6645518

⑥ T. Sasao, "Cyclic row-shift

- decompositions for incompletely specified index generation functions," IWLS-2013, Austin, Texas, June 7-8, 2013.
- ⑦ T. Sasao, "Four decades of multi-valued logic: Lists of highly cited papers," pp.198-202, International Symposium on Multiple-Valued Logic (ISMVL-2013), May 2013, Toyama, Japan. 10.1109/ISMVL.2013.29
- ⑧ T. Sasao, "An application of autocorrelation functions to find linear decompositions for incompletely specified index generation functions," pp.96-102, International Symposium on Multiple-Valued Logic (ISMVL-2013), May 2013, Toyama, Japan. 10.1109/ISMVL.2013.12
- ⑨ H. Nakahara, T. Sasao and M. Matsuura, "A machine to evaluate decomposed multi-terminal multi-valued decision diagrams for characteristic functions," pp.90-95, International Symposium on Multiple-Valued Logic (ISMVL-2013), May 2013, Toyama, Japan. 10.1109/ISMVL.2013.6
- ⑩ S. Nagayama, T. Sasao, and J. T. Butler, "Minimization of the number of edges in an EVMDD by variable grouping for fast analysis of multi-state systems," pp.284-289, International Symposium on Multiple-Valued Logic (ISMVL-2013), May 2013, Toyama, Japan. 10.1109/ISMVL.2013.37
- ⑪ T. Sasao, "Forty years of logic synthesis: Memoir," RM-2013, May 24, Toyama, Japan.
- ⑫ H. Nakahara, T. Sasao and M. Matsuura, "An architecture for IPv6 lookup using parallel index generation units," The 9th International Symposium on Applied Reconfigurable Computing (ARC2013), March 25-27, 2013. Los Angeles. 10.1007/978-3-642-36812-7_6
- ⑬ J. T. Butler and T. Sasao, "Hardware index to set partition converter," The 9th International Symposium on Applied Reconfigurable Computing (ARC2013), March 25-27, 2013. Los Angeles. 10.1007/978-3-642-36812-7_7
- ⑭ H. Nakahara, H. Nakanishi, and T. Sasao, "On a wideband fast Fourier transform using piecewise linear approximations: Application to a radio telescope spectrometer," The 12th IEEE International Conference on Algorithms and Architectures for Parallel Processing (ICA3PP2012), Sept.4-7, 2012, Lecture Notes in Computer Science, LNCS 7439, pp.202-217.
- ⑮ I. Syafalni and T. Sasao, "A fast head-tail expression generator for TCAM: Application to packet classification," IEEE Computer Society Annual Symposium on VLSI (ISVLSI-2012), Amherst, USA, August 19-21, 2012, pp.27-32. 10.1109/ISVLSI.2012.47
- ⑯ H. Nakahara, H. Nakanishi, and T. Sasao, "On a wideband fast Fourier transform for a radio telescope," the 3rd International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies (HEART 2012), Okinawa, Japan, May 31- June 1, 2012, pp.109-114. 10.1007/978-3-642-33078-0_15
- ⑰ J. T. Butler and T. Sasao, "Hardware index to permutation converter," 19th Reconfigurable Architectures Workshop, May 21-22, 2012, Shanghai, China. 10.1109/IPDPSW.2012.55
- ⑱ T. Sasao, "Multiple-valued input index generation functions: Optimization by linear transformation," International Symposium on Multiple-Valued Logic (ISMVL-2012), Victoria, Canada, May 14-16, 2012, pp.185-190. 10.1109/ISMVL.2012.21
- ⑲ S. Nagayama, T. Sasao, and J. T. Butler, "Analysis of multi-state systems with multi-state components using EVMDDs," International Symposium on Multiple-Valued Logic (ISMVL-2012), Victoria, Canada, May 14-16, 2012, pp.122-127. 10.1109/ISMVL.2012.28
- ⑳ H. Nakahara, T. Sasao, and M. Matsuura, "Multi-terminal multiple-valued decision diagrams for characteristic function representing cluster decomposition," International Symposium on Multiple-Valued Logic (ISMVL-2012), Victoria, Canada, May 14-16, 2012, pp.148-153. 10.1109/ISMVL.2012.45
- ㉑ H. Nakahara, T. Sasao and M. Matsuura, "A low-cost and high-performance virus scanning engine using a binary CAM emulator and an MPU," 8th International

Symposium on Applied Reconfigurable Computing, (ARC 2012), March 19-23, 2012, Hong-Kong. Also, Lecture Notes in Computer Science, Vol. 7199, pp.202-214.
10.1007/978-3-642-28365-9_17

㉔ T. Sasao, "Row-shift decompositions for index generation functions," Design, Automation and Test in Europe, (DATE-2012), March 12-16, 2012, Dresden, Germany. pp.1585-1590.
10.1109/DATE.2012.6176725

㉕ T. Sasao, "Linear decomposition of index generation functions," 17th Asia and South Pacific Design Automation Conference (ASP-DAC 2012), Jan. 30- Feb. 2, 2012, Sydney, Australia, pp.781-788.
10.1109/ASPDAC.2012.6165060

㉖ J. T. Butler and T. Sasao, "Fast constant weight codeword to index converter," The 54th IEEE International Midwest Symposium on Circuits and Systems, Korea August 7-10, 2011, CDROM, pp.1-4.
10.1109/MWSCAS.2011.6026312

㉗ H. Nakahara, T. Sasao, and M. Matsuura, "On a prefetching heterogeneous MDD machine," The 54th IEEE International Midwest Symposium on Circuits and Systems, Korea August 7-10, 2011, CDROM, pp.1-4.
10.1109/MWSCAS.2011.6026352

㉘ T. Sasao, "Index generation functions: Recent developments," International Symposium on Multiple-Valued Logic (ISMVL-2011), Tuusula, Finland, May 23-25, 2011, pp.1-9.
(招待講演) 10.1109/ISMVL.2011.17

㉙ H. Nakahara, T. Sasao and M. Matsuura, "A Comparison of heterogeneous multi-valued decision diagram machines for multiple-output logic functions," International Symposium on Multiple-Valued Logic (ISMVL-2011), Tuusula, Finland, May 23-25, 2011, pp.125-130. 10.1109/ISMVL.2011.15

㉚ S. Nagayama, T. Sasao, and J. T. Butler, "Numeric function generators using piecewise arithmetic expressions," International Symposium on Multiple-Valued Logic (ISMVL-2011), Tuusula, Finland, May 23-25, 2011, pp.16-22. 10.1109/ISMVL.2011.32

㉛ J. T. Butler and T. Sasao, "Fast hardware computation of $x \bmod z$," 18th

Reconfigurable Architectures Workshop (RAW 2011), May 16-17, 2011, Anchorage, Alaska, USA. 10.1109/IPDPS.2011.159

[その他]
ホームページ等

<http://www.lsi-cad.com>

6. 研究組織

(1) 研究代表者

笹尾 勤 (SASAO, Tsutomu)

研究者番号 : 20112013

(2) 研究分担者

()

研究者番号 :

(3) 連携研究者

井口幸洋 (IGUHI, Yukihiro)

研究者番号 : 60201307

(4) 研究協力者

Jon T. Butler