

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 5 日現在

機関番号：62615

研究種目：基盤研究(B)

研究期間：2011～2014

課題番号：23300020

研究課題名(和文)非同期式回路の最適化技術に関する研究

研究課題名(英文)Optimization techniques for asynchronous circuit design

研究代表者

米田 友洋(YONEDA, Tomohiro)

国立情報学研究所・アーキテクチャ科学研究系・教授

研究者番号：30182851

交付決定額(研究期間全体)：(直接経費) 8,500,000円

研究成果の概要(和文)：グローバルクロックを用いない非同期式設計は、クロックの高速化に伴う同期式設計のさまざまな問題を根本的に解決できる可能性を秘めている。一方で非同期式回路を実用化するには、非同期式回路特有のさまざまな最適化技術を適用する必要がある。本研究では、(1) 束データ方式の非同期式回路に不可欠な遅延素子の最適遅延値を自動的に求めるツールの開発、(2) 性能を確保するために近接配置すべきレジスタ類を容易に指定し、汎用配置配線ツールにてそれを反映するレイアウトを行わせる枠組みの開発、および、(3) 新しいタイプのフリップフロップを用いて、非同期式回路を容易に設計するアイデアについての検討等を行った。

研究成果の概要(英文)：Asynchronous circuits are circuits that do not need any global clock systems. Thus, they have the potential for solving a number of problems, such as clock skew problems, related to global clock systems in the synchronous circuit design. On the other hand, for practice use of asynchronous circuits, various optimization techniques specific to asynchronous circuit design are indispensable. For this purpose, we have developed (1) a tool to determine near-optimal delay values for matched delay elements that are needed for local-handshaking in the bundled-data asynchronous circuits, (2) a tool to generate scripts given to commercial Place & Route CAD tools for packing primitive registers and other instances specified by users, in order to minimize delays that affect the system performance, (3) an idea to implement transition signaling asynchronous circuits very easily using a new type of flip-flops that have multiple-clock inputs and are multiple-edge sensitive.

研究分野：情報学

キーワード：非同期式回路 最適化 遅延値決定 配置最適化 設計容易化 遷移型制御 束データ方式

1. 研究開始当初の背景

(1) 国際半導体技術ロードマップ(ITRS)によれば、半導体技術は2010年には45nmテクノロジーが使われるようになり、ローカルクロックは15GHzに達する。現在、主に使われている同期式設計で、このような素子の高速性を享受するには、クロック分配、高消費電力、電磁妨害等のグローバルクロックに起因する問題を避けるために、相当の工夫・改良が必要で、設計上の大きな問題になりつつある。一方、グローバルなクロックシステムを用いない非同期式設計は、根本的にこのような問題を解決できる可能性を持つ。実際、完全非同期式プロセッサ[1-2]などにより、その可能性が実証されてきた。

[1] T. Nanya, et al., TITAC-2: A 32-bit Scalable-Delay-Insensitive Micro-processor, Symposium Record of HOT Chips IX, pages 19-32, 1997.

[2] S.B. Furber, et al., AMULET3: A High-Performance Self-Timed {ARM} Micro-processor, Proc. of ICCD, 1998.

(2) 一方、現在までに実証されてきた非同期式システムは、非同期式回路設計の熟練者がその知識と経験を駆使して手作業で作上げた、一種の芸術作品であり、一般の設計者が同じ手法を試みても、同じ結果を得るのは非常に難しい。そのため、一般の設計者にとって非同期式設計は設計プロセスの選択肢とはなり得ず、これが、現在非同期式設計がほとんど実用に供されるに至っていない理由の一つである。

(3) 我々は、一般の設計者が、容易に非同期式設計に親しみ、実際に非同期式回路を設計し、動作を確認し、同期式設計と比較・評価できるような枠組みを構築することが、これからの超微細化プロセス時代の設計方法として大きな可能性を持つ非同期式回路設計を普及させる上で非常に重要な一歩であると考えている。一方、同期式設計では、SpecCやSystemCなどのC系の仕様記述言語からゲートレベル回路を自動生成する高位合成が普及しつつあり、商用ツールも販売されている。このようなアルゴリズムレベルに近い記述では、同期式/非同期式の区別はない。従って、このようなC系仕様記述から非同期式回路を自動合成するツールを提供すれば、非同期式設計に対する知識を持たないユーザでも、容易に非同期式回路を合成でき、同じ仕様記述から生成された同期式の実現と比較することができる。

(4) このような考え方にに基づき、我々はC系仕様記述から束データ方式に基づくゲートレベル非同期式回路を自動合成する高位合成ツールを開発してきた[3]。このプロトタイプツールにより、確実に動作する非同期式回路を合成することが可能となったが、上記

目標を達成するにはさらに本格的な最適化技術の開発が不可欠であると考えた。

[3] T. Yoneda, A. Matsumoto, M. Kato, C. Myers, High Level Synthesis of Timed Asynchronous Circuits, Proc. of ASYNC2005, pp.178-189, 2005.

2. 研究の目的

(1) 本研究では、一般の設計者が、非同期式設計に親しみ、容易に高い性能を持つ非同期式回路を設計し、動作を確認することができるような枠組みを構築することを目的とする。これにより、一般の設計者にとっても、非同期式設計と同期式設計を容易に比較・評価できるようになり、設計プロセスの選択肢が広まることが期待できる。

(2) プロトタイプツールにより自動合成した非同期式回路に、同期式回路と同等あるいはそれ以上の高速性を持たせるためには、非同期式回路特有の最適化技術が必要になる。本研究では、下記のような観点から、いくつかの最適化技術を開発し、上記プロトタイプツールに組み込んだ上、いくつかのアプリケーションに適用し、その効果を評価する。

- ・マッチドディレイの最適化
- ・レイアウトの最適化
- ・設計手法の容易化

3. 研究の方法

(1) マッチドディレイの最適化

非同期式回路では、グローバルクロックが存在しないため、本研究で扱うような束データ方式の実現では遅延素子を用いて演算完了等のタイミングを発生させる。従って、その遅延時間の決定は、回路動作の正しさを保証するとともに、回路性能に大きな影響を与える。この遅延時間は配線遅延も考慮する必要があるため、レイアウト済みモデルからタイミング情報を抽出する必要があるが、商用の静的なタイミング解析ツールは、同期式回路の解析を対象としており、ハンドシェイク方式の非同期回路のタイミング解析には対応していない。仮に擬似的にハンドシェイク信号をクロックとみなして解析した場合、現実的な時間では解析が難しい。このため非同期回路に対応したタイミング解析、違反修正の仕組みが必要となる。そこで、まず、プログラマブルな遅延素子を開発し、それに基づき、非同期回路のタイミング解析およびそのタイミングを満たすための遅延調整を可能とするツールを開発する。

このツールでは、ゲートレベル Verilog ネットリストを入力し、ユーザパス指定による遅延計算を市販 STA(Static Timing Analysis) ツールで行う。その遅延計算結果より当該指定パスのタイミングを満たすための遅延量を決定し、遅延量調整結果レポートを出力する。決定した遅延量に相当する遅延素子への置き換えを行い、置き換え後の

Verilog ネットリストを出力する。システムとしては、プリレイアウト時の仮想配線とポストレイアウトの SDF(Standard Delay Format) アノテーションを用いたフローに対応する。また遅延素子は、通常の遅延セルおよび上記プログラマブル遅延素子に対応する。全体構成図を図 1 に示す。

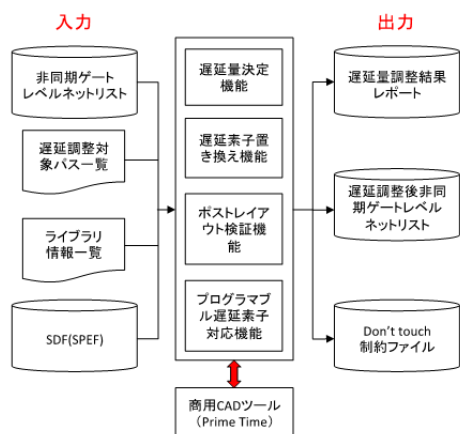


図 1

(2) レイアウトの最適化

上記手法により、非同期式回路としては正しい動作を保証できるものの、最も遠いフリップフロップに合わせた遅延を求めるため、動作速度が低下する場合がある。そのような一連のフリップフロップを小さな領域に閉じ込めてやれば性能向上が見込めるわけであるが、ユーザが人手で領域とそこに入るべきフリップフロップを指定するのは大変手間がかかる。そこで、近接配置するレジスタを明示するディレクティブが記述された Verilog RTL(Register Transfer Level) 記述を読み込み、その Verilog RTL 記述を論理合成したネットリストからレジスタのインスタンスを収集する機能、それらの収集されたインスタンスを配置配線ツールで近接配置するためのスクリプトを生成する機能、および、システム全体で使い勝手向上のためのスクリプト等の機能を実現する。具体的には以下のとおりである。

- モジュール内の、スキューを最小化したいインスタンスに対してグルーピングを施すため、論理合成ツールへの入力ファイルである Verilog RTL 記述中に、ユーザが書き加えた特殊なコメント文であるディレクティブを目印として挿入し、インスタンスのグルーピング指定を行なう。
- Verilog RTL ファイルと、その論理合成結果であるネットリストファイルから、グルーピング指定されたインスタンスを抽出し、自動配置配線ツールでの近接配置処理のためにグルーピングを行なうコマンドファイルソフトウェアで生成する。
- 自動配置配線ツールで、グルーピングされたインスタンスグループを関連するインスタンスの近傍に配置するコマンドファイルを作成する。

開発するツールと設計フローの関係を図 2 に示す。

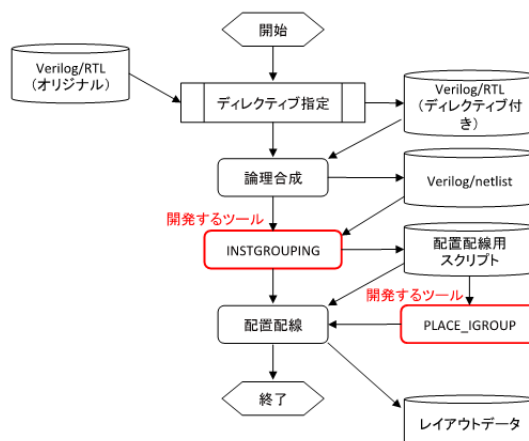


図 2

(3) 設計手法の容易化

非同期式回路の 1 クラスとして、遷移型制御方式に基づく実行制御を行うものがある。このクラスの非同期式回路は、実行制御に、要求・応答信号の、レベルではなく遷移（立ち上がり、立ち下がり）を用いるため、レベルを 0 に戻す休止相が必要なく、高速な回路を実現できるという特徴があり、近年注目されている。しかし、現実のゲートは電圧レベルに基づいて動作するため、遷移に基づく非同期式回路は設計が難しく、その長所を活かすには非常に高い専門知識を必要とした。そこで、遷移に基づく非同期式回路の設計を容易化する一つのキーアイデアとして、複数のクロック入力を持つ、新しいフリップフロップを考案し、遷移型制御回路のテンプレートを構築することを検討する。

4. 研究成果

(1) マッチドディレイの最適化

プログラマブルな遅延素子を、130nm テクノロジーを用いて実現し、非同期式回路ライブラリに登録した。そのうちの一つの諸元を以下に示す。

セル名	HAL_PDEL6_2
遅延数	6
最小遅延時間(typ.)	0.16ns
最大遅延時間(typ.)	1.28ns
平均遅延変化幅	0.22ns

また、以下の機能を持つ遅延量決定ツールを構築した。

①パス指定方法

以下の形式で、early パスと late パスを指定する。

PATH,<パス種別>,<解析コーナ>,<パス始点>,<エッジ>,<パス終点>,<エッジ>,<パス中継点>,...;

・パス種別 [early|late] : パスグループ内での遅延値の条件を示す。early 指定されたパスは、late と指定されたパスより早くなくて

はならないことを示す。

・パス始点[入力ポート|インスタンス入出力ピン]:パスの始点を示す。インスタンス入出力ピンが指定可能であるが、当該インスタンスがレジスタである場合は、出力ピンのみ記述可能とする。

・パス終点[出力ポート|インスタンス入出力ピン]:パスの終点を示す。インスタンス入出力ピンが指定可能であるが、当該インスタンスがレジスタである場合は、入力ピンのみ記述可能とする。

・パス中継点[インスタンス出力ピン(省略可)]:パスの中継点を示す。', '区切りで複数個記述可能。

・エッジ[rise|fall(省略可)]:パス始終点各々の遷移がriseなのかfallなのかを示す。省略時はrise/fall双方解析を行う。

②パス遅延レポート生成

前項で指定された遅延調整対象パス情報から、市販STAツールにより複数の単純パス遅延レポートを生成する。指定されたパスは、レジスタセルを含む場合があり、市販STAツールでは一括して扱えないため、パスをレジスタセルで分割し、「始点から中継点1」,...、「中継点mから中継点(m+1)」,...、「中継点nから終点」のように複数の単純パスを得る。始点は記述できる制約があるため-throughとして記述、中継点は入力ピン名が不明なため、ピン名をワイルドカードとしスクリプトを作成する。なお、パス一覧の始終点に<エッジ>記述があるものは、エッジと一致する[<エッジ>_through|<エッジ>_to]を使用する。<エッジ>記述がない場合は、rise/fall双方出力する。

③遅延量算出

上記の各遅延レポートより、earlyパスは最大値を、lateパスは最小値を集計する(解析モードを指定することで、他の組み合わせも解析可能)。終点がレジスタセルである場合、当該セルのSetup/Hold時間を考慮して、earlyパスとlateパスの差を d として求め、lateパス中の遅延素子の遅延値を d より大きい最小のプログラム値として決定する。

このツールを、実際に非同期式 NoC (Network-on-Chip) ルータの設計に適用し、実用的なサイズの設計に対しても遅延値が適切に求められることを確認した。

(2) レイアウトの最適化

図2に基づき、レイアウト最適化のための支援ツールを構築した。

①ディレクティブ指定方法

Verilog のモジュール内に、以下の形式のユニット指定開始文とユニット指定終了文を挿入することにより、それらで挟まれた部分がユニットとして指定され、同一ユニットに属するセルが近傍に配置される。

・ユニット指定開始文

```
//KTI UNIT ユニット名 ON
```

・ユニット指定終了文

```
//KTI UNIT ユニット名 OFF
```

②配置場所指定方法

ツールにより、各ユニットが配置される領域サイズ情報(X高,Y高)が出力されるので、それを元にユニットが属するユーザグループ内でのオフセットを決定し、以下の形式で指定する。

```
[ユニット名 制約タイプ X高 Y高 X-offset Y-offset ユーザグループ名]
```

③実行例

2次元メッシュ(4×4)の非同期式 NoC ルータにて、各ルータをユーザグループとし、ルータ内の、クロスバ、入出力チャンネル、バッファ等、計46のユニットを指定位置に配置した。配置指定の状況を図3に、実際の配置されたセルのようすを図4に示す(白い部分がディレクティブ指定されたセルを示す)。

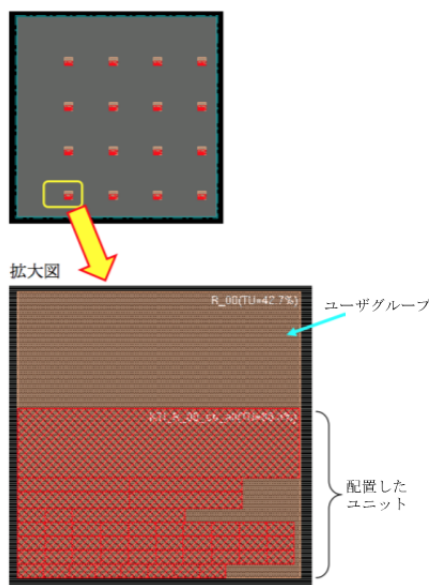


図3

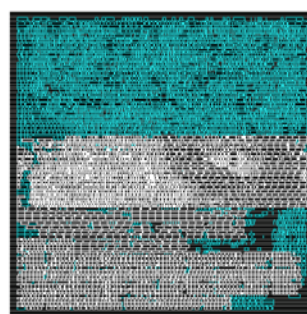


図4

④ツールによるレイアウト指定の効果

非同期式 NoC ルータの実回路において、領域指定を行わないもの、および領域指定の細かさを3レベル変化させたものを用いて詳細に評価を行ったところ、領域指定を行うことで数%の性能向上が得られた。特に実用上は、遅延変動を想定してある程度のマージンを考慮する必要があるが、大きな遅延変動を想定した場合には、領域指定を最も細かく指定したものは、領域指定を行わないものより

約 14% の性能向上が得られた。

(3) 設計手法の容易化

遷移型制御方式の非同期式回路では、要求や応答等のさまざまな制御信号の、立ち上がりや立ち下がりに対応するが、それらの反応を直接フリップフロップにより引き起こすことができれば、制御回路をシンプルに実現できる。そこで、複数の制御信号の両エッジ（立ち上がりと立ち下がり）に反応できるように、複数クロック入力を持つフリップフロップを実現した。その一つを図 5 に示す。また、その真理値表を表 1 に示す。

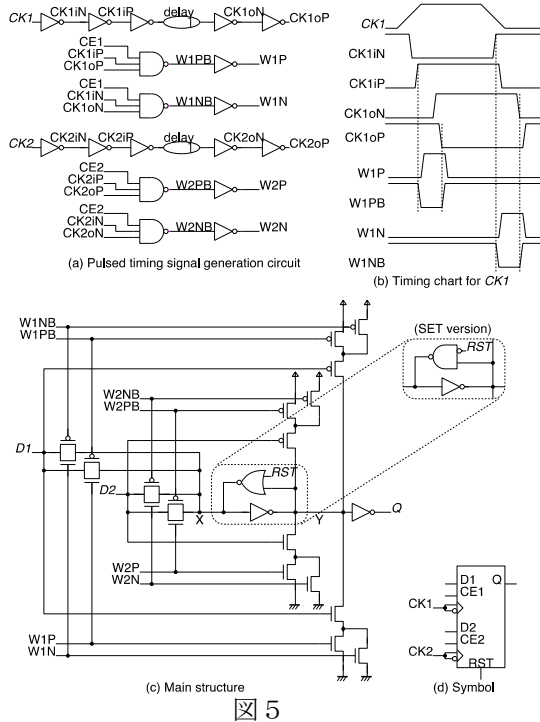


図 5

D1	CE1	CK1	D2	CE2	CK2	RST	Q_n
a	1	↑	X	X	0/1	0	a
a	1	↓	X	X	0/1	0	a
X	1	0/1	X	X	0/1	0	Q_{n-1}
X	0	X	X	X	0/1	0	Q_{n-1}
X	X	0/1	b	1	↑	0	b
X	X	0/1	b	1	↓	0	b
X	X	0/1	X	1	0/1	0	Q_{n-1}
X	X	0/1	X	0	X	0	Q_{n-1}
X	X	X	X	X	X	1	0
X	1	↑/↓	X	1	↑/↓	0	(prohibited)

表 1

次に、設計容易化の効果を確認するために、非同期式 NoC ルータの制御回路の一部である図 6 のような仕様の回路 M について、標準的な非同期式回路設計手法に基いて設計された回路と上記新フリップフロップに基づく回路を比較した。この制御回路 M は、*oreq*, *iack*, *header*, *tail* の 4 入力を持ち、*gate* 信号を出力する。これらの入出力信号の関係は図 6 (b) に示すとおりである。標準的な非同期式回路設計手法では、まず XOR ゲートを用いて、遷移信号をレベル信号に変換し、それらの信号の因果関係をグラフ表現したモデルを構築した後、それが直接実現可能であ

るかを調べる。通常は、直接実現可能ではないため、適切な状態信号を挿入する必要があるが、その自動化は難しく、設計者の専門的知識が要求される。M の場合も同様で、一つの状態変数 (図 7 (a) 中の *CSC*) が挿入されている。最終的に 7 ゲートから成る図 7 (a) のような回路が得られた。一方、新フリップフロップを用いることで、M は図 7 (b) のように実現することができた。このように簡単な回路となるのは、遷移信号をレベル信号に変換することなく、直接各入力を、その仕様にそって新フリップフロップの対応する入力に入れてやることで、所望の動作を実現できているためである。また、表 2 はこれら 2 つの制御回路について、性能 (遅延時間)、消費電力、および、実現面積について比較したものである。新フリップフロップを用いた回路 (New FF based approach) は、標準的な設計手法に基づく回路とほぼ同等かやや高速な動作を実現している。一方で、消費電力および面積は大きくなっており、これらの改善については、今後の課題である。

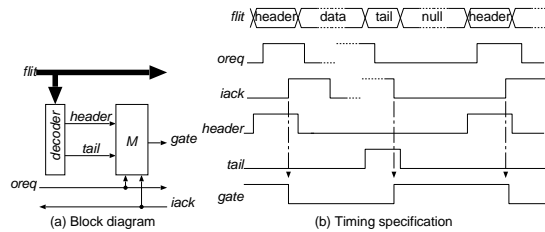


図 6

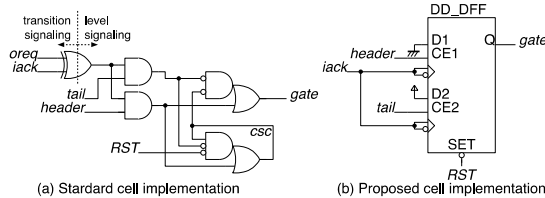


図 7

	Best [ps]	Typical [ps]	Worst [ps]	Ave. energy [fJ] @Typical	Area [μm^2] (1.00)
Standard approach	83.4	114	215	12.7 (1.00)	7.18 (1.00)
New FF based approach	79.9	107	199	31.0 (2.44)	19.7 (2.74)

表 2

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 3 件)

- ① Tomohiro Yoneda, Masashi Imai, Hiroshi Saito, Takahiro Hanyu, Kenji Kise, Yuichi Nakamura, An NoC-based Evaluation Platform for Safety-Critical Automotive Applications, APCCAS 2014, 2014 年 11 月 17 日~11 月 20 日, ANA インターコンチネンタル石垣リゾート (沖縄県石垣市) .
- ② Masahi Imai, Tomohiro Yoneda, Multiple-Clock Multiple-Edge-Triggered Multiple-Bit Flip-flops for Two-Phase

Handshaking Asynchronous Circuits, ISCAS
2014, 2014年6月1日～6月4日, Melbourne,
Australia.

③ Masahi Imai, Tomohiro Yoneda, A
Floorplan Method for SDI-model-based
Asynchronous Circuits to Achieve High
Robustness against Delay Variations,
IEEE/ACM Workshop on CAD for
Multi-Synchronous and Asynchronous
Circuits and Systems 2012, 2012年11月9
日, San Jose, CA, USA.

6. 研究組織

(1) 研究代表者

米田 友洋 (YONEDA, Tomohiro)

国立情報学研究所・アーキテクチャ科学研
究系・教授

研究者番号:30182851