

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 20 日現在

機関番号：26402

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23500067

研究課題名(和文) 間欠動作型故障検出システムを用いたアナログ混載 L S I の高信頼化

研究課題名(英文) Design of dependable Analog Mixed-Signal LSI with intermittent operation of fault detection system

研究代表者

橘 昌良 (Tachibana, Masayoshi)

高知工科大学・工学部・教授

研究者番号：50171715

交付決定額(研究期間全体)：(直接経費) 3,400,000 円、(間接経費) 1,020,000 円

研究成果の概要(和文)：アナログ回路を混載したシステム L S I のアナログ回路部分の故障検出を L S I の製造製造工程からシステムの動作時までいつでも行うことの出来る機構の開発を主たる目的として研究をおこなった。

このようなシステムで多用されるアナログ/デジタル変換器をモチーフとして、その構成要素である R - 2 R ラダー回路、サンプル/ホールド回路およびオペアンプ回路に関して、回路のインパルス応答に基づいた致命的な故障(回路素子の開放/短絡故障)の検出が出来る故障検出システムの開発を行い、回路シミュレーションと実チップによる試作/測定の結果、回路素子の開放/短絡故障に関しては約 86%～96%を検出できることを確認した。

研究成果の概要(英文)：We propose fault-based BIST(Built-In Self Test) schemes for Analog part of AMS(Analog and Mixed-Signal) system LSI. The BIST systems can be used throughout life time of LSIs, from fabrication process to the system's operation. The motif of analog system to design BIST system is Analog-to-Digital or Digital-to-Analog data converter which is commonly used sub-system in AMS LSI systems.

We chose 3 types of circuits which compose the data converter, which are R-2R ladder type Digital-to-Analog converter, Fully-differential sample-and-hold circuit, and Operational Amplifiers with different architectures. The BIST systems are based on transient response of circuits and fault coverage for Catastrophic faults, such like open/short fault of circuit elements, are about 86% to 96% with reasonable area overhead.

研究分野：総合領域

科研費の分科・細目：情報学 計算機システム・ネットワーク

キーワード：ディペンダブルコンピューティング Analog Mixed-Signal

1. 研究開始当初の背景

アナログ回路は、デジタルシステムと比べて多重化による高信頼化が難しく、集積度の高いAMS (Analog Mixed-Signal) システムLSIの高信頼化の問題点の一つとなっている。しかし、現実のシステムではすべての回路が常時動作する必要があるような構成をとることはあまりなく、特定の回路が動作しない時間が発生する。このような空き時間を利用して間欠的にテストを行い、異常が発生した回路とあらかじめ用意されている正常な回路との切り替えを行うことができれば、システム全体の信頼性を向上させることができる。また、回路に異常が発生した場合にシステムの使用を停止することができるだけでも有用である。

2. 研究の目的

AMSシステムLSIの高信頼化を目的としたアナログ回路の故障検出をシステムの動作中にも行える機構の開発を目的とする。この機構はLSIシステムがデジタル/アナログ両方の回路を組み合わせる利点を利用して、アナログ回路にテスト信号発生回路、動作状態を監視するプローブ回路とその出力から動作異常を検出する故障検出回路を組み合わせ、それらをデジタル回路により制御することにより、システムは動作中であるが検査対象となるアナログ回路の動作を必要としない時間帯を利用して、間欠的にテストを進めることでシステムの動作状態での動作異常の検出を行うことのできるシステムを提案し、LSIを試作しその有効性を実証することを目指している。

3. 研究の方法

AMSシステムLSIで一般的に用いられる各種形式のアナログ回路とその故障検出を行う回路のシミュレーションと実チップによる有効性の検証をおこなった。対象としたのはAD/DACコンバータに使用されるR-2RラダーとS/H (Sample and Hold) 回路およびアナログ回路の構成要素として一般的に使用されるオペアンプである。故障検出回路はインパルス応答に基づいたカスτροφック故障の検出を主目的とした。回路設計とシミュレーションおよびLSIチップの試作はVDEC (VLSI Design and Education Center) を利用して各種のEDAツールとRohm 0.18 μ m CMOSプロセスを使用して行った。対象としたカスτροφック故障はトランジスタの各端子の開放/短絡故障と抵抗、キャパ心タンスの開放/短絡故障である。

4. 研究成果

(1) 過渡応答の安定した出力値を判定するBIST手法 SOV法(the Stable Output Value checking of transient response)はオペアンプによりボルテージ・フォロアを構

成しステップ入力を加え過渡応答波形を観測することでオペアンプの故障を検出するものである。もしボルテージフォロアを形成するオペアンプに故障が存在しない場合は、過渡応答の安定した出力値は入力信号の安定値と等しくなるはずである。このため、過渡応答の安定した出力値はオペアンプの故障診断のための道具として使用することが出来る。

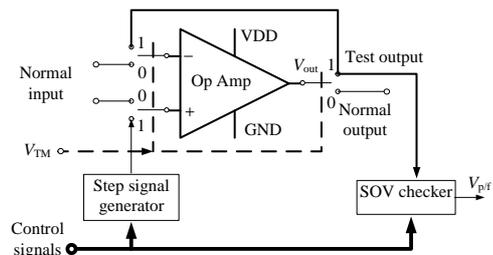


図 1

図 1 に SOV 法による BIST システムの概要を示す。回路はテスト対象となるオペアンプとステップ信号発生器、SOV 検査回路とテストモードにおいてオペアンプを切り離してボルテージフォロアを形成するためのスイッチにより構成される。システムに複数のオペアンプが存在する場合もテスト用に付加する回路は共用することが出来る。オペアンプに使用される部品定数のバラツキを考慮すると、安定値出力値はある程度の幅がなければならない。そこで、SOV 検査回路は 2 つのウィンドウ・コンパレータを組み合わせた回路となっている。

BIST 方式の有効性を確認するために 3 種類のオペアンプを設計し故障シミュレーションを行った。設計したのは、2 段構成、フォールデッド・カスコード型、および、それに出力バッファを追加したオペアンプである。BIST 回路による面積増加は約 6.2% である。また、3 つのオペアンプの性能は、BIST 回路の付加によりほとんど変化していない。(図 2)

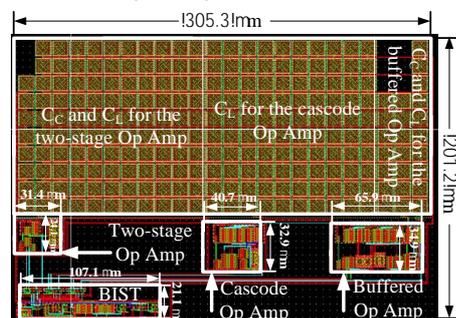


図 2

故障シミュレーションの結果、2 段オペアンプでは、注入した 52 個の故障の内 49 個が検出され、故障検出率は 94.2% であつ

た。検出できなかった故障は位相補償のための抵抗、キャパシタの短絡故障とバイアス回路のゲート開放故障である。この開放故障が存在してもバイアス電流がわずかにかわらないため、変化を捉えられなかったと考えられる。フォールデッド・カスコード型のオペアンプでは、注入した93個の故障の内80個が検出され、検出率は約86%となった。また、バッファ付きオペアンプでは注入した131個の故障の内119個が検出され、検出率は約91%であった。これらの二つのオペアンプでは、カスコード型のカレントミラー回路に存在するゲート開放故障の検出が出来ていない。この故障が存在しても定電流特性がほとんど劣化しないためである。加えて、バイアス回路のゲート開放故障と位相補償回路の故障も検出できなかった。これらの故障の存在により過渡応答特性はほとんど変わらないためである。

(2) 2段階故障検出法 SOV法ではバイアス回路や位相補償回路の故障の検出が難しいため、これを補う2段階故障検出法を考案した。この手法は、まず、DC電圧をコンパレータとして動作するオペアンプに加えるオフセット電圧テストを行い、次に、位相補償回路にステップ電流を加える電流注入テストを行うものである。この手法はキャパシタの容量バラツキの検出も可能である。

まず、オフセット電圧テストについて説明する。入力を短絡したオペアンプの出力電圧は、入力オフセット電圧の影響により、正負の電源電圧のどちらかの値となる。このことを利用して、コンパレータとして動作するオペアンプにオフセット電圧を加えた場合の出力を観測することで、SOV法では検出の難しい故障を検出できる可能性がある。電流注入法は、位相補償回路に電流を直接注入することで、キャパシタの故障検出を行うものである。位相補償回路に故障が存在する場合、周波数領域の特性に影響を及ぼすが、これらを簡単な回路で測定するのは難しい。しかし、オペアンプの位相補償回路に端子をつけ、テスト時に外部から電流を注入すれば、回路の動作に影響を与えることが出来るので故障の検出が簡単に行える。

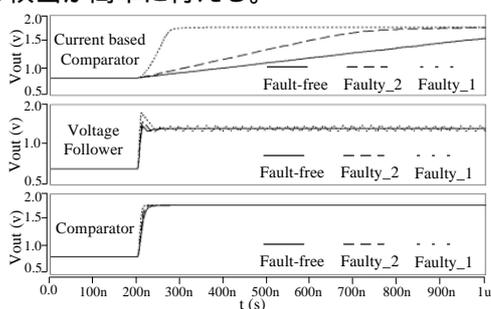


図3

図3に故障なし回路と位相補償用のキャパシタが短絡した場合 (Fault_1) と50%容量が変化した場合 (Fault_2) のステップ応答波形を示す。ボルテージフォロアやコンパレータと比べて電流注入法では応答波形が大きく変化するので検出が容易である。

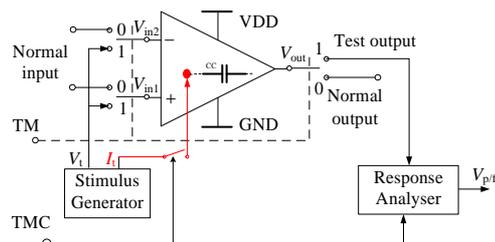


図4

図4に2段階故障検出法のBIST回路の概要を示す。2段階オペアンプに故障シミュレーションを行った結果の出力波形を図5に示す。故障の無い回路では太線のような出力波形を示すが、故障を含む回路ではオフセット電圧テストまたは電流注入テストの何れかで大きく異なる波形となっている。電流注入テストでは故障の種類により伝搬遅延が異なってくるので、伝搬遅延を測定すれば、故障を検出できるわけである。しかし、製造プロセス等を考慮すると、ある幅に収まっているかを判定することになる。今回は10%の幅を採用した。

故障検出回路はウィンドウコンパレータと伝搬遅延を測定するためのカウンタ回路により構成される。このカウンタは、出力波形の傾きを検出するためのものである。

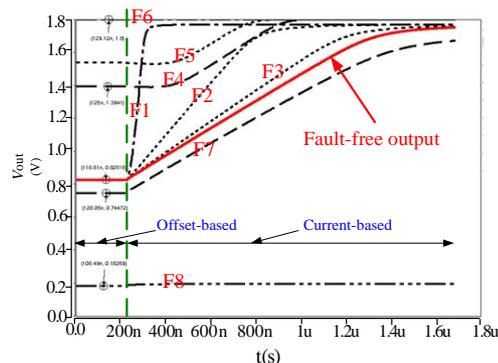


図5

カウンタは出力電圧が一つ目の規定値を超えた時点でカウントを始め、二つ目の規定値を超えた時点でカウントを停止する。この時のカウント値があらかじめ定められた範囲ならば故障は存在しないと判定することになる。

図6にレイアウトパターンを示す。フォールトシミュレーションによると注入した50個の故障の内49個を検出することが出来、故障検出率は98%であった。検出でき

なかった故障は位相補償回路の抵抗の短絡故障のみである。

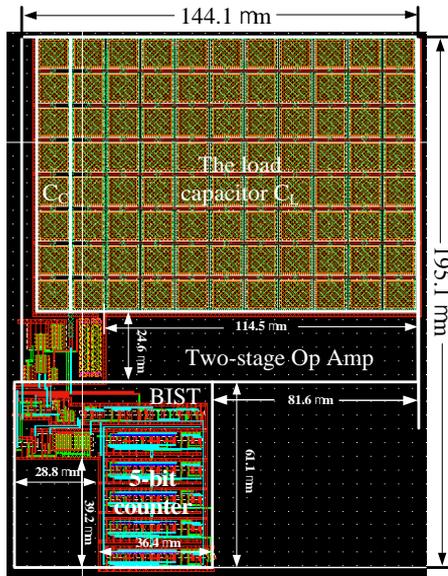


図 6

(3) R-2RラダーDACのBIST R-2RラダーDACのBISTは、スイッチによりラダーをブリッジ回路に変換し、その平衡度をコンパレータに変換されたバッファアンプにより確認することで行われる。つまり、バッファアンプのテストを行い故障がないことを確認してから、R-2Rラダーのテストを行うという2段階のテストになる。バッファアンプのテストは、SOV手法を用いて行う。したがって、BISTを行うための付加回路としては、R-2Rラダーをブリッジ回路に変換するためのスイッチ群、バッファアンプを変換するためのスイッチ群、テストコントローラ、入力信号生成回路、および、出力信号検出/判定回路が必要になる。ここでは、R-2Rラダーをブリッジ回路に変換してテストを行う手法を説明する。

図7にテストのためのスイッチを付加した回路を示す。この回路において、R-2Rラダーのすべての抵抗は2Rの値を持つもので構成されている。これは、抵抗の種類を1種類とすることで抵抗値のバラツキの影響を低減するためである。テストのために付加したスイッチは5つのグループ(DFT_1からDFT_4および、St1からSt7)に分けられる。ここで、DFT_1は基準電流の注入点を変更するために使用され、St0からSt7は回路を切り離してブリッジ回路とするために使用される。DFT_2およびDFT_3はブリッジ回路を形成するために使用され、DFT_4は平衡度を検出するコンパレータを形成するために使用される。

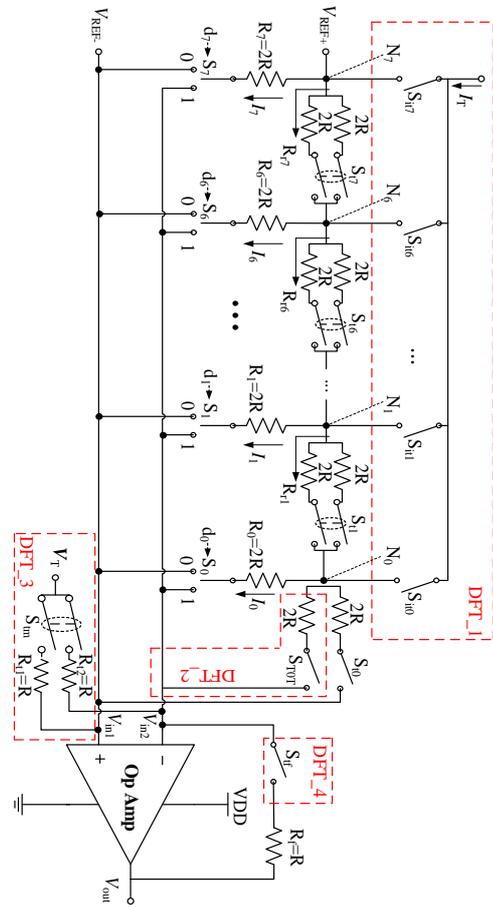


図 7

テストは回路のLSB側から順に1ビットずつ行われる。まず、Stf (DFT_4)をOpenとしバッファアンプの帰還抵抗を回路から切り離しオペアンプをコンパレータとして動作させる。次にS0を1入力側に接続し、Sit0をClose、DFT_2およびSit1からSit7をOpenとし、DFT_3およびst0をcloseする。

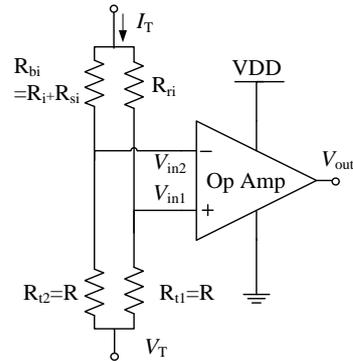


図 8

さらに、Vtにテスト用の基準電圧源を接続すると、R0、St0に接続する2つの抵抗(2R)とStmに接続する2つの抵抗(R)によりブリッジ回路が形成され、Vm1とVm2の差によりVoutが決定される。(図8)

この差が規定値を超えた場合は、ブリッジ回路を形成している抵抗とスイッチに何らかの故障が存在しているを見出すことができる。このテストでは、LSBが1である場合のテストを行っているので、次にS0を0入力

側に接続し、St0 を open、DFT_2 を close として、LSB が 0 である場合のテストを行う。(図 9)

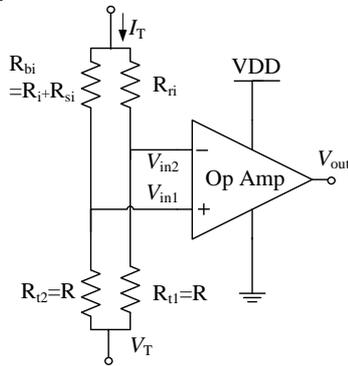


図 9

LSB のテストが終了し、故障が発見されなかった場合は、上位ビットのテストに移る。たとえば、 i ビット目のテストのためには、分岐点に接続している $S_{it}(i)$ のみを close し、残りを open とする。さらに、St1 から St($i-1$) を close し、残りを open とする。ここで、St0、DFT_2 および S0 から S($i-1$) は i ビット目が 0 である場合のテストと 1 である場合のテストにより設定を変える。0 である場合のテストでは、S0 から S($i-1$) を 1 入力側に接続し、DFT_2 を close、St0 を open とし、1 である場合のテストでは、S0 から S($i-1$) を 0 入力側に接続し、DFT_2 を open、St0 を close とそしてブリッジ回路を形成し、その平衡度をコンパレータにより確認する。オペアンプのテストは、DFT_4 を close し、DFT_1 を open、St0 から St($n-1$) と DFT_2 を close、DFT_3 を open とした後 VREF+ 端子から SOV テスト信号を入力する。

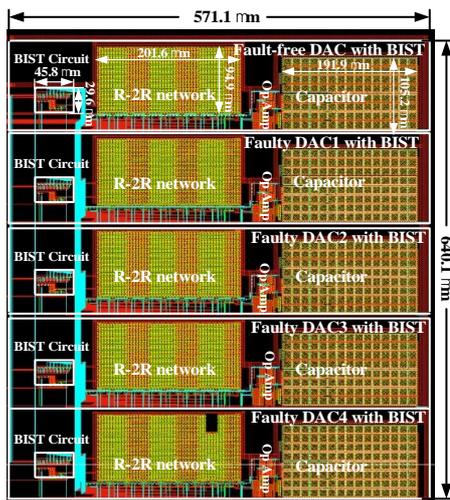


図 10

8 ビットの R-2R ラダーとバッファアンプにより構成される DAC を設計し故障シミュレーションを行った。(図 10) R-2R ラダーでは注入した故障 400 個の内 384 個が検出(検出率 96%) 出来た。バッファアンプについては注入した故障 127 個の内 105 個を検出(検出率 82.6%)

できることが確認された。また、R-2R ラダーについては $R = 100\text{K}$ に対して 2K 以上の抵抗値のパラツキが検出できることを確認している。

検出できなかった故障は、R-2R ラダーではゲート開放故障、バッファアンプではおもにカレントミラー回路に関するものと位相補償に使われる抵抗とキャパシタに関するものである。R-2R ラダーのゲート開放故障はデジタル入力やテストのために使用されるスイッチに関するもので、故障によりオン抵抗が変化しても抵抗の差がわずかであり、ブリッジ回路の電位差を検出できなかったためである。バッファアンプでは、故障の有無にかかわらず、カレントミラー回路の電流供給能力が変化しない場所の故障が検出できず、また、位相補償回路については、故障が存在しても過渡領域での応答の変化がわずかであるため検出が出来なかったものである。テスト回路の付加による性能の劣化はほとんど認められなかった。BIST 回路による面積増加は約 6% である。

(4) 差動型 S/H 回路の BIST ここで扱う差動型 S/H 回路は、コモンモードフィードバック (CMFB) を持つ差動オペアンプとスイッチおよび 1 組の Hold キャパシタを組み合わせたもので、3 組のスイッチの open/close を切り替えることで Sample モードと Hold モードの動作を行うものである。図 11 に構成を示す。

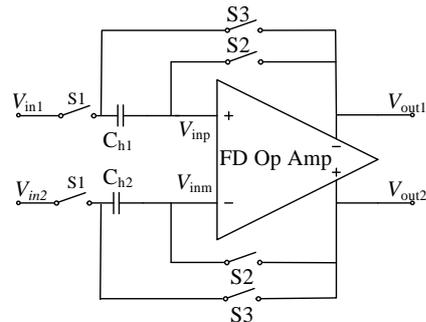


図 11

Sample モードでは、S1、S2 を close、S3 を open とする。この時、入力電圧 V_{n1} 、 V_{n2} により 2 つのキャパシタが充電される。Hold モードでは、S1、S2 を open、S3 を close とすることでキャパシタは入力から切り離され、キャパシタの電荷は、オペアンプにより保持される。S1 か S3 の open/close を制御するクロックはオーバーラップのない 2 相クロックである必要がある。

ここで想定する差動オペアンプはコモンモード利得が極めて低く、故障がない場合は、コモンモード入力電圧に対してほぼ一定のコモンモード電圧を出力するはずである。そ

ここで、振幅の大きなコモンモード電圧を入力に加え、出力電圧を観測することで、オペアンプのテストを行うことが出来る。また、コモンモード入力電圧を加えた状態で、S/H動作を行うことで、スイッチとキャパシタのテストを行うことも出来る。

BIST方式の検証のために設計したオペアンプはフォールドバック・カスコード型の差動オペアンプで、2つの出力端子の中間電位をフィードバックするCMFB回路を備えている。また、S/H動作を行うための6つのスイッチはトランスファークロスタ型のスイッチ回路である。電荷を保持するホールドキャパシタは0.7pFとした。(図12)

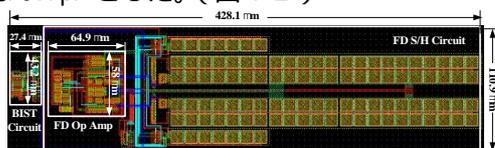


図12

テストのための付加回路は、0Vから1.8Vを40usかけて変化するランプ電圧を発生する回路と2つの出力端子の電圧の差が規定値以内であることを判別する差動アンプとウィンドウコンパレータおよび結果を保持するラッチ回路により構成されている。元々のS/H回路がスイッチ・キャパシタ回路として構成されているため、テスト回路の付加による性能の劣化はほとんどない。また、BIST回路による面積増加は約4%である。

回路に故障を注入して故障シミュレーションを行った。6つのスイッチと2つのキャパシタに注入した66個の故障の内、97%を検出することが出来た。検出できなかった2種の故障は、S3のPcnトランジスタのゲート開放故障である。また、キャパシタの0.2pF以上の変化も検出することが出来た。S3のPcnトランジスタのゲート開放故障はS3のオン抵抗の変化となって現れるが、この変化によるコモンモード出力電圧の変化が規定値以下であったために検出することがなかった。差動オペアンプでは、注入した195個の故障の内、176個を検出することができ90%の故障検出率となった。検出できなかった故障はバイアス電圧を発生する回路にかかわるもので、これらの故障はバイアス電圧をわずかに変化させるだけで差動ゲインには大きな影響を与えないためである。

(5)以上の4種のBIST手法は、検出できる故障が開放/短絡故障にかぎられるが、LSIの製造段階からシステムに実装した後までどの段階でも動作させること出来る。このため、検査対象となるアナログ回路を複数システムに実装しておき、故障が発見された場合は回路を切り替えることでシステムの

高信頼化をはかることが出来る。しかしながら、トランジスタや抵抗、キャパシタに関するパラメトリック故障や、検出の難しい開放故障は、過渡応答波形に現れる差がわずかであるため今回用いたような単純な回路では検出が出来なかった。これらの故障の検出には周波数応答特性の測定が必要である。今後の研究としては、周波数領域での故障検出を行うための信号源と検出回路を簡単な回路で実現することが上げられる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計2件)

Yuan Jun, Masayoshi Tachibana, "A common-mode BIST technique for fully-differential sample-and-hold circuits", IEICE Electronics Express, Vol.9 (2012) No.13 pp.1128-1134,

<http://dx.doi.org/10.1587/elex.9.1128>

Yuan Jun, Masayoshi Tachibana, "A resistor matching based self-testable current-mode R-2R digital-to-analog converter", IEICE Electronics Express, Vol.10 (2013) No.23 pp.1-7,

<http://dx.doi.org/10.1587/elex.10.20130753>

[学会発表](計2件)

Yuan Jun, Masayoshi Tachibana, "A BIST Scheme for Amplifier by Checking the Stable output of Transient Response", The 20th European Conference on Circuit Theory and Design, 2011-08-31, Linköping, Sweden.

Yuan Jun, Masayoshi Tachibana, "A two-Step BIST Scheme for Operational Amplifier", Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2011) 2012-03-09, Beppu, Oita, Japan.

6. 研究組織

(1)研究代表者

橋 昌良 (TACHIBANA, Masayoshi)

高知工科大学・教授

研究者番号：50171715