

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 19 日現在

機関番号：34315

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23500071

研究課題名(和文) 100億トランジスタ規模集積回路のチップレベルタイミング解析技術に関する研究

研究課題名(英文) Chip level timing analysis of 10 billion transistors schale

研究代表者

福井 正博 (Fukui, Masahiro)

立命館大学・理工学部・教授

研究者番号：50367992

交付決定額(研究期間全体)：(直接経費) 3,900,000円、(間接経費) 1,170,000円

研究成果の概要(和文)：集積回路技術の進展に伴い、回路が大規模化・複雑化すると共に、物理変動によるタイミング動作保証が困難化している。本研究課題は、次世代の集積回路に対して、製造ばらつき、電源電圧、熱変動、トランジスタの経年劣化を考慮し、チップレベルでのタイミング解析を高速に行う技術の確立を自指し、(A) パワーゲーティングによるラッシュカレントに関する信頼性ホットスポットの見える化システム、(B) トランジスタの発熱、電源配線のIRドロップの高速統計的解析技術の解明、(C) NBTIなどの経年劣化と製造ばらつきに起因する遅延ばらつきを統一的に取り扱うことができる遅延モデルと統計的静的遅延解析手法を完成した。

研究成果の概要(英文)：With the progress of the miniaturization technology of integrated circuits, VLSI chip becomes able to mount more than 10 billion transistors. However, it faces timing reliability issues. This research aims at the technical establishment which conducts timing analysis in a chip level at high speed to the integrated circuit in consideration of manufacture variation, power supply voltage, heat change, and the aged deterioration of a transistor. It aims at visualizing the generating part and factor of a timing error on various physical conditions considered, and raises reliance and extension-of-life-span design of the complicated next-generation integrated circuit. Through the research period, (A) timing hotspot visualization system, (B) timing analysis system based on thermal and IR drop, and (C) Statistical timing model and analysis system which considers NBTI degradation and variation.

研究分野：総合領域

科研費の分科・細目：情報学/計算機システム・ネットワーク

キーワード：高信頼化 長寿命化 見える化 信頼性ホットスポット 経年劣化

1. 研究開始当初の背景

集積回路の微細化技術の進展に伴い、回路が100億トランジスタを搭載し、大規模化・複雑化すると共に、物理変動によるタイミング動作の信頼性保証が大幅に困難化している。

2. 研究の目的

本研究課題は、次世代のギガスケールの集積回路に対して、製造ばらつき、電源電圧、熱変動、トランジスタの経年劣化を考慮し、チップレベルでのタイミング解析を高速に行う技術の確立を目指して、考えられる様々な物理条件においてタイミングエラーの発生個所と要因を可視化し、複雑化した次世代集積回路の高信頼化・長寿命化設計に役立てることを目的とする。

3. 研究の方法

研究期間を通じて、(A) 機能ブロックの消費電力と、パワーゲーティングによるラッシュカレントの抽象化に関して信頼性ホットスポットの見える化システムを開発、(B) トランジスタの発熱、および、ラッシュカレントによって発生する電源配線のIRドロップに関してブロックレベルでの高速統計的解析技術の解明を行うシステムを構築、(C) NBTIなどの経年劣化に伴う論理ゲートの遅延ばらつきと製造ばらつきに起因する遅延ばらつきを統一的に取り扱うことができる遅延モデルと、同モデルに基づいた統計的静的遅延解析手法の開発、をそれぞれ実施した。

4. 研究成果

所期の目的をほぼ達成する、信頼性ホットスポットの見える化システム、ラッシュカレントによる電源配線のIRドロップの高速統計的解析システム、NBTIなどの経年劣化に伴う論理ゲートの遅延モデルと、同モデルに基づいた統計的静的遅延解析手法を開発完了し、関連の学会にて注目される発表を行った。また、本研究課題を進める中で、蓄電池や基板を含めた電子システムの温度管理、信頼性管理技術への発展の足がかりをつかむことができ、研究シーズとしての深まりと、実用技術への展開を達成することができた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 10 件)

- [1] Shuji Tsukiyama and Masahiro Fukui: "A new delay distribution model with a half triangular distribution for statistical static timing analysis," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 査読有, vol.E96-A, no.12, pp.2542-2552,

Dec. 2013. doi: 10.1587/transfun.E96.A.2542

- [2] 川内裕文, 谷口一徹, 加藤諒, 福井正博: "局所領域フィッティングによる高精度・高効率 RTL 電力マクロモデル," 電子情報通信学会和文論文誌 A, 査読有, vol. J96-A, no. 7, pp. 423-431, 2013 年 7 月.
- [3] 林磊, 塩野隼人, 福井正博: "GPGPU による電源回路シミュレーションに対する後退オイラー法の実装と評価," 電子情報通信学会和文論文誌 A, 査読有, vol. J96-A, no. 5, pp.215-224, 2013 年 5 月.
- [4] 福井正博, 林憲一, "[解説論文]GPU による LSI 設計の高速化技術," *IEICE Fundamentals Review*, 査読有, vol.6, no.3, pp.210 -217, Jan., 2013.
- [5] Takayuki Hayashi, Yoshiyuki Kawakami, and Masahiro Fukui: "A power grid optimization algorithm by direct observation of manufacturing cost reduction," *Circuits and Systems*, 査読有, vol.3, no.4, pp. 325-333, Oct. 2012. doi: 10.4236/cs.2012.34046
- [6] Taiki Hashizume, Masaya Yoshikawa, and Masahiro Fukui: "A parallel circuit simulator for iterative power grids optimization system," *Circuits and Systems*, 査読有, vol.3, no.2, pp. 153-160, Apr. 2012. doi:10.4236/cs.2012.32020
- [7] 三木陽生, 吉川雅弥, 福井正博, 築山修治: "ピア信頼性を考慮した電源配線最適化手法," 電子情報通信学会和文論文誌 A, 査読有, vol.J95-A, no.4, pp. 367-374, 2012 年 4 月.
- [8] 磯田有哉, 横田誠, 福井正博: "GPU による電源配線シミュレーションの高速化と評価" 電子情報通信学会和文論文誌 D, 査読有, vol.J95-D, no.3, pp.366-375, 2012 年 3 月.
- [9] Shuji Tsukiyama and Masahiro Fukui: "A statistical maximum algorithm for Gaussian mixture models considering the cumulative distribution function curve," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 査読有, vol.E94-A, no.12, pp.2258-2536, Dec. 2011. doi:10.1587/transfun.E94.A.2528
- [10] 川内裕文, 谷口一徹, 富山宏之, 福井正博: "等電力曲線モデルに基づく高精度・高効率 RTL 電力マクロモデル," 電気学会論文誌 C, 査読有, vol.131, no.11, pp.1907-1914, 2011 年 11 月. doi: 10.1541/ieejieiss.131.1907

[学会発表](計 17 件)

- [1] 大村崇, 林磊, 孟林, 福井正博, "GPGPU を

- 用いた VLSI チップ熱解析の一手法," 電子情報通信学会 VLSI 設計技術研究会, 鹿児島県文化センター, 鹿児島県, 2013 年 11 月 29 日.
- [2] Lei Lin, Masahiro Fukui, and Shuji Tsukiyama, "A GPGPU implementation of parallel backward Euler algorithm for power grid circuit simulation," in *Proc. 11th IEEE International NEWCAS Conference*, Paris, France, 2013 年 6 月 18 日.
- [3] 木下克也, 鷲見知彦, 石原完, 林磊, 福井正博, "大規模集積回路の信頼性ホットスポット見える化に関する一試行," 情報処理学会システム LSI 設計技術研究会, 対馬市交流センター, 長崎県, 2013 年 3 月 13 日.
- [4] Shuji Tsukiyama and Masahiro Fukui, "A new delay distribution model to take long-term degradation into account," in *Proc. 4th IEEE Latin American Symposium on Circuits and Systems*, Cuzco, Peru, 2013 年 2 月 28 日.
- [5] 林磊, 福井正博, "GPGPU による電源配線回路シミュレーションの高速化," 電子通信学会集積回路研究会(ICD) 第4回アクセラレーション技術発表討論会, 福井大学, 福井県, 2012 年 9 月 7 日.
- [6] Mitsuru Kataoka, Shuji Tsukiyama, Takashi Kambe, and Masahiro Fukui, "An effective method to use GPU for rectangle packing," in *Proc. 10th IEEE International NEWCAS Conference*, Montreal, Canada, 2012 年 6 月 18 日.
- [7] Lei Lin, Hayato Shiono, Makoto Yokota, and Masahiro Fukui, "A GPGPU implementation of parallel backward Euler algorithm for power grid circuit simulation," in *Proc. 17th Workshop on Synthesis and System Integration of Mixed Technologies*, B-CON プラザ, 大分県, 2012 年 3 月 10 日.
- [8] 長田賢明, 福井正博, 築山修治, "NBTI を考慮した電源配線最適化の一手法," 電子情報通信学会 VLSI 設計技術研究会, B-CON プラザ, 大分県, 2012 年 3 月 8 日.
- [9] 塩野隼人, 林磊, 横田誠, 福井正博, "GPGPU による電源配線回路シミュレーション高速化手法の性能評価," 電子情報通信学会 VLSI 設計技術研究会, B-CON プラザ, 大分県, 2012 年 3 月 7 日.
- [10] 築山修治, 福井正博, "経年劣化を考慮した統計的遅延解析の一手法," 情報処理学会システム LSI 設計技術研究会, ホテル松島大観荘, 宮城県, 2012 年 3 月 2 日.
- [11] Tatsuya Koyagi, Sohaib Majzoub, Masahiro Fukui, and Resve Saleh, "RTL delay macro-modeling with Vt and Vdd variability," in *Proc. 6th IEEE International Design and Test Workshop*, Beirut, Lebanon, 2011 年 12 月 19 日.
- [12] Masahiro Fukui, Yoriaki Nagata, and Shuji Tsukiyama, "(Invited) A power grid optimization algorithm considering timing degradation by NBTI," in *Proc. International SoC Design Conference*, Jeju, Korea, 2011 年 11

月 18 日.

- [13] 福井正博, "EDA への GPGPU 適用例の紹介," 電子情報通信学会ソサイエティ大会(招待講演), 北海道大学, 北海道, 2011 年 9 月 13 日.
- [14] 林磊, 塩野隼人, 横田誠, 福井正博, "GPGPU によるバックワードオイラー法回路シミュレーションの高速化の一試行," 電子情報通信学会ソサイエティ大会, 北海道大学, 北海道, 2011 年 9 月 13 日.
- [15] Masahiro Fukui, Haruo Miki, Masaya Yoshikawa, and Shuji Tsukiyama, "A power grid optimization algorithm considering via reliability," in *Proc. 20th European Conference on Circuit Theory and Design*, Linköping, Sweden, 2011 年 8 月 29 日.
- [16] Shuji Tsukiyama and Masahiro Fukui, "A new statistical maximum operation for Gaussian mixture models and its evaluations," in *Proc. 20th European Conference on Circuit Theory and Design*, Linköping, Sweden, 2011 年 8 月 29 日.
- [17] Masahiro Fukui, Syota Nakai, Haruo Miki, and Shuji Tsukiyama, "A dependable power grid optimization algorithm considering NBTI timing degradation," in *Proc. 9th IEEE International NEWCAS Conference*, Bordeaux, France, 2011 年 6 月 28 日.

〔図書〕(計 0 件)

〔産業財産権〕
出願状況(計 0 件)

名称 :
発明者 :
権利者 :
種類 :
番号 :
出願年月日 :
国内外の別 :

取得状況(計 0 件)

名称 :
発明者 :
権利者 :
種類 :
番号 :
取得年月日 :
国内外の別 :

〔その他〕
ホームページ等
(福井研究室)
<http://www.bkc.ritsumei.ac.jp/se/re/fukuilab/>
(築山研究室)
<http://www.elect.chuo-u.ac.jp/tsuki/index.html>

6. 研究組織

(1) 研究代表者

福井 正博 (FUKUI, Masahiro)
立命館大学・理工学部・教授
研究者番号： 50367992

(2) 研究分担者

築山 修治 (TSUKIYAMA, Shuji)
中央大学・理工学部・教授
研究者番号： 90142314

(3) 連携研究者

()

研究者番号：