

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 13 日現在

機関番号：13301

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560391

研究課題名(和文)低電力動作可能な不揮発SRAMに関する研究

研究課題名(英文)Low Power Multivalued Nonvolatile Static Random Access Memory

研究代表者

中山 和也 (NAKAYAMA, Kazuya)

金沢大学・保健学系・准教授

研究者番号：80242543

交付決定額(研究期間全体)：(直接経費) 3,300,000円、(間接経費) 990,000円

研究成果の概要(和文)：多値記録可能な不揮発性メモリ(ReRAM)とSRAMを組み合わせたメモリに関する研究をおこなった。提案メモリセルは、2つの参照抵抗とプログラム可能な抵抗を通常のSRAMに接続したものである。1つのセルは9個のトランジスタと3個の抵抗から構成され、電源を切る時に2bit記憶することができる。データをセルに書き込む時、可変抵抗の値を下げるべきなのか、上げるべきなのか、変更しなくて良いのかを判定する回路が通常必要であるが、今回提案する方式ではこの判定回路は不要である。また先行研究よりも安定にリコールできる方法を考案することができた。

研究成果の概要(英文)：I proposed and computationally analyzed a multivalued, nonvolatile SRAM using a ReRAM. Two reference resistors and a programmable resistor are connected to the storage nodes of a standard SRAM cell. The proposed 9T3R MNV-SRAM cell can store 2 bits of memory. In the storing operation, the recall operation and the successive decision operation of whether or not write pulse is required can be performed simultaneously. Therefore, the duration of the decision operation and the circuit are not required when using the proposed scheme. In order to realize a stable recall operation, a certain current (or voltage) is applied to the cell before the power supply is turned on. To investigate the process variation tolerance and the accuracy of programmed resistance, we simulated the effect of variations in the width of the transistor of the proposed MNV-SRAM cell, the resistance of the programmable resistor, and the power supply voltage with 180nm 3.3V CMOS HSPICE device models.

研究分野：医用電気情報工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：不揮発性メモリ SRAM ReRAM

1. 研究開始当初の背景

社会の高度情報化に伴いコンピュータをはじめとした ICT 機器は産業活動や生活に欠かせないものとなり、急速に普及している。それに伴い、ICT 機器関連の電力消費が急速に増大している。さらに、ICT 機器自体の高性能化もとどまることを知らない。この高性能化により必要なメモリも増大し続けている。そのため ICT 機器の省エネルギー化にはメモリによる消費電力の低減が、有効な手段と考えられるようになってきた。すなわち、低消費電力のメモリ、特に、データの書き込み読み出し時にだけ電力を消費しデータの保持には電力を消費しない不揮発性メモリが望まれており、国内外を問わず多くの機関で研究が続けられている。しかしながら不揮発性メモリは一般に、速度や書換え回数で既存の DRAM や SRAM に見劣りする。一方 SRAM は高速であるが、今後さらに微細化が進むと待機時電力が問題となる。そこでこれらのメモリの長所を活かし、短所を克服するため、不揮発性メモリ素子と SRAM を組合せた素子を提案し、電子機器の低消費電力化をめざす。

2. 研究の目的

主な目的は、メモリセル構造の確立、安定なリコール方法の確立、ストア方法の確立が第一の目的である。これらの項目が達成できた後は、Hspice を用いたシミュレーションにより動作確認をおこなう。

(1) メモリセルは一般的な SRAM に不揮発性メモリ素子などを追加するため、部品数が多くなる。そこで部品数を削減するために、多値記録可能な不揮発性メモリの使用を検討し、部品削減効果を調べる。

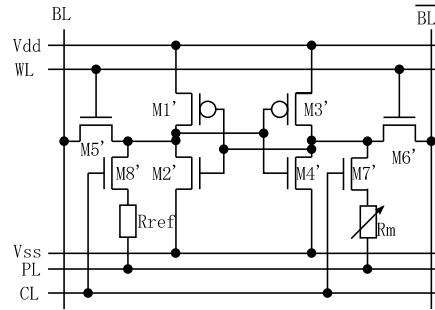
(2) 電源を切った状態から電源を入れる時に、不揮発性メモリ部から SRAM 部へデータを転送する(リコール動作)時、先行研究で使用されている方法では、安定性が悪い。そこで安定に読み出すことが可能な方法を提案しシミュレーションにて動作確認をおこなう。

(3) 今回使用を想定している ReRAM と呼ばれる素子は、電流の流れる向きを変えることで、書き込み消去をおこなう。また多値メモリを想定しており、抵抗値をある一定の範囲に書き込む必要がある。これらの動作を簡便におこなう方法を提案しシミュレーションにて動作確認をおこなう。

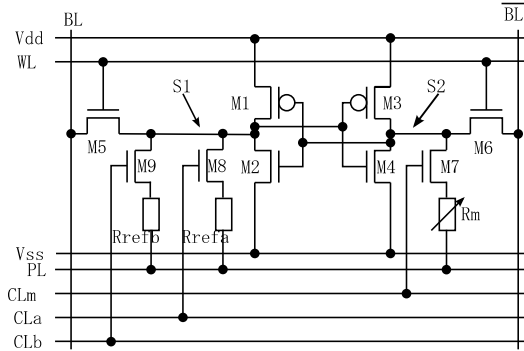
以上より、SRAM と不揮発性メモリを組み合わせた高性能なメモリを提案することが目的である。

3. 研究の方法

新しい、セル構造、リコール方法、書き込み方法を考え、CMOS、180 nm ルールを想定し、回路を作成し、HSPICE でシミュレーションを用いて、動作確認をおこなった。不揮発性メモリ部はコバルト酸化物 (CoOx) 薄膜を想定した。シミュレーションには、東京大学大規



(a) 従来の不揮発性SRAM



(b) 今回提案する不揮発性SRAM

図 1. セル構造

模集積システム設計教育研究センター提供のツール類を使用させて頂いた。

4. 研究成果

(1) セル構造

セル構造を図 1. に示す。従来型(図 1(a))は 8 個のトランジスタと 2 個の抵抗から構成(8T2R)されており、1 bit 記憶できる。一方提案セル(MNV-SRAM)(図 1(b))は 9 個のトランジスタと 3 個の抵抗から構成される(9T3R)。しかしながら、(不揮発性メモリ部を多値化することで)電源を切るときに 2 bit 記憶できる。そのため、図 2 のようなセルアレイ構成を考えると、1 bit のデータの記録

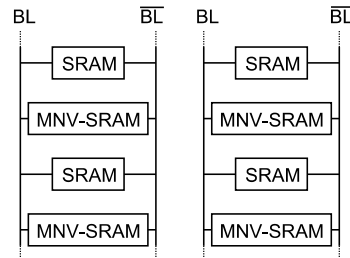


図 2. セルアレイ構成

には平均で 7.5T1.5R が必要である。よって本提案セル構造を使用すれば、1 bit あたりトランジスタが 0.5 個、抵抗が 0.5 個削減で

きる。セルの面積がトランジスタ数に比例すると仮定すると、約6%面積を削減できることになる。また本方式を拡張し、仮に4 bit/cellのセルアレイが実現できた場合、1 bitの記録に7.25T1.25R必要なこともわかった。ただし多値化数が多くなるとその分読み出しの余裕などが小さくなるため注意が必要である。

(2) 参照抵抗の最適化

提案する回路では、2つの参照抵抗 (Rrefa、Rrefb) で3つの参照抵抗値の値を生成する

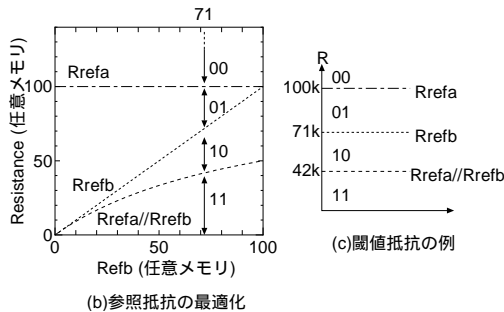
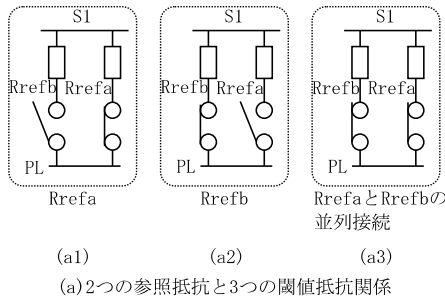


図3. 参照抵抗の最適な値

(図3(a))、そこでこの2つの参照抵抗の最適な比についても明らかにした。Rrefaの値を100に固定してRrefbの値を可変した場合の参照抵抗の差(読み出しと書き込みの余裕)を図3(b)に示す。この場合、Rrefbが71になった時、閾値抵抗の差が最も大きくなることを明らかにした。例えば、Rmの値が0から150 kΩの間で変わるとすると、参照抵抗の値は、Rrefaが100 kΩ、Rrefbが71 kΩの時が最適である、この時閾値抵抗は、100 kΩ、71 kΩ、42 kΩとなる(図3(b)、(c))。

(3) リコール方法

先行研究では、例えば、図1(a)のトランジスタM4'の幅(W)が1%変わっただけで、正しく読み出すことはできなかった。そこで、図4に示すように、リコール動作時にPLから電圧を印加し、ノードS1とS2の間に電位差を発生させるようにした。この結果、例えば図4のトランジスタM4'の幅(W)が±20%異なった場合でも正常にリコールできることをシミュレーションで確認した。また電源電圧が30%低下した場合でも正常にリコールできることも確認した。今後微細化が進むと、FETなどの素子のばらつきも大きくなることが予想されるため、本方式は非常に有効な方法

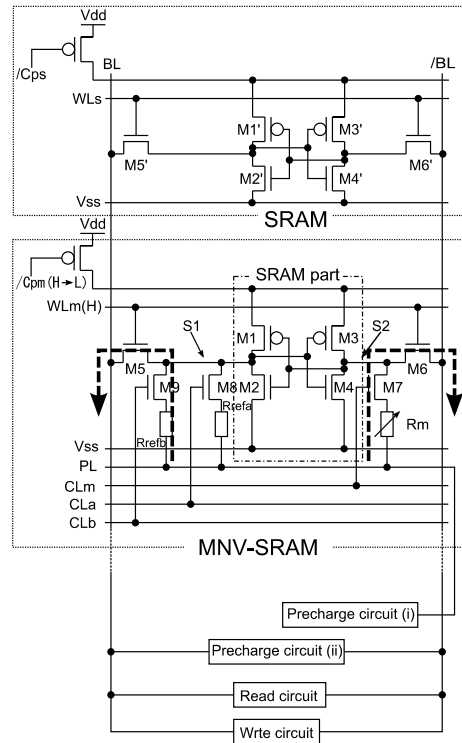


図4. リコール方法

と思われる。また、図5に示すように参照抵抗と不揮発性メモリ部の抵抗差に対する読み出し電圧の関係も明らかにした。本メモリ素子では、参照抵抗側(図4のS1の電位)とRm側(図4のS2の電位)の電圧の差をセンスアンプで増幅して利用する(作動増幅)。そのためこの電圧差が大きいほど読み出し

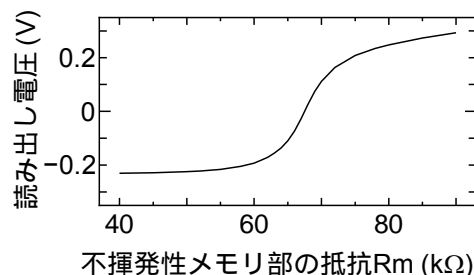


図5. 参照抵抗とRmと読み出し電圧

の安定度が増す。図5の場合、参照抵抗を65 kΩとし、Rmの値を変えた結果である。この時実際の閾値抵抗は67 kΩとなり、例えば読み出しに100 mVの電位差が必要だとすると、Rmの抵抗は65 kΩ以下か70 kΩ以上であれば良いことがわかった。

(4) ストア方法

電源を切る直前に、SRAM部にあるデータを読み出して、不揮発性メモリ部に書き込む必要がある。図2や図4のような構成の場合、最初にSRAM部とMNV-SRAM内のSRAM部からデータを読み出す。すなわち2 bitのデータを不揮発性メモリ部(図4のRm)に書き込む。この書き込みは不揮発性メモリ部の(ストア

直前の) 値によって、3 種類に分けなければならない。図 6 にその 3 種類の書き込みを示す。例えば、不揮発性メモリ部 (R_m) に "01" をストア (書き込む) する場合、 R_m の抵抗を R_{refb} と R_{refa} と R_{refb} を並列に接続した時の値 (R_{refa}/R_{refb} と記す) の間に書き込む必要がある。 R_m の大きさが R_{refb} より大きい場合、 R_m にはセットパルス印加して抵抗値を下げる必要がある (図 6 (a))。逆に R_m の抵抗が R_{refa}/R_{refb} より低い場合、リセットパルス印加して抵抗値を上げる必要がある (図 6 (c))。また R_m の値が、 R_{refb} と

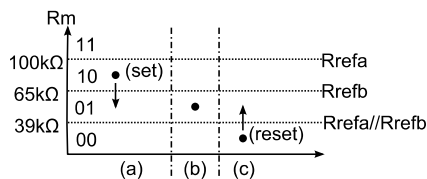


図 6. ストア時の書き込み方法

R_{refa}/R_{refb} の間にある場合は、書き込みパルスを印加してはいけない (図 6 (b))。よって、ストア動作としては、以下の 4 つの動作 (とそれを実現する回路) が必要となる。1. 抵抗値 R_m と参照抵抗との大小関係の比較が 2 回 (R_m と R_{refb} , R_m と R_{refa}/R_{refb} の比較)。2. 書き込みパルスが必要かどうかの判定。3. パルス印加が必要な場合、セットパルスが必要なのか (図 6 (a))、リセットパルスが必要なのか (図 6 (c))、パルス印加が不要なのかの判定 (図 6 (b))。4. 書き込みパルスの印加。一方、提案方式では読み出し回路を改良し、ほぼ上記の 1 の動作 (2 回の読み出し動作) のみで、読み出しから書き込みまでの一連の動作を実施できるようになった。これにより、回路が簡素化 (書き込み回路などの面積の削減と制御信号線の削減) でき、さらに高速化 (判定動作などが不要) が可能となった。最近では、1 つのセルに 3 bit 以上記憶させることもあり、不揮発性メモリ部の抵抗値が所定の抵抗範囲にあるかどうかを確認する動作 (Verify 動作) の重要性が増しており、本方式は非常に有効な方法である。

(5) EBT (Energy Break Even Time)

本研究で扱っているメモリ素子は、通常は SRAM 動作をおこない、SRAM 格納されたデータにアクセスが無い場合、不揮発性メモリ部にデータを書き込み、その後電源を切る。この時、SRAM の待機時電力が、不揮発性メモリ部へのストアと不揮発性メモリ部から SRAM 部へのリコール電力の合計より大きい場合に、電力削減効果が発生する。一般に、不揮発性メモリ部への書き込みには大きな電力を必要とするため、電源を切っている時間が短いとエネルギーを余計に消費してしまう。そこで図 7 に示すように、ストアとリコール動作に必要なエネルギーと SRAM の待機時電力から電力削減効果が発生する時間 (EBT : Energy Break Even Time) を見積もった。す

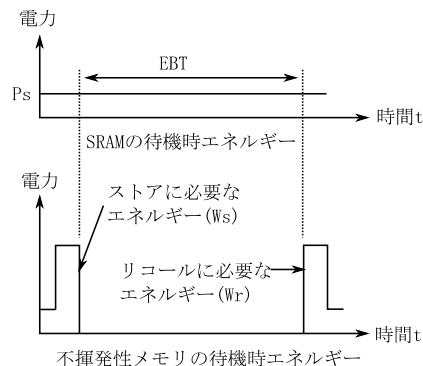


図 7. EBT の概念図

なわち、 P_s と EBT の積が W_s と W_r の和より大きくなる EBT ($(P_s \times EBT) > (W_s + W_r)$) を求めたところ、約 0.5 秒であることが分かった。なおこの見積もりには、CMOS 180 nm プロセスを想定し、不揮発性メモリ部には、コバルト酸化物 (CoO_x) を用いた ReRAM を想定しており、素子特性等が変わると大きく変わる。微細化が進み、FET などの漏れ電流が大きくなるとこの EBT は短くなる。

(6) まとめと今後の展望

高速だが揮発性である SRAM と、書き込み回数に制限があるが不揮発 (待機時電力が不要) である不揮発性メモリの長所を合わせ備えた不揮発性 SRAM の改良を提案し、シミュレーションにて動作の確認をおこなった。不揮発性メモリ部の多値化と新しい参照抵抗の提案によりセル面積が削減できた。また新規に開発した方法により、リコール動作の安定性が大きく向上することが確認できた。さらにストア動作にいたっても、高速化を実現しながら回路の簡素化に成功した。これらの新たな方式を用いた場合、電力削減効果がどの程度の待機時間から得られるかという指標 (EBT) を求めた。微細化が進むと、それに伴い FET などの漏れ電流が大きくなるため、本提案方式のメモリは低電力化に非常に有効である。なお判定回路が不要なストア (書き込み) 方式などは、ReRAM 以外の素子にも応用可能である。大容量メモリ素子の需要は今後も高まることが予想される。大容量化には微細化と多値化が重要であり、本提案方式の手法を様々な多値の不揮発性メモリへ応用していく予定である。

5. 主な発表論文等

[雑誌論文] (計 2 件)

Kazuya Nakayama and Akio Kitagawa, Circuit Implementation, Operation, and Simulation of Multivalued Nonvolatile Static Random Access Memory Using a Resistivity Change

Device, Active and Passive Electronic Components, 査読有, Volume 2013 (2013), Article ID 839198, <http://dx.doi.org/10.1155/2013/839198>

Takaya Handa, Yuhei Yoshimoto, Kazuya Nakayama, and Akio Kitagawa, Novel Power Reduction Technique for ReRAM with Automatic Avoidance Circuit for Wasteful Overwrite, Active and Passive Electronic Components, 査読有, Volume 2012 (2012), Article ID 181395, <http://dx.doi.org/10.1155/2012/181395>

〔学会発表〕(計1件)

伊部泰貴、中山和也、北川章夫、電圧センスアンプを用いた ReRAM の多値化のための読み出し・書き込み回路、電子情報通信学会 集積回路研究会 (ICD)、平成25年2月1日、早稲田大学グリーン・コンピューティング・システム研究開発センター (東京)

〔その他〕

ホームページ

<http://hope.mp.kanazawa-u.ac.jp/contents/research/>

6. 研究組織

(1) 研究代表者

中山 和也 (NAKAYAMA, Kazuya)

金沢大学・保健学系・准教授

研究者番号：80242543

(2) 研究分担者

なし

(3) 連携研究者

なし