

科学研究費助成事業 研究成果報告書

平成 27 年 4 月 24 日現在

機関番号：14501

研究種目：基盤研究(C)

研究期間：2011～2014

課題番号：23560395

研究課題名(和文) 極低消費電力 LSI の実現に向けたグリーンナノデバイスの研究

研究課題名(英文) Research on green nanodevices toward the realization of ultra-low power LSI

研究代表者

土屋 英昭 (Tsuchiya, Hideaki)

神戸大学・工学(系)研究科(研究院)・准教授

研究者番号：80252790

交付決定額(研究期間全体)：(直接経費) 3,900,000円

研究成果の概要(和文)：新材料及び新構造を用いた次世代MOS型トランジスタの性能を高精度に予測するために、量子論的ウィグナー・モンテカルロシミュレータ並びに原子論的バリスティックシミュレータを開発した。III-V族化合物半導体は、ソース・ドレイン間直接トンネリングによるリーク電流増大と低状態密度による電流駆動力低下の回避が必須であることを示した。グラフェンFETの性能予測では、グラフェンナノリボン構造が原理的に最も優れた性能を示した。ジャンクションレス・トランジスタは、チャンネル/ゲート酸化膜界面でのラフネス散乱が軽減されるため、次世代の超微細集積デバイスとして有力であることを示した。

研究成果の概要(英文)：We have developed a quantum Wigner Monte Carlo simulator and an atomistic ballistic simulator, in order to predict the device performance of emerging MOSFETs with new channel materials and new device structures. For III-V MOSFETs, the increase of a leakage current due to source-drain direct tunneling and degradation of the current drive due to a small DOS should be eliminated to outperform conventional Si MOSFETs. Among graphene nanoribbon, bilayer graphene, and graphene nanomesh structures, the graphene nanoribbon structure exhibited the best device performance as a FET channel. A junctionless transistor was shown to be a potential candidate for an ultrascaled integrated device, because a roughness scattering at the channel-gate oxide interface can be reduced.

研究分野：工学

キーワード：高移動度材料 グラフェンFET ナノワイヤFET ジャンクションレストランジスタ モンテカルロシミュレーション 原子論 量子力学的効果 バリスティック輸送

1. 研究開始当初の背景

半導体大規模集積回路 (VLSI) は、将来のユビキタスネットワーク社会の発展を支えるハードウェア基盤技術であるのみならず、ハイブリッド車開発、気象予測、医薬品開発、ロボット開発、航空機設計等のあらゆる産業分野を支えるキー・コンポーネントとしても、その高性能化・高機能化が引き続き強く求められている。そこで要求される性能を満たすためには、物性的な限界が見え始めたシリコンに代わる高機能チャンネル材料の開発と、優れた短チャンネル効果耐性を有する新構造の開発が不可欠となってくる。このため、シリコンよりもキャリア移動度が高いゲルマニウムや III-V 族化合物半導体をチャンネルとする研究や、FinFET・ナノワイヤ等のマルチゲート構造の研究が本格化してきた。

一方で、VLSI の消費電力の増大が近年急速にクローズアップされてきた。消費電力を抑えるには、微細化に伴い動作電圧を下げる必要があるが、チャンネル長が 100 nm 以下の世代を迎えた現在では、バラツキを考慮した動作マージンの確保やサブスレッショルド電流 (オフ電流) の抑制などのため動作電圧が下げ止まり、VLSI の消費電力の爆発的な増大に直面している。このため、VLSI の低消費電力化を可能とする新型トランジスタの開発が強く求められていた。

2. 研究の目的

1. の背景から本研究では、新材料、新構造および新原理に基づく低電圧駆動型トランジスタの研究を行った。具体的には、III-V 族化合物半導体およびグラフェンをチャンネルとする高移動度チャンネル MOSFET、ナノワイヤおよびジャンクションレス構造を導入した新構造 MOSFET、並びに、トンネル効果とインパクトイオン化を利用した Steep-Slope トランジスタに注目し、現在の主流技術であるシリコン CMOS トランジスタとの性能比較を行うことで、その実用化に向けた開発指針を提示することを目的とした。

3. 研究の方法

高移動度チャンネル MOSFET および新原理 MOSFET の性能を高精度に予測するためには、キャリアの散乱現象と量子力学的効果を正確に取り入れることができるデバイスシミュレータが不可欠である。本研究では、ウィグナー関数に基づいた量子論的ウィグナー・モンテカルロシミュレータを開発し、新材料・新原理 MOSFET の性能予測、並びに実用化する際の課題の抽出を試みた。

一方、FinFET・ナノワイヤ等の立体ゲート構造 MOSFET では、ゲート長だけでなくチャンネル断面内もナノスケールに縮小されるため、チャンネルのバンド構造を正確に反映したシミュレータが必須となる。本研究では、強束縛近似法に基づいた原子論的バリスティックシミュレータを開発し、新構造 MOSFET

の性能予測を行った。

4. 研究成果

(1) まず、新チャンネル材料として注目されている III-V 族化合物半導体をチャンネルとする MOSFET を解析するための量子論的ウィグナー・モンテカルロシミュレータを開発した。III-V 族化合物半導体としては、InP および InGaAs を取り上げた。反転層キャリアの量子化を考慮したフォノン散乱 (有極性 / 非有極性) と不純物散乱を取り入れた。また、III-V 族化合物半導体特有の強いバンドの非放物線性を考慮した。その結果、有効質量の軽い III-V MOSFET では、シリコン MOSFET よりも約 3 倍長いチャンネル長でソース・ドレイン間直接トンネリングによるサブスレッショルド電流の増大が顕在化することを見出した。上記の知見は、低消費電力トランジスタとして期待されている III-V MOSFET の短チャンネル化限界が、シリコン MOSFET よりも長いチャンネル長で訪れる可能性があることを示唆しており、デバイス開発者に大きなインパクトを与えている。さらに、ゲート長が 10 nm 以下の極限サイズの MOSFET では、逆に、有効質量の重い材料が MOSFET の高性能化に適しているという従来とは正反対のパラダイムシフトを提案し注目を集めた。

(2) 次に、新概念デバイスであるジャンクションレス・トランジスタの性能予測を行った。ジャンクションレス・トランジスタでは、蓄積モードでドレイン電流が流れるため、チャンネル / ゲート酸化膜界面でのラフネス散乱の軽減が期待されている。そのため界面ラフネス散乱のモデル化を慎重に行った。具体的には、シリコン MOSFET の標準的ラフネス散乱モデルである Prange-Nee 項に基づくラフネス散乱モデルを導入し、シリコン MOSFET の電子移動度のユニバーサル曲線を高精度に再現することを確認した。そのラフネス散乱モデルを用いて、ジャンクションレス・トランジスタにおける界面ラフネス散乱と不純物散乱の影響について系統的な検討を行った。その結果、ダブルゲート構造シリコンジャンクションレス・トランジスタでは、従来型シリコン MOSFET に比べて界面ラフネス散乱が軽減され、電流駆動力の向上に寄与することが確認された。一方、チャンネル内にドーブされた不純物による散乱の影響によって電流駆動力は低下するが、オン状態では遮蔽効果と不純物散乱の前方性散乱の恩恵を受けて、その影響は限定的になることが明らかとなった。上記の結果は、ジャンクションレス・トランジスタが次世代の超微細集積デバイスの候補として有力であることを示すものである。

(3) シリコンナノワイヤ MOSFET はゲートオールアラウンド構造を有するために、理想的なゲート電圧制御性を実現することがで

き、ナノスケール領域のデバイスにおいてもリーク電流を極限まで抑制した低消費電力化を可能とする中核技術の一つと考えられている。ナノワイヤチャネルの断面サイズは数ナノメートルになることから、断面内に存在する原子の数は数えられる程度にまで減少する。そのため、有効質量近似は適用できなくなり原子論に基づいたシミュレーション技術の確立が求められている。本研究では、強束縛近似法に基づいた原子論的パリスティックシミュレータを開発し、シリコンナノワイヤ MOSFET および III-V ナノワイヤ MOSFET の極限性能の評価を行った。その結果、ゲート酸化膜厚 (EOT) が 1 nm 以上のデバイスでは、電子有効質量の軽い III-V ナノワイヤ MOSFET が予想通り高い電流駆動力を示し、シリコンナノワイヤ MOSFET に対する優位性を保持することが分かった。ところが EOT が 0.5 nm 程度以下にまで薄層化されると、III-V ナノワイヤ MOSFET の駆動力が相対的に急激に低下し、シリコンナノワイヤ MOSFET のそれを下回る結果が得られた。その原因を調べたところ、III-V ナノワイヤチャネルでは状態密度が小さいことにより、チャネル自身のキャパシタンス (量子キャパシタンス) がゲート酸化膜容量よりも小さくなり、その結果として、電流駆動力を決定するゲート容量が大幅に低下することを突き止めた。いわゆる III-V 族化合物半導体をはじめとする有効質量の軽い材料が抱える「低 DOS 問題」に起因する現象である。(1) では、有効質量が軽い材料ではソース・ドレイン間直接トンネリングによるサブスレッショルドリーク電流の問題を指摘したが、上記の結果は、オン性能についても、EOT の薄層化に伴い、その状態密度の低さが性能向上の障害になり得ることを表している。

(4) グラフェンナノデバイスの動作解析の基礎となるグラフェンナノリボンとバイレイヤグラフェンのバンドギャップ変調特性を調べるために、強束縛近似法を用いたバンド構造計算法を確立した。さらに、パリスティック輸送下におけるグラフェン FET の極限性能を評価できるパリスティックシミュレータを開発した。両者を結合させた原子論的パリスティックシミュレータを、グラフェンナノリボン、バイレイヤグラフェン、さらにグラフェンナノメッシュに適用させ、それぞれの FET チャネルとしての性能予測を可能にした。まず、グラフェンナノリボンとバイレイヤグラフェンの FET チャネルとしての性能を比較した結果、バンドギャップの大きさと電子速度の観点からは、グラフェンナノリボンが原理的に優れていることを見出した。次に、グラフェンナノメッシュについて、FET チャネルへの応用に適する幾何学的構造を見つけ出した。そしてグラフェンナノメッシュ FET としての電気特性を評価し、従来のシリコン MOSFET を凌ぐ性能が実現で

きることを示した。また、グラフェンだけでなく、シリセンとゲルマネンにも拡張を行った。これにより、最近大きな注目を集めている 2 次元材料の解析とその FET チャネルとしての潜在性能の予測を実施できる体制が整った。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 18 件)

H. Tsuchiya, S. Kaneko, N. Mori, and H. Hirai, Simulation of Electron Transport in Atomic Monolayer Semiconductor FETs, J. Advanced Simulation in Science and Engineering, 査読有, (印刷中).

土屋 英昭, 微細化限界に挑戦する新型 MOSFET のキャリア輸送特性とシミュレーション技術, 電子情報通信学会論文誌 C, 査読有, Vol. J98-C, No.5, 2015, pp.70-78.

M. Ichii, R. Ishida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, Computational Study of Effects of Surface Roughness and Impurity Scattering in Si Double-Gate Junctionless Transistors, IEEE Trans. on Electron Devices, 査読有, Vol. 62, No. 4, 2015, pp. 1255-1261. DOI: 10.1109/TED.2015.2399954

H. Hirai, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, Electron Mobility Calculation for Graphene on Substrates, J. Appl. Phys., 査読有, Vol. 116, 2014, pp. 083703-1 - 083703-6.

DOI: 10.1063/1.4893650

S. Kaneko, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, Theoretical Performance Estimation of Silicene, Germanene, and Graphene Nanoribbon Field-Effect Transistors under Ballistic Transport, Applied Physics Express, 査読有, Vol. 7, 2014, pp. 035102-1 - 035102-4.

DOI: 10.7567/APEX.7.035102

S. Koba, M. Ohmori, Y. Maegawa, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, Channel Length Scaling Limits of III-V Channel MOSFETs Governed by Source-Drain Direct Tunneling, Jpn. J. Appl. Phys., 査読有, Vol. 53, 2014, pp. 04EC10-1 - 04EC10-5.

DOI: 10.7567/JJAP.53.04EC10

R. Sako, N. Hasegawa, H. Tsuchiya, and M. Ogawa, Computational Study on Band Structure Engineering using Graphene Nanomeshes, J. Appl. Phys., 査読有, Vol. 113, No. 14, 2013, pp. 143702-1 - 143702-5-. DOI: 10.1063/1.4800624

K. Nagai, H. Tsuchiya, and M. Ogawa, Channel Length Scaling Effects on Device Performance of Junctionless Field-Effect Transistor, Jpn. J. Appl. Phys., 査読有, Vol.

52, 2013, pp. 044302-1 - 044302-5.

DOI: 10.7567/JJAP.52.044302

K. Shimoida, Y. Yamada, H. Tsuchiya, and M. Ogawa, Orientational Dependence in Device Performances of InAs and Si Nanowire MOSFETs under Ballistic Transport, IEEE Trans. on Electron Devices, 査読有, Vol. 60, No. 1, 2013, pp. 117-122.

DOI: 10.1109/TED.2012.2228199

Y. Yamada, H. Tsuchiya, and M. Ogawa, Atomistic Modeling of Electron-Phonon Interaction and Electron Mobility in Si Nanowires, J. Appl. Phys., 査読有, Vol. 111, No. 6, 2012, pp. 063720-1 - 063720-11.

DOI: 10.1063/1.3695999

N. Takiguchi, S. Koba, H. Tsuchiya, and M. Ogawa, Comparisons of Performance Potentials of Si and InAs Nanowire MOSFETs under Ballistic Transport, IEEE Trans. on Electron Devices, 査読有, Vol. 59, No. 1, 2012, pp. 206-211.

DOI: 10.1109/TED.2011.2172615

R. Sako, H. Tsuchiya, and M. Ogawa, Influence of Band-Gap Opening on Ballistic Electron Transport in Bilayer Graphene and Graphene Nanoribbon FETs, IEEE Trans. on Electron Devices, 査読有, Vol. 58, No. 10, 2011, pp. 3300-3306.

DOI: 10.1109/TED.2011.2161992

[学会発表](計 42 件)

土屋英昭, 石田良馬, 鎌倉良成, 森伸也, 宇野重康, 小川真人, モンテカルロ法を用いた Si ダブルゲート構造 MOSFET の準バリスティック輸送係数の抽出, 電子情報通信学会 シリコン材料・デバイス, 2014.11.7, 機械振興会館(東京都).

平井秀樹, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, 絶縁基板上グラフェンの電子移動度解析, 第 75 回応用物理学会秋季学術講演会, 2014.9.18, 北海道大学(北海道).

一居雅人, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, ジャンクションレストランジスタの表面ラフネス散乱及び不純物散乱の影響, 第 75 回応用物理学会秋季学術講演会, 2014.9.17, 北海道大学(北海道).

R. Ishida, S. Koba, H. Tsuchiya, Y. Kamakura, N. Mori, S. Uno, and M. Ogawa, Extraction of Quasi-Ballistic Transport Parameters in Si Double-Gate MOSFETs Based on Monte Carlo Method, Int. Conf. on Simulation of Semiconductor Processes and Devices (SISPAD2014), 2014.9.10, メルパルク横浜(神奈川県).

土屋英昭, 兼古志郎, 平井秀樹, 森規泰, シリセン/ゲルマネン/グラフェン FET の電子輸送モデリング, 応用物理学会分科会 シリコンテクノロジー, 2014.7.4, 機械振興会館(東京都).

兼古志郎, 長谷川直実, 土屋英昭, 鎌倉良

成, 森伸也, 小川真人, シリセン/ゲルマネン/グラフェンナノリボン FET のバリスティック性能評価, 第 61 回応用物理学会春季学術講演会, 2014.3.17, 青山学院大学(神奈川県).

S. Koba, R. Ishida, Y. Kubota, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, The impact of increased deformation potential at MOS interface on quasi-ballistic transport in ultrathin channel MOSFETs scaled down to sub-10nm channel length, Int. Electron Devices Meeting (IEDM2013), 2013.12.10, ワシントン DC (アメリカ).

大森正規, 木場隼介, 前川容佑, 土屋英昭, 鎌倉良成, 森伸也, 小川真人, ウィグナーモンテカルロ法を用いた極微細 III-V MOSFET の量子輸送解析, 応用物理学会分科会 シリコンテクノロジー, 2013.11.15, 機械振興会館(東京都).

N. Hasegawa, K. Shimoida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, Performance comparison of graphene nanoribbon, Si nanowire and InAs nanowire FETs in the ballistic transport limit, Int. Conf. on Solid State Devices and Materials (SSDM13), 2013.9.26, ヒルトン福岡シーホーク(福岡県).

K. Shimoida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, Performance projections of III-V channel nanowire nMOSFETs in the ballistic transport limit, Int. Conf. on Solid State Devices and Materials (SSDM13), 2013.9.26, ヒルトン福岡シーホーク(福岡県).

N. Hasegawa, R. Sako, H. Tsuchiya, and M. Ogawa, Band structure and electron transport in multi-junction graphene nanoribbons, Silicon Nanoelectronics Workshop, 2012.6.10, ホノルル(アメリカ).

Y. Yamada, H. Tsuchiya, and M. Ogawa, Electron mobility calculations of free-standing Si-nanowires with atomistic electron-phonon interactions, Int. Conf. on Solid State Devices and Materials (SSDM11), 2011.9.28, 愛知産業労働センター(愛知県).

[図書](計 1 件)

土屋英昭, コロナ社, ナノ構造エレクトロニクス入門, 2013, 257

6. 研究組織

(1) 研究代表者

土屋英昭 (TSUCHIYA, Hideaki)
神戸大学・大学院工学研究科・准教授
研究者番号: 80252790

(2) 研究分担者

()

研究者番号：

(3)連携研究者
()

研究者番号：