

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 12 日現在

機関番号：34406

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560422

研究課題名(和文) Si基板上 - 族半導体/High-kゲートを用いた新構造トランジスタの開発

研究課題名(英文) Fabrication of new structure transistors using III-V Semiconductors/High-k materials on Si substrates

研究代表者

前元 利彦 (MAEMOTO, TOSHIHIKO)

大阪工業大学・工学部・准教授

研究者番号：80280072

交付決定額(研究期間全体)：(直接経費) 3,000,000円、(間接経費) 900,000円

研究成果の概要(和文)：本研究ではチャンネル材料にInAsを用いたIII-V族MOSFETを作製しその諸特性を評価した。MOSFETの特性を向上させるために、オーミックコンタクトや高誘電率材料High-k/GaSb界面に着目して研究を行った。オーミックコンタクトでは、形成する電極の材料、膜厚の検討を行い、更に熱処理の温度条件を求めることで、低抵抗なコンタクト抵抗を実現した。High-k/GaSb界面については、溶液処理を用いることでGaSb表面の自然酸化膜を除去し界面準位密度を低減した。また、バンドギャップの大きな酸化ガリウムを挿入することでMOS界面の欠陥の発生を抑制し、MOSFETの特性が改善されることを見出した。

研究成果の概要(英文)：Growth of InAs/AlGaSb heterostructures by molecular beam epitaxy and the characterization of antimonide-based composite-channel InAs MOSFETs are reported. Antimonide-based compound semiconductors such as those of InAs combined with AlGaSb are candidates for high-speed and low-power digital applications. InAs/AlGaSb MOSFETs utilizing high-k (HfO₂) gate insulator were fabricated using a Ni/Au ohmic metallization. Low contact resistance using Ni/Au ohmic metal and annealing in N₂ for 60 seconds. The transconductance gm of 414 mS/mm was obtained for the MOSFET with gate length of 1μm.

研究分野：工学

科研費の分科・細目：電気電子工学，電子デバイス・電子機器

キーワード：化合物半導体 MOSFET 半導体ヘテロ構造 トランジスタ インジウムヒ素 高誘電率ゲート

1. 研究開始当初の背景

Si-MOSFET 単体の性能は微細化スケールに則って高速化・高周波化が進んできたが、数年先には現行の材料システムでは高速化の限界が到来し、カットオフ周波数も 1THz 付近で飽和するものと予想されている。近年、微細化限界が迫りつつある中で、より高い電子移動度をもつ InAs や InSb といった -V 族化合物半導体を伝導チャネルに用いる研究が活発化している。さらに、Beyond CMOS と期待される新構造と新機能デバイス、高速電子デバイスや光デバイスの高度集積化を目指した場合、-V 族半導体デバイスとシリコンデバイスの融合が今後更に進展するものと考えられる。しかし、現時点では Si 上への -V 族半導体を母体材料とする電子・光デバイスの実現には、格子不整合系のエピタキシャル成長技術やヘテロ界面制御、デバイスプロセスなどの克服するべき課題が数多く残されている。

申請者の研究グループはタイプ II のバンド構造を有する InAs/AlSb 系ヘテロ構造の特徴ある材料物性に着目し、その結晶成長技術から高電界・強磁場下までを含む様々な条件下での電子輸送特性や光学的性質に関する材料物性評価を行ってきた。また、高電子移動度トランジスタやメソスコピック構造デバイスの開発、極微デバイス作製に必要なナノスケールの加工プロセス技術まで、この材料系で多岐にわたる研究を行ってきた。しかしながら、アンチモンベースの -V 族半導体の優れた電子伝導・光学特性が認識されながらも、結晶成長技術ならびにデバイスプロセスは完成されたものではなく、工学的な応用の進展および実用化が立ち遅れている。

他方、Si のような無極性半導体上に GaAs のような有極性化合物半導体を成長させると逆位相領域 (Anti-Phase Domain; APD) が発生するといった問題がある。1980 年代に Si 基板上に低温緩和層を用いた GaAs の二段階成長が発表されて以来、さまざまな手法が開発されてきた。格子定数差の大きなヘテロエピタキシーによる無転位結晶成長技術 (ナノマイクロチャンネルエピタキシー; MCE) によって、Si 基板上の GaAs 系レーザーの寿命が大きく改善されることも報告されている。またバッファ層としては格子定数の近い半導体材料が用いられる場合が多いが、酸化物材料を用いる試みもあり、申請者らは Si 上 -V 系高速 MOS 開発においても有用と考えている。2002 年、米モトローラ社はチタン酸ストロンチウムをバッファ層として、12 インチ基板に GaAs を成長させ注目を浴びた。バッファ層成長の際に過剰酸素を供給することで、Si 表面には SiO₂ 層が形成されバッファ層の一部を形成している。この方法で $1 \times 10^5 \text{ cm}^{-2}$ 以下の転位密度が実現されている。しかし、その後の技術的展開は殆どなく、現在に至っている。将来、InAs や InSb といった -V 族化合物半導体を Si 基板上に組込んで CMOS の

より高いパフォーマンスを達成するためには、欠陥と歪みが制御された新たな結晶成長技術とデバイスプロセスの開発が不可欠となる。

2. 研究の目的

本研究では、エネルギーバンド構造の設計自由度が大きなアンチモンベースの -V 族化合物半導体を基盤材料として、高品質結晶薄膜および酸化物バッファを用いた結晶成長技術により Si 基板上への化合物半導体成長技術を開発する。デバイスプロセスについては、-V 族半導体/酸化物複合構造や高誘電率 (High-k) 酸化物との急峻な界面を実現して、微細ゲートを持つ新構造 -V 系高速 MOSFET への展開を念頭に研究を進める。

3. 研究の方法

本研究で -V 系 MOSFET におけるチャネル層となる InAs ヘテロ接合の成長には、分子線エピタキシー (MBE) 法を用いた。基板には高速デバイスを作製する上で必要な寄生抵抗および寄生容量が小さい半絶縁性 GaAs (100) 基板を使用した。ただし、GaAs の格子定数は 0.3565 nm で InAs の格子定数は 0.3658 nm であることから格子不整合が大きく、約 7% の格子不整合率がある。そのため、GaAs 基板上に結晶欠陥の少ない InAs 層を実現させるため、超格子層やバッファ層を導入し InAs/AlGaSb ヘテロ構造の成長を行った。図 1 に本研究で用いた InAs/AlGaSb ヘテロ構造と成長中の RHEED パターンを示す。

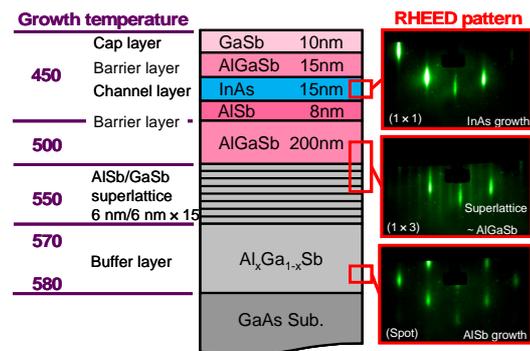


図 1 InAs/AlGaSb ヘテロ構造と成長中の RHEED パターン。

電子移動度、シートキャリア濃度については van der Pauw 法によるホール効果を用いて評価した。試料は 3mm 角の大きさの正方形をへき開によって切り出し、角頂点の GaSb 上に In を接着させた。その次に InAs チャネル層とオーミックコンタクトをとるために高速加熱処理装置を用いて 200 °C、60 秒間、窒素雰囲気中の条件下でアロイを行った。van der Pauw 法による測定の結果から、300 K における電子移動度が約 20,000 cm²/Vs、シートキャリア濃度 $1.5\text{-}2.5 \times 10^{12} \text{ cm}^{-2}$ 、77 K

においてはそれぞれ $20,000\text{--}120,000\text{ cm}^2/\text{Vs}$, $0.8\text{--}1.8 \times 10^{12}\text{ cm}^{-2}$ と高移動度, 高い電子濃度を有していることが分った. このヘテロ構造で高電子移動度が得られるのは, チャンネル層に有効質量が小さい InAs を用いていること, AlGaSb と InAs のエネルギーバンドギャップの違いによる電子の閉じ込め効果によるものである. InAs と AlGaSb の間には伝導体のバンドオフセットが約 850 meV あり, 電子の供給源として考えられる要因としては, AlGaSb 障壁層や InAs/AlSb 界面に起因するドナーであると考えられる.

他方, InAs 系ヘテロ構造で良好な MOS 界面が得られる絶縁物についての報告例は殆ど無い. バンドギャップの大きい SiO_2 を用いることが考えられるが, 単に SiO_2 を挿入しただけではドレイン電流の増大や伝達コンダクタンスの向上は見込めないため, 本研究ではゲート絶縁膜として高誘電率 (High-k) ゲート絶縁膜を用いた. 特に CMOS の High-k ゲート材料として用いられる HfO_2 に注目した. 比誘電率が SiO_2 の 3.9 よりも大きいことが特徴であり, 文献値では HfO_2 の比誘電率は 20 と, それぞれ SiO_2 の約 5 倍となる. そのため, 約 5 倍の膜厚で絶縁膜を形成しても SiO_2 と同等の静電容量が実現でき, 膜を厚くできるためゲートリーク電流を大幅に抑制することができる. 更にゲート絶縁膜厚のスケーリングを進めていくことでドレイン電流 I_d の増大や伝達コンダクタンス g_m の向上が期待できる. 本研究においては, HfO_2 高誘電率 (High-k) 材料をゲート絶縁膜に利用し, 材料系特有の問題であるゲートリーク電流 I_g の極小化を図った. 作製した High-k ゲートを持つ InAs/AlGaSb MOS 構造を図 2 に示す.

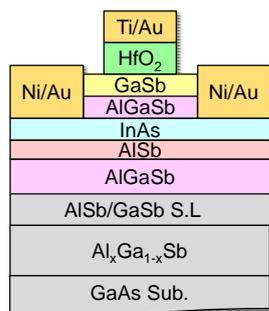


図 2 High-k ゲートを持つ InAs/AlGaSb MOSFET の構造図.

4. 研究成果

(1) InAs/AlGaSb MOSFET の特性評価

$I\text{-}V$ 特性の測定には, 半導体パラメータアナライザを用いて $V_{ds}\text{-}I_d$ 特性, $V_{gs}\text{-}I_d$ 特性および $V_{gs}\text{-}I_g$ 特性の測定を行った. $V_{gs}\text{-}I_d$ 特性はソースを接地してソース - ドレイン間に 0.6 V の電圧を印加し, ソース - ゲート間電圧を変化させることでドレイン電流の変化を測定した. ソース - ゲート間電圧は 1 V から -1.6 V まで 0.2 V ステップで印加させた. ト

ランジスタの寸法はゲート長が $2\text{ }\mu\text{m}$, スペース長が $2\text{ }\mu\text{m}$, ゲート幅が $50\text{ }\mu\text{m}$ である. 図 3 に測定結果を示す. 図 3 (a) から, ソースドレイン間電圧 0.6 V において最大相互コンダクタンス $g_{m\text{max}} = 158\text{ mS/mm}$ が得られた. しかし, 作製したデバイスでは, ドレイン電流が 0.8 V 付近からドレイン電流が増加する傾向が見られた. この原因として, InAs チャンネル層でインパクトイオン化によって衝突電子が発生して, 電流が増加した可能性がある. 図 3 (b) から, 0.5 V 程度のヒステリシスが発生していることが分った. また, ゲート電圧を -1.6 V まで印加してもドレイン電流は約 8 mA/mm 流れており, 完全にオフすることはできていなかった. この原因として考えられるのは HfO_2 の結晶欠陥や HfO_2/GaSb の界面準位密度が高いことが考えられる.

図 4 にゲート電圧とゲートリーク電流の比較を示す. ゲートリーク電流は他の研究機関の InAs/AlSb MOSFET と同程度の値を示している. 図 4 より, ゲートリーク電流が 10^{-1} mA/mm オーダーとドレイン電流と比較して約 3 桁小さいが, 高性能化には更にゲートリーク電流を抑えていく必要がある.

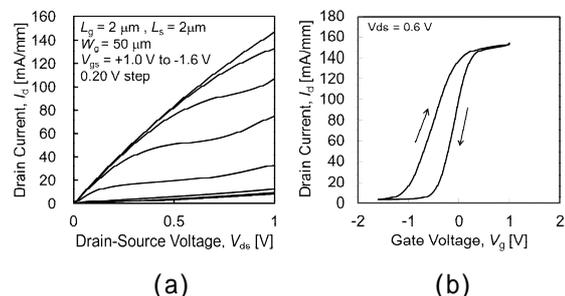


図 3 InAs/AlGaSb MOSFET の $V_{ds}\text{-}I_d$ 特性および $V_{gs}\text{-}I_d$ 特性.

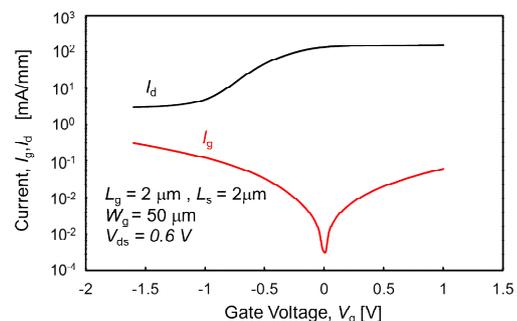


図 4 InAs/AlGaSb MOSFET のゲートリーク電流.

(2) Ni/Au オーミック電極の熱処理効果

良好なオーミック特性を得るために InAs/AlGaSb ヘテロ構造に用いる電極材料の検討を行った. 族化合物半導体に用いられる電極材料は種々あるが, 報告例としては, J. B. Boos らによって InGaAs 上に Pd/Pt/Au 電極を形成し熱処理を行なうことで $0.08\text{ }\Omega\text{mm}$ のコンタクト抵抗が得られている. また, 同様の構造に Au/Ge/Ni/Au を形成

することで $0.11 \Omega\text{mm}$ のコンタクト抵抗を得ていることが報告されている。本研究においても、良好なオーミック電極の形成に努めた。コンタクト抵抗の評価法は、精密測定が可能な線形伝送線モデルに基づく伝送長法 (Transfer Length Method: TLM) を用いた。

TLM 測定用に作製したサンプルは Ti, In, Pd, Ni それぞれ 30 nm, 50 nm, 70 nm の 3 種類の膜厚で形成し合計 12 パターンを形成した。また、各材料の上に Au を 100 nm 形成している。オーミック電極材料の膜厚とコンタクト抵抗の関係から Ni の厚さが 50 nm のとき、コンタクト抵抗 $0.064 \Omega\text{mm}$ が最も小さい値となった。また、50 nm 以外の膜厚についてもコンタクト抵抗が最も低い値が得られたのは Ni であった。この結果から、InAs/AlGaSb ヘテロ構造に最適な電極材料は Ni で、膜厚 50 nm とした。オーミック電極に用いる材料の検討を行い、Ni (50 nm)/Au (100 nm) が最適な構造であることが分かった。

更にコンタクト抵抗の低減を期待してオーミック電極形成後に熱処理を行なうことを試みた。オーミック電極の熱処理条件は窒素雰囲気中で 1 分間とし、温度を 200 ~ 300 °C まで 50 °C ずつ変化させた。熱処理後にコンタクト抵抗を TLM 法により測定した。コンタクト抵抗と熱処理温度の関係を図 5 に示す。図 5 より、250 °C 付近から急激にコンタクト抵抗が低下しており、熱処理温度 300 °C ではコンタクト抵抗 $0.024 \Omega\text{mm}$ とノンアロイと比べて非常に低いコンタクト抵抗値が得られた。一方、ホール効果から得られたシートキャリア濃度と、TLM 測定における距離と抵抗の関係から見積もられるシートキャリア濃度の比、 $R_{sh}(\text{TLM})/R_{sh}(\text{Hall})$ は 1 に近くなるほど理想的なコンタクトが得られている事を示している。そのシート抵抗比については熱処理温度が高くなることで 1 に近づいている傾向が見られた。これは、熱処理により 250 °C 以上の温度では Ni と InAs が合金化し Ni-InAs が形成された可能性がある。以上の結果から Ni を用いたオーミック電極の形成に熱処理は非常に有効であると考えられ、 $0.024 \Omega\text{mm}$ と非常に低いコンタクト抵抗が得られていることから、高い伝達コンダクタンスが期待できる。

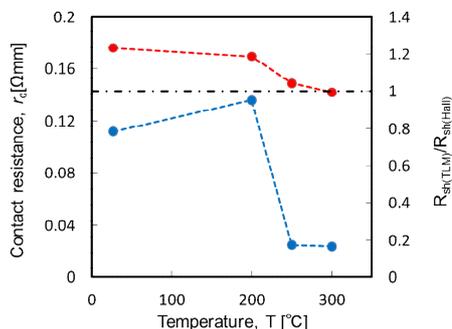


図 5 オーミック電極の熱処理条件。

(3) ゲート絶縁膜の界面準位密度の低減の検討

族化合物半導体ではコンタクト抵抗の低抵抗化の他に、ゲート絶縁膜と半導体の界面準位密度を低減する必要がある。本研究では InAs/AlGaSb ヘテロ構造のゲート絶縁膜材料として比誘電率が約 20 あるとされる HfO_2 を用いて MOSFET の作製を行ってきたが、自然酸化膜を除去しなければ高い伝達コンダクタンスを得ることは難しいと考え、溶液処理を用いて自然酸化膜の除去に注目した。InAs/AlGaSb ヘテロ構造の最表面である GaSb 層は大気中に置いておくと自然酸化膜が形成されるため溶液処理は必須であると考えられる。InAs/AlGaSb ヘテロ構造に塩酸処理を行い、XPS 測定にて塩酸処理を行なった場合と未処理の場合との比較を行った。また、塩酸処理を用いて MOSFET を作製し特性の評価を行なった。さらに、 HfO_2 以外のゲート絶縁膜の材料として Ga_2O_3 を絶縁膜として用いて HFET の作製を行った。

まず、GaSb 表面の酸化反応については、GaSb 表面には酸素と反応することで Ga_2O_3 と Sb_2O_3 が形成されると考えられる。また自然酸化膜である Sb_2O_3 が GaSb と反応することで Ga_2O_3 と Sb が形成されると推察される。これら自然酸化膜除去のために塩酸処理を行なった。行なった処理手順は有機洗浄 (トルエン (3 min) アセトン (3 min) イソプロパノール (3 min) N_2 ブロー ベーク (10 min)) を行った後、塩酸に 1 分間基板を浸し、5 秒間塩酸が残らないように基板を純水でリンスし、 N_2 ブローにて表面の水分をできるかぎり除去した。

処理を行なった基板を XPS 測定で Sb, Ga の各軌道について測定した。Ga について 3 種類の軌道で測定を行ったが、3p 軌道、2p 軌道については全ての処理条件で変化が見られなかった。しかし Ga3s 軌道において塩酸処理を行なった場合と未処理の場合で 164 eV 付近でピークの変化が見られた。このピークの位置は酸素のピークに近いので、Ga と結合していた酸素が完全ではないが除去できていたと考えられる。次に、Sb3d, Sb4d 軌道について調べた。Sb の場合は 3d, 4d 軌道ともに塩酸処理することで変化が見られた。Sb3d は 532 eV 付近のピークが塩酸処理を行なうことで減少していることが確認できた。このピークは Sb-O 結合のピークであるため自然酸化膜除去ができていないことが確認できる。また、Sb4d 軌道では 37 eV 付近で塩酸処理を行なうことでピークが減少していることが確認できることから、自然酸化膜が除去されたと考えられる。しかし、Sb3d, 4d 軌道どちらの結果でも完全に Sb-O のピークが無くなっていないため、GaSb 表面から完全に酸化膜を除去できていない可能性もある。また、塩酸処理によって GaSb 表面がエッチングされていないかを確認するために Ga, Sb の軌道を測定するときに Al のピークを同時に測定したが

ピークは確認されなかった．このことから，塩酸によって GaSb 層がエッチングされていないことを確認した．以上のことから，InAs/AlGaSb系 MOSFETのゲート形成において塩酸処理の有用性が示唆された．

(4) Ga₂O₃ ゲート絶縁膜用いた InAs/AlGaSb MOSFET の作製

GaSb 上に直接 HfO₂ を堆積すると HfO₂ ゲート絶縁膜中の欠陥によるゲートバイアスの遮蔽が起こる可能性があり，特性の悪化につながると考えられる．そこで，GaSb と HfO₂ 界面に Ga₂O₃ を挿入した場合 MOSFET の特性の変化を調べた．本研究では電子ビーム蒸着法を用いて Ga₂O₃ を 20 nm，連続して HfO₂ を 30 nm 堆積させる方法で作製を行なった．絶縁膜の変更による特性の影響を見るために，ソースドレイン電極には Ni/Au を用いたが熱処理を行わず，塩酸処理も行っていない．絶縁膜はこれまで HfO₂ (50 nm) から Ga₂O₃ (20 nm)/ HfO₂ (30 nm)に変更して作製した．

得られた伝達コンダクタンスは，ドレイン電圧 $V_{ds} = 0.6$ V のとき， $L_g = 2$ μ m では $g_{mmax} = 375$ mS/mm， $L_g = 1$ μ m では $g_{mmax} = 414$ mS/mm が得られた． $L_g = 1$ μ m の出力特性を図 6 (a) に示す．ゲート絶縁膜 HfO₂ (50 nm) のみのとき，伝達コンダクタンスが 158 mS/mm であったことから，Ga₂O₃ を挿入することで伝達コンダクタンスが向上している．また，図 6 (b) に HfO₂ を持つ MOSFET と Ga₂O₃ を挿入した MOSFET のゲートリーク電流の比較を示す．Ga₂O₃ を挿入することでゲートリーク電流が 10^{-1} mA/mm から 10^{-6} mA/mm になり約 5 桁ゲートリーク電流の低減が見られる．バンドギャップの大きな Ga₂O₃ を利用したことでリーク電流が抑えられ，また MOS 界面の向上でソース-ドレイン間に流れる電流が増加したことが特性の向上の一つの要因になっていると考えられる．

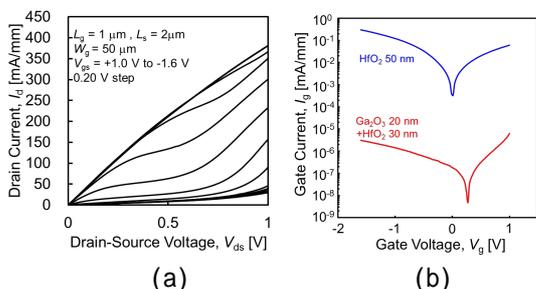


図 6 (a) Ga₂O₃ を用いた MOSFET の V_{ds} - I_d 特性 ($L_g=1$ μ m)，(b) Ga₂O₃ を挿入した場合と挿入しない場合の V_g - I_g 特性の比較．

以上の研究成果は，高速・低消費電力 InAs 系 - 族 MOSFET の実用化に十分な結果であると言えないが，電極材料選択やプロセス技術において有用な知見であると考えている．

5. 主な発表論文等

(雑誌論文)(計 5 件)

佐々誠彦，矢野満明，前元利彦，小池一歩，尾形健一，“高性能酸化亜鉛系 FET と酸化物デバイス応用の広がり” 電子情報通信学会誌，95 巻 4 号，査読有，p.289-293 (2012)．

木村祐太，日垣友宏，前元利彦，佐々誠彦，“室温プロセスによるフレキシブル基板上酸化亜鉛薄膜トランジスタの作製”，材料 61 巻 9 号，査読有，p.760-765 (2012)．

K. Nishisaka, T. Maemoto, S. Sasa, K. Takayama, M. Tonouchi, “A reflection layer for enhanced THz radiation from InAs thin films”, Proceedings of the 2012 International Meeting for Future of Electron Devices, Kansai, 査読無，1 巻，p.116-117 (2012)．

Y. Kimura, T. Kiso, T. Higaki, Y. Sun, T. Maemoto, S. Sasa, and M. Inoue, “Rectification effects in ZnO-based transparent self-switching nano-diods”, Proceedings of the 2012 International Meeting for Future of Electron Devices Kansai, 査読無，1 巻，p.114-115 (2012)．

T. Kiso, H. Yoshikawa, Y. Ishibashi, K. Nishisaka, K. Ogata, T. Maemoto, S. Sasa, M. Inoue, “Fabrication and Characterization of Antimonide-Based Composite-Channel InAs/AlGaSb HFETs using High-k Gate Insulator”, Proceedings of the 2011 International Meeting for Future of Electron Devices, Kansai, 査読無，1 巻，p.88-89 (2011)．

(学会発表)(計 12 件)

森口航平，前元利彦，尾形健一，佐々誠彦，“高誘電率ゲート材料を用いた InAs/AlGaSb ヘテロ構造トランジスタの作製と半導体/ゲート界面の改善，平成 25 年電気関係学会関西連合大会，大阪府寝屋川市，11 月 16 日(2013)．

Y. Sun, Y. Kimura, T. Maemoto, S. Sasa, “Pulsed laser deposition of low resistivity transparent conducting Al-doped ZnO films at room temperature and its transparent thin-film transistor applications”, 12th International Conference on Laser Ablation, Ischia, Italy, October 8 (2013)．

K. Moriguchi, T. Maemoto, K. Ogata and

S. Sasa, “Crystal growth of InAs/AlGaSb heterostructures by molecular beam epitaxy and fabrication of InAs HFETs using Ni/Au alloy ohmic metal”, 2013 International Conference on Solid State Devices and Materials, Fukuoka, Japan, September 26 (2013).

T. Maemoto, Y. Kimura, Y. Sun, S. and S. Sasa, “Rectification effects in ZnO-based self-switching nanodiodes toward transparent flexible electronics”, 18th International Conference on Electron Dynamics in Semiconductors, Optoelectronics and Nanostructures, Matsue, Shimane, Japan, July 22 (2013).

森口航平, 西坂和一, 前元利彦, 尾形健一, 佐々誠彦, “InAs/AlGaSb ヘテロ構造の分子線エピタキシャル成長と高誘電率ゲート材料を用いた HFET の製作”, 2013 年春期第 60 回応用物理学会学術講演会, 神奈川県厚木市, 3 月 29 日(2013).

森口航平, 西坂和一, 前元利彦, 佐々誠彦, 井上正崇, “分子線エピタキシー法による InAs/AlGaSb ヘテロ構造の結晶成長と高誘電率ゲート材料を用いた電界効果トランジスタの作製”, 平成 24 年電気関係学会関西連合大会, 大阪府吹田市, 11 月 9 日 (2012).

Y. Kimura, Y. Sun, T. Maemoto, S. Sasa, S. Kasai and M. Inoue, “Rectification Effects of ZnO-based Transparent Nano-diodes on Glass and Flexible Plastic Substrates”, 25th International Microprocess and Nanotechnology Conference, Kobe, Hyogo, Japan, October 31 (2012).

K. Nishisaka, T. Maemoto, S. Sasa, K. Takayama, M. Tonouchi, “A reflection layer for enhanced THz radiation from InAs thin films”, 2012 International Meeting for Future of Electron Devices, Kansai, Suita, Osaka, Japan, May 10 (2012).

Y. Kimura, T. Kiso, T. Higaki, Y. Sun, T. Maemoto, S. Sasa, and M. Inoue, “Rectification effects in ZnO-based transparent self-switching nano-diodes”, 2012 International Meeting for Future of Electron Devices, Kansai, Suita, Osaka, Japan, May 10 (2012).

T. Kiso, K. Nishisaka, T. Maemoto, S. Sasa, S. Kasai, M. Inoue, “Electron transport properties in self switching nano-diodes”, APS March meeting 2012, Boston, Massachusetts, USA, February 29 (2012).

T. Kiso, K. Nishisaka, T. Maemoto, S. Sasa, S. Kasai, M. Inoue, “Fabrication and transport properties in InAs-based self switching nano-diodes”, 24th Int. Microprocesses and Nanotechnology Conference, Kyoto, Japan, October 26 (2011).

T. Kiso, H. Yoshikawa, Y. Ishibashi, K. Nishisaka, K. Ogata, T. Maemoto, S. Sasa, M. Inoue, “Fabrication and Characterization of Antimonide-Based Composite-Channel InAs/AlGaSb HFETs using High-k Gate Insulator”, 2011 International Meeting for Future of Electron Devices, Kansai, Suita, Osaka, Japan, May 19 (2011).

6. 研究組織

(1) 研究代表者

前元 利彦 (MAEMOTO TOSHIHIKO)
大阪工業大学・工学部・准教授
研究者番号: 80280072

(2) 研究分担者

佐々 誠彦 (SASA SHIGEHICO)
大阪工業大学・工学部・教授
研究者番号: 50278561

井上 正崇 (INOUE MASATAKA)
大阪工業大学・工学部・教授
研究者番号: 20029325