

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 19 日現在

機関番号：37112

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560424

研究課題名(和文) 時空間軸上のランダムばらつきをフィールド上で削減するSRAM端子電位制御の研究

研究課題名(英文) Study on Design Methodology for Reducing Both of Spatial and Temporal Random Threshold Variation Based on Potential Control of SRAM Cell Terminals

研究代表者

山内 寛行(YAMAUCHI, Hiroyuki)

福岡工業大学・情報工学部・教授

研究者番号：70425239

交付決定額(研究期間全体)：(直接経費) 4,000,000円、(間接経費) 1,200,000円

研究成果の概要(和文)：本研究は、製造後時間軸上でランダムに変調する閾値電圧 $V_t$ の動的なばらつき量  $V_t$ を擬似的に検出する手法。再び収束させる事を前提にしたVLSI設計手法を考案することであり、以下の研究を進めた。(1)時間軸上でランダムに変調する $V_t$ の動的なばらつき量  $V_t$ を擬似的に検出する。再び収束させる手段の実現可能性の検討。(2)実現可能性を検証するためのシミュレーション用のモデルリング。(3)実効的な  $V_t$  limit値向上のためのマージンアシストオフセット電圧制御電極値の決定。成果の意義は、RTNによる $V_t$ の変調幅が従来のRDFによる変調幅に比較して同等か大きくなった場合の影響を定量的に示した。

研究成果の概要(英文)：The purpose of this study is to provide a new design methodology enabling to detect and reduce the spatial/temporal random variations of the threshold voltage in the field after shipment. This study focuses on :(1) concept design for a feasibility study on detection and reduction of the  $V_t$  temporally dynamic shift due to Random Telegraph Noise(RTN) (2) physical modeling for the simulation for a feasibility study, and (3) control of offset potential of the terminals of SRAM cell. It has been demonstrated for the first time that the amount of the SRAM overall margin modulation due to the RTN would become unprecedented level and could no longer ignore in the screening design when the tail length of the distribution of the  $V_t$  variation for the RTN would exceed that for the random dopant fluctuation (RDF).

研究分野：工学 電気電子工学

科研費の分科・細目：電子デバイス・電子機器

キーワード：SRAM SRAMマージン解析 時空間ランダムばらつき ランダムテレグラフノイズ ランダムドーパントフラクチュエーション マージンアシスト回路 コンボリユーション デコンボリユーション

## 1. 研究開始当初の背景

ナノメータ時代の LSI 研究で最も深刻な課題の1つは、閾値電圧 (以下  $V_t$ ) の“ランダムばらつき”急増に起因した SRAM の面積・電圧スケールリングの破綻である。これがより深刻なのは、1)SRAM が LSI にとって面積・消費電力の点で最も影響を与える構成要素であり、2)将来の環境やバイオセンサーネットワーク分野を普及させるために必要な超省電力 LSI の実現には、SRAM の電源電圧  $V_{dd}$  を  $V_t$  以下の極限までスケールリングさせることが必要だからである。

RTNに起因した $\sigma V_t$ 変調に関する研究発表が、デバイスの学会IEEE Symposium on VLSI Tech. 2009から活発化し、RTNのSessionが設けられ2件の発表があった。(N.Tega,他8名, paper#:3B-3),(K.Takeuchi,他3名, paper#:3B-5, IEEE Symp. on VLSI Tech. 2009)

一方で、RTN成分を含まずともRDF成分(Random Dopant Factor)だけで既に上限に達している $\sigma V_t$ 量を削減する必要性は、 $V_{dd}$ の低減(1.1V→0.5V)を考慮すると切迫しており、2009,2010年にその基礎実験の発表があった。(M.Suzuki,他4名, paper#:8A-2,IEEE Symp. on VLSI Tech. 2009), (K.Miyaji, 他4名, paper#:4-4,IEEE Symp. on VLSI Circuits. 2010)

しかし、RTNの本質的な課題である「折角 $\sigma V_t$ を削減してもField上で元に戻ってしまう事に対する解決策」すなわち、RTNに起因した $\sigma V_t$ を継続的に収束させる方式と $V_t$ 収束状況に応じて $V_{dd}$ を動的に制御する様な方式は、未だ報告が無い状況である。

一方で、その時代は、2次元だけの高密度化のペースでは社会の要求を満足できなくなり、3次元レベルの実装を目指す必要性(More than Moore)がある。必然的に、Field上でRDFとRTNの $\sigma V_t$ 収束を実行するには、チップの積層実装を想定したBias印加方式や電源端子 Offset Bias 制御技術が必要になると考えられるが、今のところ報告は無い。

## 2. 研究の目的

「時・空間的に変動する」Random Telegraph Noise (RTN)が、閾値電圧( $V_t$ )のRandomばらつき量( $\sigma V_t$ )の成分中で支

配的になる時代には、 $\sigma V_t$ 自身が、製造後も時間に依存して、大きく変調する。

故に、従来の設計手法のままでは、VLSIの動作保証電圧( $V_{dd}$ )に対するMargin設計を、「瞬間的に最悪の $\sigma V_t$ 値」に基づいて、行なう必要があり、 $V_{dd}$ と面積のこれ以上のscalingは困難である。

本研究は、1)製造直後だけでなく、Field上で再びばらついた $V_t$ を擬似的に検出し、自己収束させ、 $V_t$ 収束状況に応じて、 $V_{dd}$ を動的に制御することで、RTNが支配的になる時代でも、継続的に面積と $V_{dd}$ のscalingを可能にする、新たなVLSI設計手法の開拓を目指す。2)時代の要請に応えるために、0.5V以下の $V_{dd}$ 動作と積層チップ実装状態での実現を想定した研究を端緒にして、「デバイス特性が時間軸で大きく変調する新たな時代」に必要な設計研究分野を切り拓くことを目的とする。

本研究の特長は、RDFだけでなく、空間成分を併せ持つRTNに起因した $\sigma V_t$ を、1)製造直後だけでなくAging後/Field上で繰り返し自己収束させることを可能にする技術と、2)チップの3次元実装を想定したビット単位の $V_t$ 収束とMargin Assistを可能にする端子間Bias制御技術を創出すること。そして、3)0.5V以下の動作実現に必須な $\sigma V_t$ 収束手法と $V_t$ 収束状況に応じて動的に $V_{dd}$ を制御する技術の研究を端緒にRTNが支配的になる時代の新たな設計手法の開拓を目指すことにある。

## 3. 研究の方法

本研究に着手する前の研究で気づいた点は、以下の4点であった。

- 1)  $\sigma V_t$ が、各 $V_{dd}$ に対する動作保証の上限値 $\sigma V_t\_limit$ を超えると、SRAMの面積Scalingペースは急速に低下する。さらに、 $\sigma V_t\_limit$ は、 $V_{dd}$ の低下に伴い減少し、 $V_{dd} < 0.5V$ の動作に必要な $\sigma V_t\_limit$ と $\sigma V_t$ 値との間には、大きな隔たり(Gap)がある。
- 2) その様な状況下で新たに、RTNが、 $\sigma V_t$ 自身をさらに大きくする。 $\sigma V_t(t)$ 成分中で、RTNが支配的になれば、必要な $V_{dd}$ と $\sigma V_t\_limit$ 値は、時間に依存して大きく変調する。
- 3) 新たな発想として、デバイス努力だけに頼らず、 $\sigma V_t$ 変化を検出するレプリカ技術と連携した $\sigma V_t$ 収束技術、 $\sigma V_t$ 収束状況に応じた動的な $V_{dd}$ と $\sigma V_t\_limit$

値の制御技術、を前提にした、新たな設計手法が、scalingの限界を突破するには不可欠である。(さもなければ No more Vdd & area scaling)

- 4) RTN受信の部位の感度が異なる様にレプリカ回路を設計すれば、Pass/Failの度数分布は、部位毎に取得でき、Vt収束させるべき部位 (Bias印加部位)も統計的に予測可能である。

因って、本研究では、具体的には、以下の手法を確立する研究を行った。

- 1)  $\sigma V_t$  変化を検出するレプリカ技術、 $\sigma V_t$  収束技術、 $\sigma V_t$  収束状況に応じた動的な Vdd と  $\sigma V_t$  limit 値の制御技術を前提にした新たな設計手法。
- 2) RTN に因る  $\sigma V_t$  増加の有無を境界にして Pass/Fail が切り換わるレプリカ回路設計手法。非 Gaussian 分布の RTN- $\sigma V_t$  分布が不良耐性に与える影響を高精度に予測して Pass/Fail の境界条件を求める手法。
- 3) 不良耐性の予測結果から 製造直後に必要な RDF の  $\sigma V_t$  削減量と Field 上での RTN の  $\sigma V_t$  削減量と 電源端子間 Margin Assist Offset Bias による  $\sigma V_t$  limit の緩和量を予測する手法。
- 4) メモリセルのソース電源の差動制御やデコードされたウェル・基盤制御によるビット単位での Vt 収束手法。(従来の一括印加 Bias より格段に細かく、効率的に Vt ミスマッチが小さくなる方向に Vt シフト可能、且つ PMOS/NMOS 独立で制御可)
- 5) チップを積層実装することを想定した上記 1)-4) の Bias 電源システム設計。製造後に RDF を Vt 収束させるのに必要な高電圧 2.5V と GND 間を抵抗で 5 分割し 4 層のチップを積層することで各チップには自動的に論理 H/L ノード間に 0.5V が印加される手法。段違いの積層チップ間で電源を共有化し、又、その 2 電源から中間電位を生成することで簡易な回路で効率的に Offset\_Bias 電源電位を生成可能にする手法。電源も積層することで、低電圧時に深刻化する DC/DC 変換ロスと、 $\sigma V_t$  に因るリーク電流のばらつきを、リークパスを直列接続することで抑制する手法の提案。

#### 4. 研究成果

本研究の全体の目的は、製造後、時間軸上でランダムに変調する閾値電圧 Vt の動的なばらつき量  $\sigma V_t$  を擬似的に検出する手法、再び収束させる事を前提にした新たな VLSI 設計手法を考案することであり、H23

年度～H25年度の3年間の最終年度で以下の研究を進めた。(1)コンセプト設計:時間軸上でランダムに変調する閾値電圧 Vt の動的なばらつき量  $\sigma V_t$  を擬似的に検出する手法、再び収束させる手段のコンセプト設計とその実現可能性の検討(2)モデリングとシミュレーション:コンセプト設計の実現可能性を定量的に検証するためのシミュレーション用のモデリングの実施。H25年度までに発表された最新のMOSFET特性、RTNを含む $\sigma V_t$ 値を更新。特に、全体SRAMマージン特性変動解析のための畳み込み、逆畳み込みの解析手法のモデリングを中心に実施した。そのシミュレーション結果に基づき、必要な $\sigma V_t$ 削減値の決定。削減のための製造後 Vt 収束用印加Biasの電極選定と印加Bias・時間値の決定。(3)実効的な $\sigma V_t$  limit値向上のためのマージンアシストオフセット電圧制御電極と Bias値の決定。(レプリカ回路・Bias条件可変調整幅、手段決定)(4)上記(1)～(3)で得られた研究成果を、最終年度で査読付きの国際学会で13件発表し、査読付きの学術論文誌に12件採択され、掲載が決定した。これまでに得られた成果の意義は、RTNによる閾値電圧 Vt の変調幅が、従来のRDFによる閾値電圧 Vt の変調幅に比較して同等か、大きくなった場合の各種設計への影響を定量的に示した。特に、畳み込み、逆畳み込みの解析手法を新規に提案した。例えば、製品出荷前のスクリーニングテスト電圧条件の必要変更量と歩留まり損失量を統計的な解析手法から得られた結果から明らかにした。さらに、スクリーニングだけでなく必要なマージンアシスト量も同様に明らかにした。特に、モデリング誤差が各種設計に及ぼす影響を定量化に示し学会や学術論文でも評価された。

2013年度においては、このVLSI設計分野で著名なISOC2013でBest Paper Awardを受賞した。

IEEE, CAS等が主催しそのデータベースに索引される著名な国際学会 LASCAS2014, LATW2013, ICICDT2013, ISVLSI2013等で成果を発表した。(合計20件) さらに、成果を学術論文としてまとめ14件が採択され掲載が確定した。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学術論文](計14件)

- (1) Worawit Somha, Hiroyuki Yamauchi, “A Comparative Study on RTN Deconvolution of Richardson-Lucy and Proposed Partitioned Means for Analyzing SRAM Fail-Bit Prediction Accuracy” International Journal of Computer and Communication Engineering (

IJCCE) Vol.3, No. 3, 2014, pp. 178-183, 査読有,採択済み

(2) Worawit Somha, Hiroyuki Yamauchi, “A n RTN Variation Tolerant SRAM Screening Test Design with Gaussian Mixtures Approximations of Long-Tail Distributions” Journal of Electronic Testing: Theory and Applications , DOI 10.1007/s10836-014-5439-7 2014 pp. 171-181 査読有,採択済み

(3) Worawit Somha, Hiroyuki Yamauchi “A Technique to Circumvent V-shaped Deconvolution Error for Time-dependent SRAM Margin Analyses”, IEIE Transactions on Smart Processing and Computing, Vol 2, No.4, 2013, pp.216-225 査読有,採択済み

(4) Meng-Fan Chang ;Ming-Pin Chen ; Lai-Fu Chen ;Shu-Meng Yang ;Yao-Jen Kuo;Jui-Jen Wu ;Hsiu-Yun Su ;Yuan-Hua Chu ;Wen-Ching Wu ;Tzu-Yi Yang ;Hiroyuki Yamauchi, “A Sub-0.3 V Area-Efficient L-Shaped 7T SRAM With Read Bitline Swing Expansion Schemes Based on Boosted Read-Bitline, Asymmetric-Vth Read-Port, and Offset Cell VDD Biasing Techniques”, IEEE Journal of Solid State Circuits, 査読有,2013, Vol.48, No.10, pp. 2558-2569

(5) Meng-Fan Chang; Chih-Sheng Lin; Wei-Cheng Wu; Ming-Pin Chen; Yen-Huei Chen; Zhe-Hui Lin; Shyh-Shyuan Sheu; Tzu-Kun Ku; Cha-Hsin Lin; Hiroyuki Yamauchi. “A High Layer Scalability TSV-Based 3D-SRAM With Semi-Master-Slave Structure and Self-Timed Differential-TSV for High-Performance Universal-Memory-Capacity-Platforms”, IEEE Journal of Solid State Circuits, 査読有,2013, Vol.48, No.6, pp. 1521-1529

(6) Meng-Fan Chang ;Shin-Jang Shen ;Chia-Chi Liu ;Che-Wei Wu;Yu-Fan Lin;Ya-Chin King ;Chorng-Jung Lin ;Hung-Jen Liao ;Yu-Der Chih ;Hiroyuki Yamauchi, “An Offset-Tolerant Fast-Random-Read Current-Sampling-Based Sense Amplifier for Small-Cell-Current Nonvolatile Memory”, IEICE Transactions on Electronics., Vol.45, No.3, 2013,pp. 864-877, 査読有

(7) Shu-Meng Yang ; Meng-Fan Chang ; Chi-Chuang Chiang Ming-Pin Chen ;Hiroyuki Yamauchi, “Low-Voltage Embedded NAND-ROM Macros Using Data-Aware Sensing Reference Scheme for VDDmin, Speed and Power Improvement”, IEEE Journal of Solid-State-Circuits., Vol.48, No.2, 2013,pp. 611-623,, 査読有

(8) Worawit Somha, Hiroyuki Yamauchi, “Adaptive Segmentation Gaussian Mixtures Models for Approximating to Drastically Scaled-Variou Sloped Long-Tail RTN Distributions”, Int. Journal of Future Computer and Communication., Vol.2, No.5, 2013,pp. 407-412,, 査読有

(9) Worawit Somha, Hiroyuki Yamauchi, “A

Discussion on RTN Variation Tolerant Guard Band Design Based on Approximation Models of Long-Tail Distributions for Nano-Scaled SRAM Screening Test”, Int. Journal of Computer and Elect. Eng., Vol.5, No.4, 2013,pp. 366-371,, 査読有

(10) Worawit Somha, Hiroyuki Yamauchi, “A Nano-Scaled SRAM Guard Band design with Gaussian Mixtures Model of Complex Long Tail RTN Distributions”, World Academy of Science, Engineering and Technology, No.7, 2013,pp. 589-599, 査読有

(11) Worawit Somha, Hiroyuki Yamauchi, “A Look up Table Based Adaptive Segmentation Gaussian Mixtures Model for Fitting Complex Long-Tail RTN Distributions”, World Academy of Science, Engineering and Technology, Vol.1, No.3, 2013,pp. 245-250, 査読有

(12) Worawit Somha, Hiroyuki Yamauchi, “Fitting Mixtures of Gaussians to Heavy-Tail Distributions to Analyze Fail-Bit Probability of Nano-Scaled Static Random Access Memory”, World Academy of Science, Engineering and Technology, Vol.1, No.3, 2013,pp. 245-250,, 査読有

(13) Yen-Huei Chen;Shao-Yu Chou ; Li, Q. ;Wei-Min Chan; Sun, D. ; Hung-Jen Liao; Ping Wang; Meng-Fan Chang ; Hiroyuki Yamauchi, “Compact Measurement Schemes for Bit-Line Swing, Sense Amplifier Offset Voltage, and Word-Line Pulse Width to Characterize Sensing Tolerance Margin in A 40nm Fully Functional Embedded SRAM”, IEEE Journal of Solid-State-Circuits, Vol.47, No.4, 2012,pp. 969-980, 査読有

(14) Jui-Jen Wu; Yen-Huei Chen ; Meng-Fan Chang; Po-Wei Chou ; Chien-Yuan Chen; Hung-Jen Liao ; Ming-Bin Chen; Yuan-Hua Chu ; Wen-Chin Wu ; Hiroyuki Yamauchi, “A Large  $\sigma$ VTH/VDD Tolerant Zigzag 8T SRAM with Area-Efficient Decoupled Differential Sensing and Fast Write-Back Scheme”, IEEE Journal of Solid-State-Circuits, Vol.46, No.4, 2011,pp. 815-827, 査読有

〔学会発表〕(計 20 件)

(1) Worawit Somha, Hiroyuki Yamauchi,” A Comparative Study on RTN Deconvolution of Richardson-Lucy and Proposed Partitioned Means for Analyzing SRAM Fail-Bit Prediction Accuracy” 2014 Mar. 20-21, 3rd International Conference on Network and Computer Science , 査読有, マニラ、フィリピン

(2) Worawit Somha, Hiroyuki Yamauchi, “A Comparative Review of Application Dependencies of Deconvolution Errors between Algebraic and Nonlinear Optimization in SRAM Margin Analyses”,

Jan. 15-18, 2014 International Conference on Electronics, Information and Communication (ICEIC) 査読有, コタキナバル、マレーシア

(3) Worawit Somha, Hiroyuki Yamauchi, Ma Yuyu, "Iterative and Adaptively Segmented Forward Problem Based Non-Blind Deconvolution Technique for Analyzing SRAM Margin Variation Effects", International System On Chip Conference (ISOC) Nov. 17-19, 2013 pp184-187. 査読有, プサン、韓国

(4) Worawit Somha, Hiroyuki Yamauchi, Ma Yuyu, "Unknown Two Factors of RTN and Truncated RDF from Given Target for Overall SRAM Margin Variations "Embedded memory", International System On Chip Conference (ISOC) Nov. 17-19, 2013, PP188-191, 査読有, プサン、韓国

(5) C. F. Chen, T.-H. Chang, L.-F. Chen, M.-F. Chang, and H. Yamauchi, "A 210mV 7.3MHz 8T SRAM with Dual Data-Aware Write-Assists and Negative Read Wordline for High Cell-Stability, Speed and Area-Efficiency", IEEE 2013 Symposium on VLSI Circuits Dig. Tech. Papers Ja. 12-14, 2013, pp. 130-131 査読有, リーガロイアル京都

(6) Worawit Somha, Hiroyuki Yamauchi, Ma Yuyu, "A Technique to Circumvent Problematic Deconvolution Processes in Time-dependent SRAM Margin Analyses", International Conference on Engineering, Applied Sciences, and Technology, Aug 21-24. pp11-16 2013, 査読有, バンコック、タイ

(7) Worawit Somha, Hiroyuki Yamauchi, "A Comparative Review of Deconvolution Errors in SRAM Margin Analyses between Algebraic and Optimization Problem Based Approaches", International Conference on Engineering, Applied Sciences, and Technology, pp.60-65, Aug 21-24. 2013, 査読有, バンコック、タイ

(8) Worawit Somha, Hiroyuki Yamauchi, "A Stable SRAM Mitigating Cell-Margin Asymmetry with A Disturb-Free Biasing Scheme", IEEE Computer society International Symposium on VLSI (ISVLSI), Aug 5-7. pp.16-19, 査読有, ナタール、ブラジル

(9) Ma Yuyu, Hiroyuki Yamauchi, Worawit Somha, "A Discussion on Random Telegraph Noise (RTN) Effects on SRAM Array VCCmin Modulation and Its Dependencies of VCC and RTN Distribution", ITC-CSCC2013, Jun. 30-Jul 3. pp. 294-296, 査読有, ヨス、韓国

(10) Worawit Somha, Hiroyuki Yamauchi, "Convolution/Deconvolution SRAM Analyses for Complex Gamma Mixtures RTN Distributions", International Conference on IC Design and Technology (ICIDT2013), May 29-31 2013, 査読有, パピア、イタリア

(11) Worawit Somha, Hiroyuki Yamauchi, "An RTN Variation Tolerant Guard Band Design for a Deeper Nanometer Scaled SRAM Screening Test: Based on EM Gaussians Mixtures

Approximations Model of Long-Tail Distributions", 14th IEEE Latin-American Test Workshop (LATW2013), April 3-5, 2013, 査読有, コルドバ、アルゼンチン

(12) Worawit Somha, Hiroyuki Yamauchi, "A Nano-Scaled SRAM Guard Band Design with Gaussian Mixtures Model of Complex Long Tail RTN Distributions", 2013 International Conference on Electrical and Electronics Engineering and Technology, Mar 14-15 2013, 査読有, リオデジャネイロ、ブラジル

(13) Worawit Somha, Hiroyuki Yamauchi, "A Look up Table Based Adaptive Segmentation Gaussian Mixtures Model for Fitting Complex Long-Tail RTN Distributions", 2013 International Conference on Nano and Materials Engineering, April 8-9, 2013, 査読有, バンコック、タイ

(14) Worawit Somha, Hiroyuki Yamauchi, "Convolution/deconvolution SRAM analyses for complex gamma mixtures RTN distributions", 2013 International Conference on Electronics Engineering and Technology, April 8-9, 2013, 査読有, バンコック、タイ

(15) Worawit Somha, Hiroyuki Yamauchi, "Adaptive Segmentation Gaussian Mixtures Models for Approximating to Drastically Scaled-Various Sloped Long-Tail RTN Distributions", 2013 2nd International Conference on Network and Computer Science (ICNCS 2013), April 1-2, 2013, 査読有, シンガポール

(16) Worawit Somha, Hiroyuki Yamauchi, Yang Zhang, "Fitting Mixtures of Gaussians to Heavy-Tail Distributions to Analyze SRAM Margins", 2013 2nd International Conference on Micro Nano Devices, Structure and Computing Systems(MNDSCS 2013), Jan 23-24, 2013, 査読有, 深セン、中国

(17) Lai-Fu Chen ;Meng-Fan Chang ;Ming-Pin Chen ; Shu-Meng Yang ;Yao-Jen Kuo;Jui-Jen Wu ;Hsiu-Yun Su ;Yuan-Hua Chu ;Wen-Ching Wu ;Tzu-Yi Yang ;Hiroyuki Yamauchi, "A 260mV L-shaped 7T SRAM with Bit-Line (BL) Swing Expansion Schemes Based on Boosted BL, Asymmetric-VTH Read-Port, and Offset Cell VDD Biasing Techniques", 2012 IEEE Symposium on VLSI Circuits, Jun. 13-15, 2012, 査読有, ハワイ、米国

(18) Meng-Fan Chang, Ching-Hao Chuang, Min-Ping Chen, Lai-Fu Chen, Hiroyuki Yamauchi, Pi-Feng Chiu, Shyh-Shyuan Sheu, "Endurance-Aware Circuit Designs of Nonvolatile Logic and Nonvolatile SRAM Using Resistive Memory (Memristor) Device", The 17th Asia and South Pacific Design Automation Conference. Jan 30-Feb 2, 2012, 査読有, シドニー、オーストラリア

(19) M.-F. Chang, W.-C. Wu, C.-S. Lin, P.-F. Chiu, M.-B. Chen, Y.-H. Chen,, H.-C. Lai, Z.-H. Lin, S.-S. Sheu, T.-K. Ku and Hiroyuki Yamauchi,

“A Larger Stacked Layer Number Scalable TSV-Based 3D-SRAM for High-Performance Universal-Memory-Capacity 3D-IC Platforms”, IEEE Symposium on VLSI Circuits, Jun 15-17, 2011, 査読有、リーガロイアル京都

(20) Y.-H. Chen, S.-Y. Chou, Q. Lee, W.-M. Chan, D. Sun, H.-J. Liao, P. Wang\*, M.-F. Chang and Hiroyuki Yamauchi, “A 40nm Fully Functional SRAM with BL Swing and WL Pulse Measurement Scheme for Eliminating a Need for Additional Sensing Tolerance Margins”, IEEE Symposium on VLSI Circuits, Jun 15-17, 2011, 査読有、リーガロイアル京都

〔図書〕(計0件)

## 6 . 研究組織

### (1)研究代表者

山内 寛行 (YAMAUCHI,Hiroyuki)  
福岡工業大学・情報工学部・教授  
研究者番号: 70425239

### (2)研究分担者

### (3)連携研究者