

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 26 日現在

機関番号：24201

研究種目：基盤研究(C)

研究期間：2011～2013

課題番号：23560462

研究課題名(和文)超高速通信システムに対応したロバスト同期回路の研究

研究課題名(英文)The robust clock and data recovery circuit for high-speed communication system

研究代表者

岸根 桂路(Kishine, Keiji)

滋賀県立大学・工学部・准教授

研究者番号：20512776

交付決定額(研究期間全体)：(直接経費) 4,400,000円、(間接経費) 1,320,000円

研究成果の概要(和文)：超高速光通信システムの信号処理装置において、信号処理システムの安定動作を決定付けるロバストな同期動作実現のための研究を実施した。基本要素回路であるCMLバッファ回路と電圧制御発振回路(VCO)に関し、同期回路のロバスト動作を実現するための要素回路設計手法の研究と65nm CMOSトランジスタによるICを試作により、設計手法の有効性を確認した。さらに原理的にサイクルスリップを生じない対称ループ型バーストモードCDR回路構成を提案した。この回路の瞬時同期動作をシミュレーションにより確認するとともに、動作タイミング解析を実施し、瞬時同期・低ジッタ動作可能なロバスト同期回路構成法を明らかにした。

研究成果の概要(英文)：In high speed optical communication systems, it is essential to provide robust clock and data recovery (CDR) circuits in which the quality of the system depends on those. To make clear the relation between the characteristics of devices and those of circuit operation, we propose the small signal equivalent circuit model for a CML buffer circuit and a voltage control oscillator (VCO) circuit which generates the reference clock signal. Using the equations for circuit design, we analyze the operation characteristics of the circuits and make it clear the design methodology of the circuit for achieving the robust CDR operation. To investigate the delay time generated by the CML buffer circuit and the oscillation frequency of the VCO, we fabricated those ICs by 65nm-CMOS and measure the delay and frequency. We confirm the advantage of the model and equation. Furthermore, we propose the burst mode CDR with symmetric loops. The circuit shows the instantaneous locking in HSPICE simulation.

研究分野：電気電子工学

科研費の分科・細目：通信・ネットワーク工学

キーワード：LSI アナログ回路 フリップフロップ メタスタビリティ 光フロントエンド 同期回路 微細デバイス 超高速

科学研究費助成事業 研究成果報告書

1. 研究開始当初の背景

微細デバイスによる通信システム用同期回路は、海外では Razavi 等のグループによって、国内では益等のグループにより回路構成の最適化アプローチにより進められている。申請者は NTT において、PLL(Phase locked loop) 技術をベースとする超高速光通信同期回路に関し、研究を進めてきた。2004 年には、データ識別回路のメタスタビリティ状態により、2 次の線形微分方程式で記載不可能なサイクルスリップ領域が拡大し(図 1)、従来、同期可能であるとされてきた許容周波数誤差が 1/2 以上程度小さいことを明らかにし、許容周波数誤差の見積りモデル構築に成功した。さらに、同期完了までの時間(アキュジションタイム)やジッタ量(時間軸雑音)の定式化と、実 LSI の評価・検証により理論の有効性を確認している。本申請はこれらの成果を基に進める。メタスタビリティ状態によりサイクルスリップ位相領域が拡大することに着目し、構成デバイス・回路と同期動作の関係を明確化・モデル化し、サイクルスリップフリー回路の採用により、動作マージン確保のための信号処理速度ダウングレート化が不要となるだけでなく、通信システムの高速化が可能となる。本研究では、極微細デバイスから構成される要素回路が同期動作に与えるメカニズムを検証し、その結果を基に、サイクルスリップ現象が生じても同期が可能となるロバストな同期回路の実現を目指す。

現在、デバイス・回路の特性と同期動作におけるサイクルスリップの关系到着目した研究は、国内・国外ともに報告されていない。申請者がこれまでにすすめてきた超高速同期回路に関する研究成果を活かし、世界に先駆けて研究を開始することで、超高速通信システムで世界を先導する日本において、極微細デバイスの性能をフルに活かした高性能通信システムの実現が可能となる。

2. 研究の目的

超高速光通信システムの信号処理装置において、32 ナノメートル-デザインルールにまで極微細化されたデバイス LSI の適用が進んでいる。信号処理システムの安定動作を決定付ける送受信機能において、ロバストな受信同期動作が不可欠である。安定同期動作実現のためには、動作マージンを十分大きく設定せざるを得ない、このマージンを最大限に縮小することが、緊急の課題である「通信システムの大容量化と安定動作の実現」することに、大きく貢献する。

3. 研究の方法

(1)極微細 CMOS による基本回路動作の解析と検証

同期回路を構成する基本回路の動作特性を、

モデル構築による解析、回路シミュレーション、IC の設計・試作・評価により検証した。

(2)極微細 MOS による VCO 回路

同期回路内で基準信号を発生し、信号品質を決定づける電圧制御発振器(VCO)回路に関し、モデル構築による解析、回路シミュレーション、IC の設計・試作・評価により動作特性を検証した。

(3)ロバストクロックアンドデータリカバリ回路

サイクルスリップを考慮する必要のない同期回路構成を創出し、回路シミュレーション、IC の設計・試作・評価により動作特性を検証した。

4. 研究成果

(1)極微細 CMOS による基本回路動作の解析と検証

ロバスト動機回路を実現するためには、同期回路を構成する要素回路の動作と回路パラメータの関係を明確にすることが必須である。CML バッファ回路は、同期回路内で信号増幅、遅延発生によるタイミング調節に使用され、同期回路の基本動作特性を左右するもっとも重要な回路であり、CML 回路の小信号等価回路モデルを提案し、実 IC を試作・評価検証を行うことで、モデルの有効性を確認し、同期回路内で発生する回路遅延量の設計指針を明確にした。

図 1 (a) に示す CML(Current Mode Logic) 回路は遅延を発生するのみならず、他の高速論理回路の基本構成として用いられている。本回路において、図 1 (b) に示す、等価回路モデルを構築した。

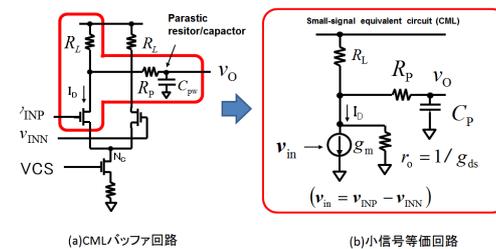


図 1-1 バッファ回路と小信号等価回路モデル

回路の動作特性の設計式として、ゲインと遅延の算出式を導出した。

$$\text{遅延 } t_d = \frac{C_p(R_L + R_p) + g_{ds}C_pR_LR_p}{1 + g_{ds}R_L}$$

$$\text{ゲイン } |G(\omega)| = \frac{g_m R_L}{\sqrt{(C_p R_L + C_p R_p + g_{ds} C_p R_p R_L)^2 \omega^2 + (1 + g_{ds} R_L)^2}}$$

これらの式により、従来、詳細なデバイスパラメータを回路シミュレータに適用することにより得ていた回路動作特性が、トランジスタの物理特性と回路動作が明確に対応付

けることにより精密な設計が可能となった。図 1-2 に導出した設計式によるゲインの電流制御特性と動作帯域と負荷抵抗の関係を示す。電流制御特性に関し、電流が小さいときほど制御性が大きくなる一方、ゲインは減少するというトレードオフの関係が明らかとなった。

さらに、回路に要求される動作帯域を増加させるには、負荷抵抗を低減する必要がある、ここにもトレードオフ関係が生じることが明らかとなった。

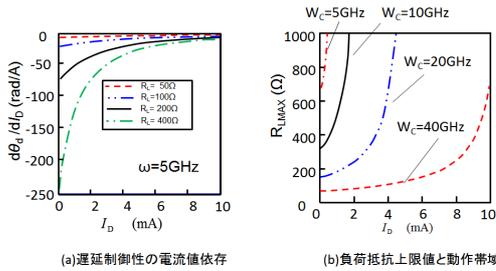


図 1-2 モデル・設計式による動作特性算出

さらに 65nm-CMOS デバイスを用いて、CML バッファ回路の試作を実施し(図 1-3)、ゲートをシリーズ接続し、発生する遅延量を測定し、モデル・設計式の有効性を検証した。10Gb/s の信号を入力し、ゲートにおける遅延量を評価した(図 1-3)。設計式による計算値と実測値が誤差 10%以内で一致しており、モデル・設計式の有効性が確認できた。回路動作とデバイスパラメータとの関係が明らかとなり、ロバスト同期回路設計におけるバッファ回路の設計法を構築できた。

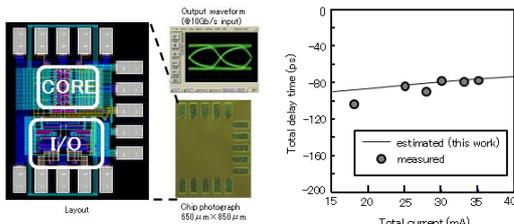


図 1-3 検証 IC と遅延量評価

(2)極微細 MOS による VCO 回路

同期回路のロバスト性向上のためには、基準信号発生器(クロック信号発生器)の高性能化が必須である。基準信号発生器である内蔵電圧制御発振器(VCO)の高性能化実現のために、上記で検討した小信号等価回路の拡張モデルを構築し、発振条件を考慮した解析の実施と IC 試作による評価検証によりモデルの有効性を明らかにした。VCO 発振周波数の制御性拡大によるロバスト性向上にむけ、

モデルのさらなる高精度化を検討した。図 2-1 に検討した小信号等回路モデルを示す。従来モデルに対し、入力部ゲートノードの容量、抵抗、出力部ドレインノードの容量、抵抗が加わることにより、高周波動作領域における動作劣化特性が詳細に解析可能となる。拡張モデルより導出した下記設計式を書き示す。

Time delay

$$t_d = \frac{\theta_d}{\omega} \approx \frac{(DA - BC)}{AC + BD\omega^2}$$

Gain

$$G = \frac{C + Ds}{A + Bs}$$

$$A = -R_L(C_{GD} + C_{DB} + C_p + R_p C_p) \left(g_m + \frac{1}{R_L} \right) \times (C_{GD} + C_{DB}) \omega^2$$

$$\times \left(-R_L C_p \right) (C_{GD} + C_{DB}) \omega^2 + \left(g_m + \frac{1}{R_L} \right) \times R_p C_{DB} (C_{GD} - g_m R_p C_p) \omega^2$$

$$B = -C_{GD} + C_{DB} + C_p + R_p C_p \left(g_m + \frac{1}{R_L} \right) + R_L \left(-R_p C_p \right) (C_{GD} + C_{DB}) \omega^2 + \left(g_m + \frac{1}{R_L} \right) \times (C_{GD} + C_{DB}) + R_L C_{DB} \left(g_m + R_p C_p C_{GD} \omega^2 \right)$$

$$C = -g_m$$

$$D = C_{GD}$$

これらより求めたゲインと遅延の電流値依存性を図 2-2 に示す。従来モデルに対し、遅延変動の電流変化に対する感度減少が顕著であり、回路制御性劣化が生じることが明らかとなった。さらに発振動作を可能とする条件式を導出し、ロバスト動作させるための確保すべきゲート段数最小値の電流値依存性を明らかにした。

さらに、65nm-CMOS デバイスを用いた VCO 回路の試作(図 2-3)・評価によりモデル・設計式の有効性を検証した。図 2-4 に発振周波数

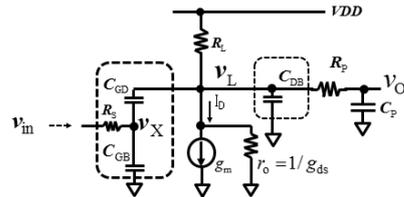


図 2-1 拡張小信号等価回路モデル

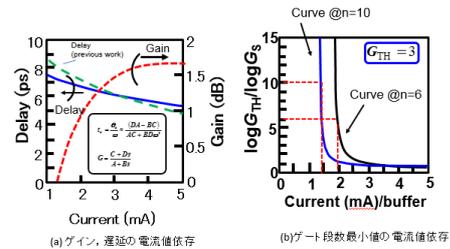


図 2-2 モデルによる特性評価

の電流値依存性を示す。詳細モデルによる発振周波数の見積り値のほうが従来モデルによる値より測定値により近く、拡張モデル・設計式の有効性が確認できた。本研究により、超高速同期回路の実現にむけ、トライアンドエラーによる従来の回路設計が、デバイスの基本物理パラメータ情報をモデルに適用し、解析的に動作特性が得られるようになった。本モデルは、将来のさらなる微細デバイスによる同期回路設計にも有効である。

その他、VCO の小信号等価回路モデルによる解析に加え、インダクティブピーキングによる群遅延制御により、ジッタ抑圧可能なリング VCO 構成を提案、試作し、低ジッタ特性を実 IC で確認し、同期回路のロバスト性向上に適用可能であることを示した。

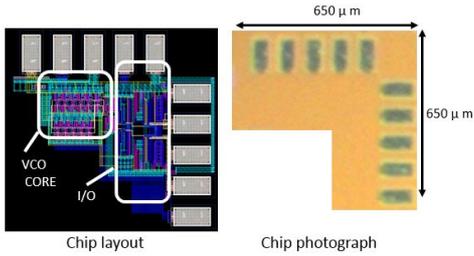


図 2-3 評価チップ

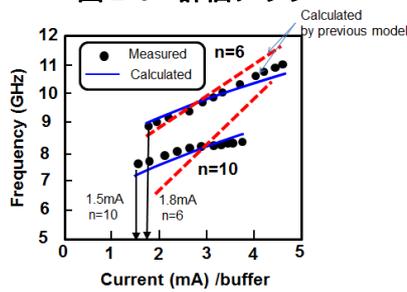


図 2-4 発振周波数の電流値依存

(3) ロバストクロックアンドデータリカバリ回路

動作特性が入力データと VCO 発振信号の位相関係に依存せず、サイクルスリップを考慮する必要のない同期回路構成を創出した。ゲイテッド VCO (GVCO) を 2 個組み合わせた対称構成 (symmetric loop structure) により、サイクルスリップの影響を回避した同期回路 (クロックアンドデータリカバリ) が実現可能となる。本研究において検討した回路を図 3-1 に示す。入力信号と同期回路出力信号を AND/OR 回路に入力し、ゲーティング信号の "HIGH"、"LOW" に応じて、動作ループが選択される。これら動作によりバーストフレーム信号に対し、瞬時同期したクロック信号が抽出可能となるロバスト同期回路が実現可能となる。

ロバスト動作を実現するために、回路ブロック構成の対称性のみならず構成要素回路の対称トポロジーを構築し、信号遅延設計がシンプルかつ精密に実施できることを示した。AND 回路に対し、反転させた入出力信号を使用することで、OR 動作が可能となる論理回路間の関係性に着目し、ループを構成する CML 型差動 AND 回路と OR 回路を実現した。さらに本研究においては、回路動作におけるタイミング設計がジッタに与える影響も明らかにし、遅延設計がロバスト動作に与える影

響とジッタ低減の理論的な限界値が構成回路のスイッチング特性に依存することを明らかにした(図 3-2)。

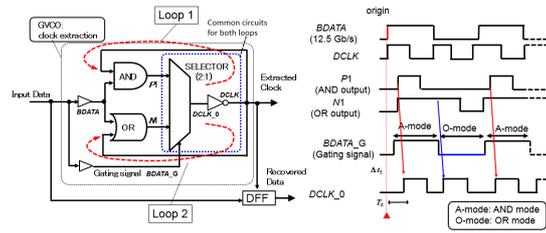


図 3-1 提案回路と動作タイミングチャート

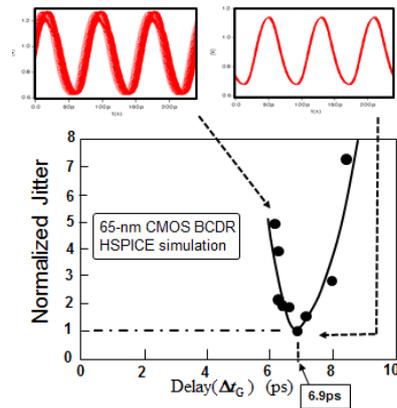


図 3-2 ジッタのタイミング依存

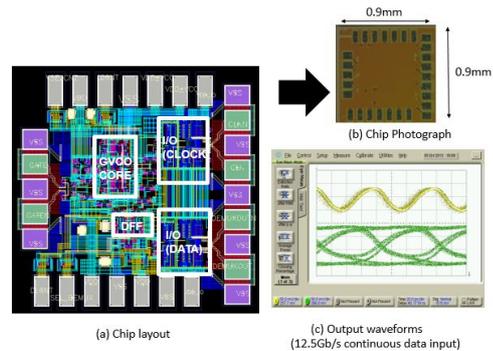


図 3-3 ロバスト同期回路 IC と出力波形

提案同期回路構成において、65nm-CMOS デバイスを用いた試作を実施した(図 3-3)。瞬時同期動作とマルチビットレート入力信号への対応可能性を検証し、低ジッタ特性とマルチビット入力データ信号に対する同期動作が確認できた。さらに、同期回路の出力信号が不安定となるが、これに対し、ハイ

パスフィルタを応用したプリエンファシス回路を提案し、25Gb/s 出力時のアイパターン改善効果を 65nm-CMOS デバイスパラメータを用いた回路シミュレーションにより確認した。

5. 主な発表論文等 (研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

Takeshi Kuboki, Yusuke Ohtomo, Akira Tsuchiya, Keiji Kishine and Hidetoshi Onodera, "Area-effective inductive peaking with interwoven inductor for high-speed Laser-Diode Driver for Optical Communication System," IEICE Transactions on Communications, E95. A, No. 2. pp. 479-486, (2012) (査読あり)

〔学会発表〕(計 20 件)

田中友規, 桂井宏明, 井上 洋, 岸根桂路, 野河正史, 稲葉博美, 25Gbit/s 動作に向けたプリエンファシス機能付き 65nm-CMOS 出力バッファ回路の検討, 2014 年電子情報通信学会総合大会, C-12-5, 2014.

井上 洋, 岸根桂路, 土谷 亮, 稲葉博美 65nm-CMOS を用いたインダクティブピーキング型低雑音 VCO, 2014 年電子情報通信学会総合大会, C-12-39, 2014.

Keiji Kishine, Hiromi Inaba, Yusuke Ohtomo, Hiroshi Koizumi, Makoto Nakamura and Mitsuo Nakamura,

"Small-signal equivalent circuit analysis for designing an around 10GHz CMOS ring VCO," IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS 2013), pp. 904-907, 2013. (査読あり)

浜田泰輔, 井上 洋, 岸根桂路, 土谷 亮, 久保木 猛, 稲葉博美, トランジスタサイズに着目した微細 CMOS D-FF 回路の高速化設計, 2013 年電子情報通信学会総合大会, C-12-8, 2013.

井上 洋, 浜田泰輔, 岸根桂路, 中野慎介・中村 誠, 土谷 亮, 久保木 猛, 稲葉博美, インダクティブピーキングを利用したリング型 VCO の低ジッタ化に関する研究, 2013 年電子情報通信学会総合大会, C-12-65, 2013.

Keiji Kishine, Hiromi Inaba, Yusuke Ohtomo, Makoto Nakamura, Mitsuo Nakamura, "Design method for an

over-10-Gb/s CMOS CML buffer circuit for delay control," IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), 2012. (査読あり)

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 1 件)

名称:

発明者:

権利者:

種類:

番号:

出願年月日:

国内外の別:

取得状況 (計 0 件)

名称:

発明者:

権利者:

種類:

番号:

取得年月日:

国内外の別:

〔その他〕

ホームページ等

<http://www.e.usp.ac.jp/~ectw/index.html>

6. 研究組織

(1) 研究代表者

岸根 桂路 (KISHINE, Keiji)

滋賀県立大学工学部 准教授

研究者番号: 20512776

(2) 研究分担者

()

研究者番号:

(3) 連携研究者

()

研究者番号: