

科学研究費助成事業 研究成果報告書

平成 26 年 5 月 22 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2011～2013

課題番号：23650021

研究課題名(和文) HPC向けアクセラレータアーキテクチャ自動生成・最適化フレームワークの研究

研究課題名(英文) Study on a framework for auto generation and optimization of HPC accelerator architectures

研究代表者

佐野 健太郎 (Sano, Kentaro)

東北大学・情報科学研究科・准教授

研究者番号：00323048

交付決定額(研究期間全体)：(直接経費) 2,600,000円、(間接経費) 780,000円

研究成果の概要(和文)：代表的な高性能計算の一つであるステンシル計算およびセルオートマトン型の計算アルゴリズムドメインに着目し、その専用ハードウェアアクセラレータを自動生成するフレームワークについて研究を実施した。本研究の成果として、シストリックアレイのためのステンシルコンパイラ、およびストリーム計算アクセラレータの高位合成コンパイラを開発した。これらは、FPGAによるリコンフィギャラブル高性能計算の生産性を向上させる重要な基盤技術である。

研究成果の概要(英文)：We have focused on an algorithm domain of the stencil computation and cellular automata computation that is one of the representative high-performance computations, and then studied a framework to automatically generate their acceleration hardware for reconfigurable computation with FPGAs. In this project, we have developed a stencil compiler for an FPGA-based systolic array and a high-level synthesis compiler for FPGA-based stream-computing accelerators. They are significant and fundamental technologies for highly productive reconfigurable high-performance computation with FPGAs.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：アクセラレータ HPC リコンフィギャラブル計算 高位合成 FPGA ステンシル計算 ストリーム計算

1. 研究開始当初の背景

近年、高性能計算(HPC)を実現するには電力あたりの実効性能を高めることが必須条件となっているものの、マルチコアプロセッサを相互接続網により接続した巨大スカラ並列機という現在のスーパーコンピュータの延長線上ではブレークスルーは期待できない。これは、計算問題の大半では外部メモリ帯域やネットワーク帯域によりその実効性能が制約されており、計算コアや計算ノードを増やして並列計算の規模を増加させてもそれに見合った性能が得られないためである。この結果、システムが大規模化する程真のピーク性能の大部分が失われ、電力あたりの実効性能は悪化する。

これに対して、個々の計算問題に対しハードウェア自体を最適な形に変えるリコンフィギュラブル計算 (RC)が低電力高性能HPC を実現する方式として有望視されている。近年特に大規模化・高性能化・低電力化が著しい回路再構成可能デバイス FPGA を用いた RC は、浮動小数点演算のみならず、ビット・整数・固定小数点演算からゲノム配列マッチングに渡る幅広いアプリケーションに対して、現在のマルチコアプロセッサの延長とは別次元の計算性能が期待されている。世界的にもアルゴリズムを直接ハードウェア化する RC の分野が注目を集めており研究開発が活発化している他、研究代表者らも、従来は FPGA が苦手とされてきた浮動小数点数値計算に対して高い電力あたり性能を実現するなど、RC によるグリーン HPC の可能性を示している。

しかしながら、RC を実用化するには、個々の計算アルゴリズムに対して最適な専用ハードウェアを設計し実装する開発コストが大きな障害となっている。このため、計算アルゴリズムの直接ハードウェア化における生産性の向上が強く求められている。

2. 研究の目的

本研究の目的は、リコンフィギュラブルスーパーコンピュータにおいて、最適な専用アクセラレータハードウェア(HW)を個々の計算アルゴリズムに対して容易に開発可能とするためのフレームワーク及び基盤技術の構築である。このために、代表的な HPC 問題から選んだアルゴリズムドメインに対し、計算アルゴリズムのアクセラレータ HW を設計・実装する作業の大部分を自動化するコンパイラを開発する。これにより、抽象度の高いアルゴリズム記述から、回路の最適化を経て、FPGA 上で実行可能なアクセラレータ HW を自動生成する RC システムを構築する。本システムを実際の数値計算問題に適用し、その有効性を実用レベルで評価する。

3. 研究の方法

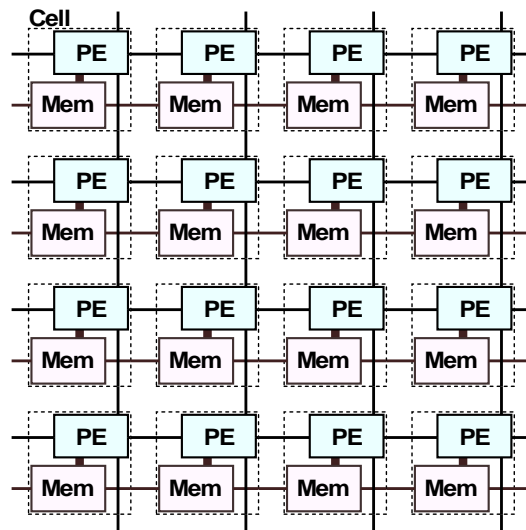


図1 シストリック計算メモリアーキテクチャ

代表的な HPC 問題であるステンシル計算およびセルオートマトン型の計算アルゴリズムドメインに着目し、その専用ハードウェアアクセラレータについて研究を行った。まず、このアルゴリズムドメインに対しシストリックアーキテクチャ(SA)による専用 HW を提案し、その HW 上で数値計算を実現するための制御マイクロプログラムを自動生成するコンパイラを開発を行った。

ステンシル計算では、2次元または3次元の計算格子の各点において、近傍の格子点データを参照して更新値を計算する。SA による HW は計算セルの2次元配列として構成され、各計算セルは上下左右の隣接セルと直接データの交換ができる(図1)。計算セルは、計算格子を2次元配列状に分割した部分格子のそれぞれを担当し、その上でのステンシル計算を並列に実行する。計算セル内部には積和演算器とローカルメモリを設けてあり、計算のみならず部分格子データおよび計算の途中結果を記憶することができる。すなわち、SA に基づく本 HW は計算格子のデータ自身を保持すると同時にそのステンシル計算を実行する「計算メモリ」である。各セルの計算は、マイクロプログラムにより与えられる。

本研究では、ステンシル計算の簡易記述から各計算セルのマイクロプログラムを自動生成するステンシルコンパイラを開発した。これにより、様々なステンシル計算アルゴリズムを SA 上で容易に実行することが可能となった。しかしながら、SA ハードウェアそのものを自動生成する機能は持たないため、可能な計算は実装したハードウェアにより限定される。また、オンチップメモリである計算メモリの容量は比較的小さく、大規模計算が困難である。これらの制約を考慮し、ポワソン方程式のソルバーや簡易的な流体計算等の幾つかの計算が SA 上で実行可能ではあったものの、FPGA を用いたより汎用な RC を目指し、次に、ストリーム計算アーキテクチ

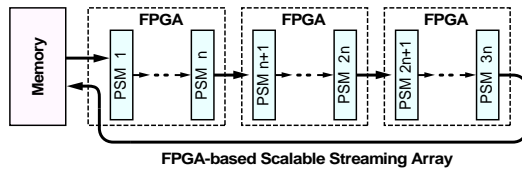


図 2 ストリーム計算アクセラレータ

ャによる専用アクセラレータ HW の研究開発を行った。

まず、ステンシル計算と、セルオートマトン型アルゴリズムである格子ボルツマン法による流体計算について、それぞれストリーム計算アクセラレータを提案し、試作実装によりその有効性を確認した。ストリーム計算アクセラレータでは、図 2 のように計算モジュールが数珠繋ぎとなっており、そこに外部メモリから読み出したデータストリームを流すことにより計算を行う。外部メモリの大容量が利用可能となるため比較的大きな計算が可能である。また、計算モジュールを多数並べることにより、メモリ帯域一定のまま計算性能を向上可能であるとの特長を持つ。

次に、ストリーム型の数値計算を記述する言語 SPD(Stream Processing Description) と、その高位合成コンパイラである SPGen(Stream Processor Generator)を開発した。SPD は一連の数式および使用するハードウェア関数呼び出しを記述するものであり、SPGen は SPD のコードから数式またはハードウェア関数をノードとするデータフローグラフ(DFG)を生成する。図 3 に DFG の例を示す。SPGen は、オープンソースである FIoPoCo ツールを使用して数式のパイプラインモジュールを生成し、その後、DFG にデータストリームの同期のための遅延モジュールを挿入する。この際、遅延素子がなるべく少ないような最適なストリーム HW を生成する。最後に、ストリーム計算プロセッサの Verilog-HDL ファイルと、システムオンチップ開発ツールである ALTERA 社の Qsys に直接組み込み可能とするためのインターフェース設定ファイルを生成する。これらのファイルを FPGA 上に実装した Qsys アクセラレータフレームワークに組み込み、FPGA コンパイラにより合成と配置配線を実行することにより、実際の FPGA ボードを用いて数値計算のストリーム処理が可能となる。この他、PCI-Express により PC に接続した FPGA ボードを駆動するための Linux ドライバとライブラリを開発した。格子ボルツマン法による流体計算の SPD 記述を SPGen によりコンパイルし、FPGA 上で実際に計算が可能であることを確認した。また、その数値計算性能を評価した。

4. 研究成果

本研究の成果は、

- (1) FPGA で動作するシストリックアーキテ

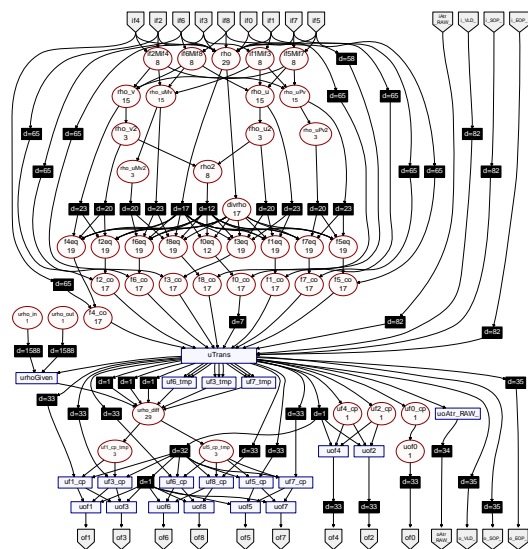


図 3 SPGen により生成された DFG の例

- クチャのためのステンシルコンパイラ
- (2) FPGA によるストリーム計算アクセラレータの提案とその有効性の確認
- (3) ストリーム計算アクセラレータの高位合成コンパイラである SPGen

である。これらは、ステンシル計算およびセルオートマトン型計算のアルゴリズムドメインに対しリコンフィギャラブル計算の生産性を向上させるものであり、個々の計算アルゴリズムに対して専用アクセラレータ HW を容易に開発可能とするための基盤技術を構築することが出来た。

(1)は、FPGA 上に実装したシストリック計算メモリ HW を用いて様々なステンシル計算を容易に実行可能とするもので、最適なシストリック計算を設計する上で有効である。(2)は、より汎用な RC を FPGA 上で実現する方式として、ストリーム計算アクセラレータの有効性を示すものであり、試作実装によりその実証を行っている。(3)は、(2)のストリーム計算アクセラレータの設計と実装を容易とするものであり、抽象度の高い数値計算の記述から実機上で動作可能なハードウェアを自動生成可能である。様々なストリームアクセラレータハードウェアの設計空間探索が容易に行えることから、FPGA によるリコンフィギャラブル高性能計算を実用化する上で大変重要なものである。実際の計算問題である流体計算を例題として、SPGen によるストリーム計算アクセラレータの開発を行い、実機によりその有効性を実証している。

これらの成果について、複数の論文および学会により国内外において発表を行っている。(3)に関しては、採録通知が間に合わず発表論文リストには含めていないものの、その成果を RC 分野で最大規模の国際会議に論文を投稿しており、発表の予定である。

5. 主な発表論文等

[雑誌論文](計33件)

Kentaro Sano, Ryotaro Chiba, Tomoya Ueno, Hayato Suzuki, Ryo Ito and Satoru Yamamoto, "FPGA-based Custom Computing Architecture for Large-Scale Fluid Simulation with Building Cube Method," Computer Architecture News Special Issue for the proceedings of the International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART), 査読有, 印刷中, 2014.

Kentaro Sano, "FPGA-based Custom Computing Accelerator for Computational Fluid Dynamics based on Lattice Boltzmann Method," Proceedings of the 18th Workshop on Sustained Simulation Performance, 査読無, 印刷中, 2014.

Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Multi-FPGA Accelerator for Scalable Stencil Computation with Constant Memory-Bandwidth," IEEE Transactions on Parallel and Distributed Systems (TPDS), 査読有, vol.25, no.3, pp.695-705, 2014. DOI: 10.1109/TPDS.2013.51

伊藤 涼, 鈴木 隼人, 千葉 諒太郎, 佐野 健太郎, 山本 悟, "ストリーム計算のための高位合成コンパイラの設計と実装," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, 査読無, vol.113, no.418, pp.1-6, 2014. URL:

<http://ci.nii.ac.jp/ncid/AA12046591>

伊藤 涼, 鈴木 隼人, 千葉 諒太郎, 佐野 健太郎, 山本 悟, "密結合 FPGA クラスタによる格子ボルツマン法専用流体計算機の性能評価," 第 27 回数値流体力学シンポジウム講演論文集, 査読無, Paper#D06-4, 2013. URL:

<http://www2.nagare.or.jp/cfd/cfd27/>

千葉 諒太郎, 鈴木 隼人, 伊藤 涼, 佐野 健太郎, 山本 悟, "フラクショナルステップ法に基づく非圧縮性流体計算専用ストリームプロセッサの設計と評価," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, 査読無, vol.113, no.221, pp.13-18, 2013. URL:

<http://ci.nii.ac.jp/ncid/AA12046591>

Kentaro Sano, Ryo Ito, Hayato Suzuki and Yoshiaki Kono, "Parallel and Scalable Custom Computing for Real-Time Fluid Simulation on a Cluster Node with Four Tightly-Coupled FPGAs," Proceedings of the 23rd International Conference on

Field-Programmable Logic and Applications (FPL2013), 査読有, Paper#DS_7, 2013. DOI: 10.1109/FPL.2013.6645625

千葉 諒太郎, 高野 芳彰, 佐野 健太郎, 山本 悟, 佐々木 大輔, 中橋 和博, "ビルディングキューブ法に基づく非圧縮性流体専用計算機の性能見積もり," ながれ (特集 注目研究 in CFD26), 査読無 (招待論文), vol.32, no.2, pp.117-121, 2013. URL:

<http://www.nagare.or.jp/publication/nagare.html>

高野 芳彰, 鈴木 隼人, 千葉 諒太郎, 佐野 健太郎, 山本 悟, "FPGA クラスタによる格子ボルツマン法専用計算機の実装と性能評価," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, 査読無, vol.112, no.377, pp.165-170, 2013. URL:

<http://ci.nii.ac.jp/ncid/AA12046591>

Yoshiaki Kono, Kentaro Sano, and Satoru Yamamoto, "Scalability Analysis of Tightly-Coupled FPGA-Cluster for Lattice Boltzmann Computation," Proceedings of the 22nd International Conference on Field-Programmable Logic and Applications, 査読有, pp.120-127, 2012. DOI: 10.1109/FPL.2012.6339275

鈴木 隼人, 高野 芳彰, 千葉 諒太郎, 佐野 健太郎, 山本 悟, "格子ボルツマン法専用計算機の設計と FPGA による実装," 第 26 回数値流体力学シンポジウム講演論文集, 査読無, Paper#A09-3, 2012. URL:

<http://www2.nagare.or.jp/cfd/cfd26/>

高野 芳彰, 千葉 諒太郎, 鈴木 隼人, 佐野 健太郎, 山本 悟, "格子ボルツマン法専用計算機のためのストリーム計算手法," 第 26 回数値流体力学シンポジウム講演論文集, 査読無, Paper#A09-2, 2012. URL:

<http://www2.nagare.or.jp/cfd/cfd26/>

佐野 健太郎, 高野 芳彰, 鈴木 隼人, 千葉 諒太郎, 山本 悟, "密結合 FPGA クラスタの試作と格子ボルツマン計算の実装," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, 査読無, vol.112, no.203, pp.5-10, 2012. URL:

<http://ci.nii.ac.jp/ncid/AA12046591>

高野 芳彰, 佐野 健太郎, 千葉 諒太郎, 山本 悟, "格子ボルツマン法による流体計算に対する密結合 FPGA クラスタのスケラビリティ評価," 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法, 査読無, vol.112, no.70, pp.55-60, 2012. URL:

<http://ci.nii.ac.jp/ncid/AA12046591>

佐野健太郎, 初田 義明, 高野 芳彰, 山本悟, "低メモリ帯域で高性能テンシル計算を実現するスケラブルストリーミングレイの試作と評価", 電子情報通信学会リコンフィギャラブルシステム研究会信学技法, 査読無, vol.111, no.31, pp.79-84, 2011. URL: <http://ci.nii.ac.jp/ncid/AA12046591>
Wang Luzhou, Kentaro Sano and Satoru Yamamoto, "Domain-Specific Language and Compiler for Stencil Computation on FPGA-based Systolic Computational-Memory Array," Lecture Notes in Computer Science, Reconfigurable Computing: Architectures, Tools and Applications, 査読有, vol.7199, no.2012, pp.26-39, 2012. DOI: 10.1007/978-3-642-28365-9_3
Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Performance Evaluation of FPGA-based Custom Accelerators for Iterative Linear-Equation Solvers," Proceedings of the 20th AIAA Computational Fluid Dynamics Conference, 査読有, Paper#3233 (CDROM), 2011. URL: <http://arc.aiaa.org/doi/pdf/10.2514/6.2011-3223>
Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Domain-Specific Programmable Design of Scalable Streaming-Array for Power-Efficient Stencil Computation," Computer Architecture News Special Issue for the proceedings of the International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies, 査読有, vol.39, no.4, pp.44-49, 2011. DOI: 10.1145/2082156.2082168
Kentaro Sano, Yoshiaki Hatsuda and Satoru Yamamoto, "Scalable Streaming-Array of Simple Soft-Processors for Stencil Computations with Constant Memory-Bandwidth," Proceedings of the 19th Annual IEEE Symposium on Field-Programmable Custom Computing Machines, 査読有, pp.234-241, 2011. DOI: 10.1109/FCCM.2011.12

[学会発表](計29件)

伊藤 涼, "密結合 FPGA クラスタによる格子ボルツマン法専用流体計算機の性能評価," 第27回数値流体力学シンポジウム, 2013年12月18日, 名古屋大学
Kentaro Sano, "FPGA-based Custom Computing Accelerator for

Computational Fluid Dynamics based on Lattice Boltzmann Method," The 18th Workshop on Sustained Simulation Performance, 2013年10月29日, High-Performance Computing Center Stuttgart (HLRS), Universitat Stuttgart, Germany

千葉 諒太郎, "フラクショナルステップ法に基づく非圧縮性流体計算専用ストリームプロセッサの設計と評価," 電子情報通信学会リコンフィギャラブルシステム研究会, 2013年09月18日, 北陸先端科学技術大学院大学

Kentaro Sano, "Efficient Custom Computing of Fully-Streamed Lattice Boltzmann Method on Tightly-Coupled FPGA Cluster," The 4th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies, 2013年6月13日, The University of Edinburgh, United Kingdom

Kentaro Sano, "Parameterized Design and Evaluation of Bandwidth Compressor for Floating-Point Data Streams in FPGA-based Custom Computing," The 9th International Symposium on Applied Reconfigurable Computing, 2013年03月25日, 米国・カリフォルニア州ロサンゼルス

鈴木 隼人, "密結合 FPGA クラスタによる格子ボルツマン専用計算機の設計と実装," 情報処理学会全国大会, 2013年03月7日, 仙台市東北大学川内キャンパス

千葉 諒太郎, "ビルディングキューブ法に基づく非圧縮性流体計算の専用計算機アーキテクチャに関する一考察," 情報処理学会全国大会, 2013年03月07日, 仙台市東北大学川内キャンパス

伊藤 涼, "ストリーム計算のための高位合成コンパイラの設計と実装," 電子情報通信学会リコンフィギャラブルシステム研究会, 2013年1月28日, 慶応義塾大学日吉キャンパス

高野 芳彰, "格子ボルツマン法専用計算機のためのストリーム計算手法," 第26回数値流体力学シンポジウム, 2012年12月20日, 東京都オリンピック記念会館

佐野 健太郎, "リコンフィギャラブル HPC のための密結合 FPGA クラスタの開発 ~ 並列格子ボルツマン計算による試作クラスタの評価 ~", 電子情報通信学会 第6回 再生可能集積システム時限研究会 (招待講演), 2012年10月13日, 山形大学工学部米沢キャンパス

佐野 健太郎, "密結合 FPGA クラスタの試作と格子ボルツマン計算の実装," 密結合 FPGA クラスタの試作と格子ボルツマン計算の実装, 2012年09月19日, 滋賀県草津市立命館大学

Kentaro Sano, "Overview of our Tightly-Coupled FPGA-Cluster Toward Custom HPC", Meeting for Joint Research Proposal, 2012年09月03日, The University of Edinburgh, United Kingdom

Yoshiaki Kono, "Scalability Analysis of Tightly-Coupled FPGA-Cluster for Lattice Boltzmann Computation," The 22nd International Conference on Field-Programmable Logic and Applications (FPL2012), 2012年08月29日, ノルウェイ・オスロ市

高野 芳彰, "格子ボルツマン法による流体計算に対する密結合 FPGA クラスタのスケラビリティ評価", 電子情報通信学会リコンフィギャラブルシステム研究会, 2012年05月29日, 沖縄那覇市男女共同参画センター

佐野 健太郎, "HPC 分野と Reconfigurable Technology", 次世代リコンフィギャラブルハードウェア創造研究会 JACORN2011(招待講演), 2011年10月14日, 福岡市・ホテル一楽

Kentaro Sano, "Performance Evaluation of FPGA-based Custom Accelerators for Iterative Linear-Equation Solvers," the 20th AIAA Computational Fluid Dynamics Conference, 2011年6月27日, 米国・ハワイ州シェラトンホテル

Kentaro Sano, "Domain-Specific Programmable Design of Scalable Streaming-Array for Power-Efficient Stencil Computation," the International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies, 2011年6月2日, 英国・ロンドンインペリアル大学

高野 芳彰, "高性能格子ボルツマン計算のためのマルチ FPGA アクセラレータの性能見積もり", 先進的計算基盤システムシンポジウム SACSIS, 2011年5月25日, 東京都・秋葉原コンベンションホール

佐野 健太郎, "低メモリ帯域で高性能ステンシル計算を実現するスケラブルストリーミングアレイの試作と評価", 電子情報通信学会リコンフィギャラブルシステム研究会, 2011年5月13日, 札幌市・北海道大学

Kentaro Sano, "Scalable Streaming-Array of Simple Soft-Processors for Stencil Computations with Constant Memory-Bandwidth," the 19th Annual IEEE Symposium on Field-Programmable Custom Computing Machines, 2011年5月3日, 米国・ソルトレイク市ユタ大学

〔図書〕(計2件)

Kentaro Sano and others, "High-Performance Computing using FPGAs (Chapter of FPGA-based Systolic Computational-Memory Array for Scalable Stencil Computations)," Springer, pp.279-303, 2013. DOI: 10.1007/978-1-4614-1791-0

佐野 健太郎, 高野 芳彰, "第3章 ソフトウェアとハードウェアを適切に使い分ける - ソフト・コア・プロセッサとアクセラレータ回路の適材適所設計," CQ出版 デジタル・デザイン・テクノロジー, no.15, pp.46-64, Nov 1, 2012.

6. 研究組織

(1) 研究代表者

佐野 健太郎 (SANO, KENTARO)

東北大学・大学院情報科学研究科・准教授
研究者番号: 00323048

(2) 研究分担者

なし

(3) 連携研究者

滝沢 寛之 (TAKIZAWA, HIROYUKI)

東北大学・大学院情報科学研究科・准教授
研究者番号: 70323996