

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成25年 6月13日現在

機関番号：33924

研究種目：挑戦的萌芽研究

研究期間：2011～2012

課題番号：23650025

研究課題名 NLG を用いたディペンダブル制御器の IP 化研究

研究課題名 Study on IP Implementation of a Dependable Controller using NLG

研究代表者

中川 徹 (NAKAGAWA TOHRU)

豊田工業大学・工学部・教授

研究者番号：70148352

研究成果の概要（和文）：本研究の目的は、①Hopfield ANN の入出力想起機能を活用した NLG (Neural Logic Gate) を簡略化して IP 化することであり、②それを用いたディペンダブル制御を 3 相の DC モータ制御に適用して耐故障性能を評価し、③本研究で開発した NLG の IP を無償配布することにあつた。ところが、不運が複数重なってしまい、研究期間の最終年度である平成 24 年度末になっても IP 配布に至っていない。

研究成果の概要（英文）：The study purposes are (1) circuit simplification and IP implementation of Neural Logic Gate, abbreviated as NLG, which uses the input-output recall function in a Hopfield ANN, (2) evaluation of the dependability in 3-phase DC motor control using the NLG IP, (3) distribution of the developed NLG IP as free. We have succeeded in the circuit simplification of NLG and a part of NLG IP implementation. Because of the IP timing bug in real-time usage, however, we could not evaluate the proposed dependable-controller, and not deliver the final NLG IP by Apr. 2013.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	1,300,000	390,000	1,690,000

研究分野：総合領域

科研費の分科・細目：情報学、計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム

1. 研究開始当初の背景

(1) 可逆論理素子の代表的研究に Fredkin Gate (Fredkin and Toffoli, 1982 年) があり、その関連研究が各所で行われていたが、実際のロボット制御等、実時間の逆問題ソルバーに使えるレベルに至っていなかった。その主たる原因は、可逆論理素子の配線数が多く、一般論理素子との混用も難しい点にあった。そこで本研究では、1988 年に ANN (Artificial Neural Network) 分野で発表された k -out-of- n 設計規則の一般化と翌 '89 年発表の双方向論理素子 NLG (Neural Logic Gate) の簡略化を進め、得られた新 NLG を IP 化し、その普及に努めることにした。

(2) NLG は Hopfield 形ニューラル・ネットワークの一種で、双方向の論理演算機能（すなわち入出力の区別はなく、部分的な入出力信号から残りの入出力信号を想起できる機能）を持っていたが、数学モデルの性質上、制約充足条件を表す集合内で整数多値を扱っており、それ故、NLG を IP 化するというよりも、普及型 WS を用いた SDNN 3 (後に SDNN/V) シミュレータによる VLSI のテスト・パターン自動生成 (ATPG) 等で研究の展開が止まっていた。

(3) 近年になって、小脳の連想機構とその応用に注目が集まっていることを知り、過去、お蔵入りになっていた NLG がディペンダブルな制御器の実現に再度寄与できないかを検討した。その結果、NLG 設計規則を *between-1-and-k-out-of-n* に一般化し、閾値判定を NLG 向けに簡略化することで小脳型制御器等、実時間の連想処理に使えると考えるに至った。

2. 研究の目的

(1) 本研究では、1980 年代初頭から行われている『連想形並列処理機構に関する 2 分野の基礎研究』、すなわち、電子回路網分野における可逆論理素子の研究と ANN 分野における Hopfield 形連想記憶の研究を統合することで、実際に誰でもフリーで利用可能な連想形可逆論理の FPGA 用 IP を開発・配布し、関連する研究分野にブレーク・スルーを提示することを目的とした。

(2) 連想形並列処理機構の早期実現を図り、その一実現例として、小脳の連想機構が持っているディペンダブルな（へこたれない）センサー・モータ・フュージョン機構を工学的に実現し、その有用性を示す。

3. 研究の方法

(1) 初年度では、NLG の数学モデルを見直すための環境整備を行い、モデル内部の整数多値計算を簡略化するためのアイデアを計算機シミュレーションで検証し、得られた新旧 NLG の逆論理動作とハードウェア量を比較・評価した。具体的には、①NLG の IP 化設計に用いる Impulse C CoDeveloper を Mac OS X の Windows 仮想マシン上に導入し、②可逆論理演算の基本ゲートとなる新 NLG を開発するための処理系 (SDNN/V シミュレータ) を Linux 計算サーバに移植後、その改造を進めた (後にこれを SDNN/VII シミュレータと命名)。次いで、これら開発ツールにより、③一般化 ANN 設計規則の NLG 専用化による閾値判定回路の簡略化、④同判定回路を持つ新 NLG のハードウェア量と同処理性能の各評価を行った。

(2) 最終年度では、まず、⑤SDNN/VII シミュレータ内の新 NLG 回路相当部分を①の C 言語設計ツールで IP 変換し、⑥VHDL シミュレータによって動作検証を行うなどして連想形可逆論理の基本ゲート (NLG) を最適

化した。次いで、⑦小脳の連想機構を基にしたセンサー・モータ・フュージョン機構の実装と評価を試みた (ここで、実時間系におけるタイミング・バグが発覚してしまい、⑤～⑦を繰り返すことになった)。研究の進行が停滞する中、本研究の 2 つ目の目的であるディペンダブルな（へこたれない）センサー・モータ・フュージョン機構の実験 (3 相 2 軸 DC ブラシレス・モータの回転制御実験) を研究期間内に終わらせる目的が立たなくなって行った。そこで、止む無く C 言語設計ツールによる自動 IP 変換を諦め、旧来の直接入力による IP 設計とデバッグに変更した。にも関わらず、最終年度末の学会期間中に加齢による網膜裂孔・同剥離に襲われ、3 ヶ月もの加療を要する身となってしまった (言うまでもなく、加療期間中は目を使う細かい仕事ができず、バグ取りが完全に中断したまま今日に至っている)。

4. 研究成果

NLG の数学モデル内部における整数多値計算を簡略化し、得られた新旧 NLG の逆論理動作とハードウェア量を比較・評価した結果を以下に示す。

(1) 図 1 は約 20 年の時を経て再開発対象と

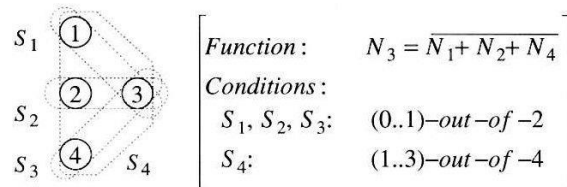


図 1 仮想スラックを用いた 4 ニューロン 4 制約集合による最単純化 CS Program の例 (3-Input Positive-NOR ゲート)。

した仮想スラック (Virtual Slacks) 版の制約集合 (Constraint Set: 以下, CS) Program であり、最も部品数を減らした最単純化 n 入力 NOR ゲートの記述例である。この新 NLG では、CS 数、ニューロン数が共に n+1 で入出力端子数と一致し、原理上、最小ニューロン数で n 入力 NOR を実現できるが、そのハードウェア量を評価すると、各 CS 処理を受持つプロセッサに 1~k の範囲 (図中の 1..k) を検出する比較器が新たに必要となる (閾値レジスタも従来の 1 個から 2 個に増加する) ことが分かった。

(2) 新 NLG の各制約集合 CS における制約充

足の判定機構について、以下のことが分かった。

図1の S_4 では、閾値が0/(1..3)/4の3領域に分かれてはいるものの、 $N_1 N_2 N_4$ の全てがON ($N_1 N_2 N_4 = 111$) またはOFF ($N_1 N_2 N_4 = 000$) であることをAND検出できれば、(1..3)の充足 (Feasible) 状態を判定可能であり、閾値レジスタと比較器の全てを省略できる。残る $S_1 \sim S_3$ では、閾値1以下で各制約集合CSの制約条件 (Constraint Condition: 以下, CC) を充足し、 S_4 同様、閾値レジスタと比較器が共に不要となる。

(3) 更に、新NLG専用の新プロセッサを設計する場合、組合せ最適化問題の整数コスト機能を持たせた従来のSDNN/Vと異なり、同コスト値を保持・比較するハードウェアも不要となる。

(4) 新NLG専用プロセッサSDNN/VIIの設計と実装について以下のことが分かった。

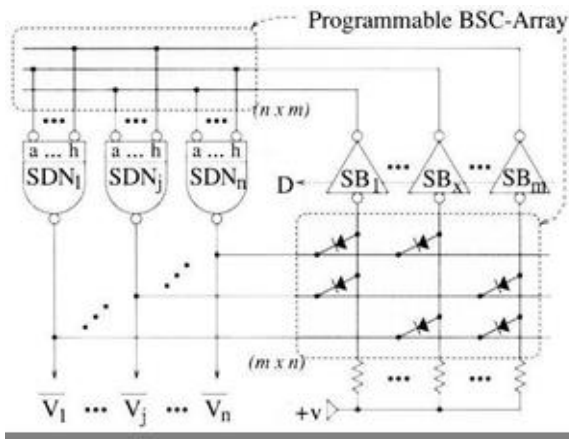


図2 提案した新NLG専用プロセッサ(SDNN/VII)の基本アーキテクチャ。

図2にIP化SDNN/VIIプロセッサの基本アーキテクチャを示す。基本構造はSDNN/Vプロセッサそのものであるが、過去、各制約集合CS内の制約条件CC処理を受持つ集合バッファ (Set Buffer: 以下, SB_x) 内に存在していた閾値レジスタと比較器の全てを撤去することに成功している。すなわち、同ハードウェアの代わりに単にall “1” とall “0” 検出用のAND機構 (実IP内ではAND-tie) を各 SB_x の入力側に用意するだけで済み、これ以上簡単化できない桁違いのハードウェア量 (1/10以下) で新NLGを実装できる。

(5) SDNN/VIIプロセッサ上にプログラムした連想形多入力回路 (m幅n入力OR-ANDおよび

AND-OR回路) について以下のことが分かった。

$m = n = 2$ とした場合、旧NLGではニューロン処理を受け持つSDN (Strictly Digital Neuron) 数が16個も必要であるのに対し、新NLGでは約半分の7個で済む (平成23年度の実施状況報告書より)。更に $m = n \rightarrow \infty$ と仮定すると、新旧NLGのSDN比は1/3に収束し、結果として、新NLGのハードウェア量は従来規模のおよそ1/2~1/3に削減できる。

(6) 以上 (1)~(5) の成果を表1にまとめて示す。表中の Σ 値 $\Rightarrow 1/0$ は、2値入力の総和を閾値判定して2値を出力することを示し、一方の Σ 値 $\Rightarrow -1/0/1$ は、2値入力の総和を上限と下限の2つの閾値で判定して3値を出力することを示している。総合評価として、新旧ハードウェアの規模比較で、SDNニューロン数が半分以下、集合バッファSBのハードウェア規模が1/10以下となった。

表1 連想形多入力回路 (m幅n入力AND-ORや同OR-AND回路) における新旧NLGのハードウェア比較

	SDN (Strictly Digital Neuron)		SB (Set Buffer)	
	総数	機能	総数	機能
旧NLG	$m(3n+2)$	Σ 値 \Rightarrow 1/0	$m(n+2)+1$	Σ 値 $\Rightarrow -1/0/1$
新NLG	$m(n+1)+1$	Σ 値 \Rightarrow 1/0	$m(n+2)+1$	all “1” all “0” $\Rightarrow -1/0/1$
比	$\approx 1/3$	1	1	$< 1/10$

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計1件)

中川 徹、可逆論理ゲート「NLG」を用いた逆問題解法システムの設計と実装、情報処理学会第75回全国大会、第1分冊、2013、pp. 53-54

[その他]

ホームページ等

<http://dns.toyota-gk.ac.jp/itenv07/ann.html>

6. 研究組織

(1) 研究代表者

中川 徹 (NAKAGAWA TOHRU)

豊田工業大学・工学部・教授

研究者番号：70148352