様式Ｆ－１９

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成２５年６月７日現在

機関番号：１３８０１
研究種目：挑戦的萌芽研究
研究期間：2011 ～ 2012
課題番号：23650087
研究課題名（和文）　ＭＥＭＳ・ホログラムを用いたリアルタイム視覚情報処理システム

研究課題名（英文）　A real-time image recognition system using a holographic memory and a microelectromechanical system (MEMS)

研究代表者
渡邊　実（Minoru Watanabe）
静岡大学・工学部・准教授
研究者番号：30325576

研究成果の概要（和文）：
近年、ロボット、自動車、飛行機などに人間の目、脳に相当する高度な画像識別能力を追加し、自律的に動かしたいとの要求が高まっている。しかし、人間の目や脳が行う並列処理は既存の集積回路の性能を大幅に超えており、模倣することは至難の業である。そこで本研究では MEMS(Micro Electro Mechanical Systems)、レーザアレイ、ホログラムメモリ等の光技術を集積回路（VLSI）技術に導入して、コンパクトで組み込み可能なリアルタイムな視覚認識システムを実証した。

研究成果の概要（英文）：
Recently, for use in autonomous vehicles and robots, demand has been increasing for high-speed image recognition that is superior to that of the human eye. However, to recognize numerous images quickly, such system requires many template images to be read out dynamically from memory. They must then be sent to a processor quickly. Realizing such high-speed real-time image recognition operation is difficult because of the bottleneck of transfer speed between the memory and the processor. Therefore, to improve the bottleneck, a dynamically reconfigurable vision architecture using a Micro Electro Mechanical Systems (MEMS), a laser array, a holographic memory, and a VLSI has been developed and its performance has been demonstrated.

交付決定額

（金額単位：円）

	直接経費	間接経費	合　計
交付決定額	2,900,000	870,000	3,770,000

研究分野：総合領域
科研費の分科・細目：情報学・知覚情報処理・知能ロボティクス
キーワード：(1) 光再構成ゲートアレイ　(2) プログラマブルデバイス　(3) MEMS　(4) DLP　(5) ホログラムメモリ　(6) FPGA

１．研究開始当初の背景
　これまでにもロボット、自動車、飛行機などに人間の目に相当する画像処理機能を実装する目的で、生物を模倣するアナログビジョンチップやプロセッサを基盤とするデジタルビジョンチップ等が開発されてきた。どちらも視覚と情報処理の双方の機能を持つものの、チップ(ダイ)サイズの制約から、大容量のメモリを実装できず、大量の参照画像を記憶し、リアルタイムに比較処理（テンプ

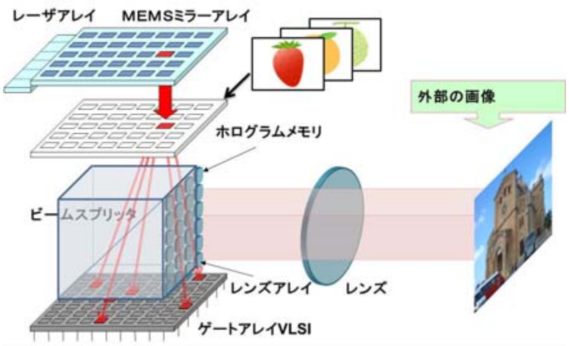


図１：高速動的光再構成型ビジョンチップ

レートマッチング処理）を行うことはできなかった。近年では、イメージセンサとプロセッサ間のバンド幅の問題が解決し、イメージセンサーと組み込みシステムにより画像処理が行われるが、それでも依然、メモリとプロセッサ間のバンド幅が不足しており、リアルタイムな画像認識は難しい。例えば、イメージセンサから 1ms の周期で 100 万ピクセル数の画像を取り込み、その周期内に 10 万枚の同ピクセル数の参照画像とを比較する場合、その参照画像の転送とその識別速度はペタビット/秒にも達する。既存の集積回路技術では解決できない転送レートである。

２．研究の目的

そこで本研究では図１に示すような MEMS(Micro Electro Mechanical Systems)、レーザアレイ、ホログラムメモリ等の光技術を集積回路（VLSI）技術に導入して、上記仕様を満たせるコンパクトで組み込み可能なリアルタイムな視覚認識システムの実現性を実証する。

３．研究の方法

図１の一番下にあるゲートアレイは、多数のフォトダイオードにより光学的に並列的にプログラムが可能な光再構成型ゲートアレイである。この高速動的光再構成型ビジョンチップでは、この光再構成型ゲートアレイのフォトダイオードをゲートアレイのプログラムだけに使用せず、イメージセンサとしても活用する。外界から画像を与える際には、まず、通常のカメラと同様にレンズにより結像させ、その後、レンズアレイにより、イメージ画素毎にゲートアレイ上の１つ１つのフォトダイオードに集光させる。途中にあるビームスプリッターは、この画像とホログラムメモリからのテンプレート画像の双方をゲートアレイに導く働きをする（チップ裏面から画像を取り込む場合には、このビームスプリッタは不要）。一方、非常に高容量な記憶が可能な３次元ホログラムメモリにはスムーシング・フィルタ、ラプラシアン・

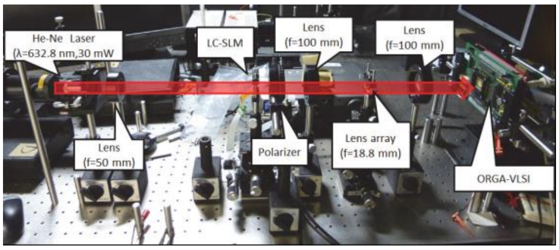


図２：試験光学系の１つ（ビジョン部）

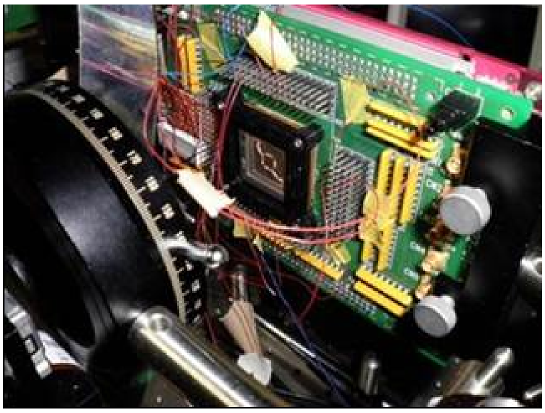
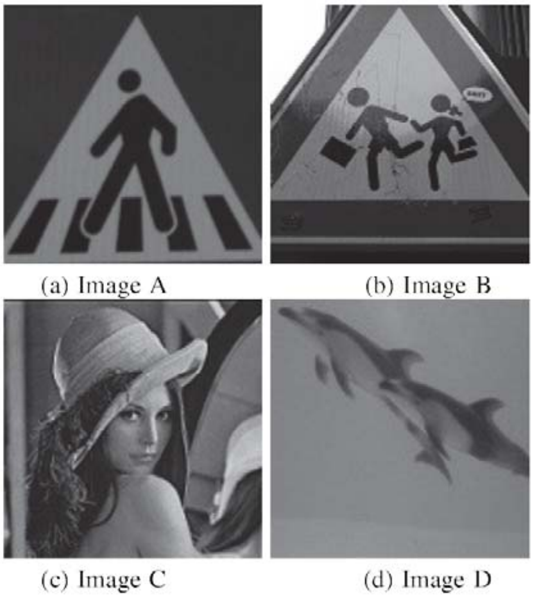


図３：新型 VLSI チップ

ガシアン・フィルタ他、各種画像処理回路が蓄えられる他、テンプレート画像情報が多数記録される。外部から画像を受け取る度に、それらは MEMS ミラーとレーザとのインターリブ方式にて、ナノ秒台でゲートアレイに動的に並列的に転送される。MEMS ミラーアレイの応答時間は約 10μs、ミラー数（アドレッシング数）70 万以上、これにレーザ 1000 個を組み合わせたインターリブ方式を用いると、コンスタントに 10ns 周期で 70 万以上の回路情報、テンプレート画像情報を読み出すことが可能になる。1ms 以内に 10 万の参照画像とのテンプレートマッチング処理も可能になる。本研究ではこの高速動的光再構成型ビジョンシステムを試作し、その性能を評価する。

４．研究成果

ＭＥＭＳ・ホログラムを用いて、リアルタイムな視覚認識システムを実証した。光再構成部の研究では、256 コンテキストの高速動的再構成が可能な MEMS 光再構成システムを開発した。また、MEMS・レーザによるインターリブ方式により、再構成はナノ秒で実施でき、わずかな時間でコンテキストやテンプレート情報の転送が可能であることを示した。一方、画像処理を行う光再構成型ゲートアレイ VLSI チップの開発においても、0.18μm プロセスを使用してその試作を完了した。本チップでは細粒度のゲートアレイに加えて、粗



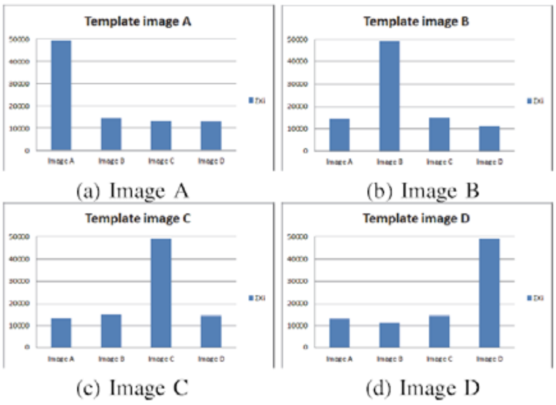


図４：テンプレート画像認識試験の結果

粒度のプロセッサも実装しており、複雑な画像処理に対応できるように工夫した。

そして、このシステムを用いて、外界から16階調までのアナログ画像を取り込み、識別を行う図3、図4に示す試験を行い、それに成功した。このように、当初の計画を達成した。

５．主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計３件）

[1] R. Moriwaki, M. Watanabe, "Optical configuration acceleration on a new optically reconfigurable gate array VLSI using a negative logic implementation," Applied Optics, Vol. 52, No. 9, pp. 1939–1946, March, 2013.

[2] T. Watanabe, M. Watanabe, "Robust holographic storage system design," Optics Express, Vol. 19, No. 24, pp. 24147–24158, Nov., 2011.

[3] S. Kubota, M. Watanabe, “A four-context programmable optically reconfigurable gate array with a reflective silver-halide holographic memory," IEEE Photonics Journal, Vol. 3, No. 4, pp. 665–675, Aug., 2011.

〔学会発表〕（計 42 件）

[1] R. Moriwaki, M. Watanabe, "A fine-grained dependable optically reconfigurable gate array as a multi-soft-core processor platform," IEEE 7th International Symposium on Embedded Multicore SoCs, Sep., 2013 (accepted).

[2] Y. Kamikubo, M. Watanabe, S. Kawahito, "Image recognition operation on a dynamically reconfigurable vision architecture," International Conference on Field Programmable Logic and Applications, Sep., 2013 (accepted).

[3] H. Ito, M. Watanabe, "Fourier Transformation on an Optically Reconfigurable Gate Array," IEEE International Midwest Symposium on Circuits & Systems, Aug., 2013 (accepted).

[4] A. Tanigawa, M. Watanabe, "A dependability-increasing demonstration for a 16-configuration context optically reconfigurable gate array," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, June, 2013 (accepted).

[5] R. Moriwaki, T. Yoza, Y. Kamikubo, Y. Torigai, A. Tanigawa, T. Kubota, H. Ito, Y. Shirahashi, M. Watanabe, "A 7-depth search FPGA Connect6 Solver," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, June, 2013 (accepted).

[6] Y. Yamaji, M. Watanabe, "A 4-configuration-context optically reconfigurable gate array with a MEMS interleaving method," NASA/ESA Conference on Adaptive Hardware and Systems, June, 2013 (accepted).

[7] R. Moriwaki, M. Watanabe, A. Ogiwara, "Configuration on an optically reconfigurable gate array under the maximum 120°C temperature condition," OptoElectronics and Communications Conference, Kyoto, Japan, June, 2013 (accepted).

[8] A. Ogiwara, H. Maekawa, M. Watanabe, R. Moriwaki, "Formation of Holographic Memory by Recording of Multi-context in

Liquid Crystal Composites," Conference on Lasers and Electro-Optics Pacific Rim, Kyoto, Japan, June, 2013 (accepted).

[9] T. Kubota, M. Watanabe, “0.18 um CMOS process photodiode memory,” IEEE International Symposium on Circuits and Systems, Beijing, China, May 21, 2013.

[10] A. Tanigawa, M. Watanabe, “A dependability-increasing technique on a multi-context optically reconfigurable gate array,” IEEE International Symposium on Circuits and Systems, Beijing, China, May 21, 2013.

[11] Y. Yamaji, M. Watanabe, "MEMS interleaving method for optically reconfigurable gate arrays," IEEE International Conference on Electro/Information Technology, CD-ROM, South Dakota, USA, May 11, 2013

[12] H. Ito, M. Watanabe, "Power consumption of mono-instruction set computers (MISCs)," IEEE Symposium on Low-Power and High-Speed Chips, CD-ROM, Yokohama, Japan, April 18, 2013.

[13] Y. Shirahashi, M. Watanabe, “Dependability-increasing method of processors under a space radiation environment,” International Workshop on Applied Reconfigurable Computing, p. 218, Los Angeles, USA, March 25, 2013.

[14] H. Ito, M. Watanabe, "A uniform partitioning method for Mono-Instruction Set Computer (MISC)," International Workshop on Renewable Computing Systems, pp. 832 - 837 Melbourne, Australia, Sep. 28, 2012.

[15] Y. Yamaji, M. Watanabe, "A 256-configuration-context MEMS optically reconfigurable gate array," International Conference on Solid State Devices and Materials, pp. 232-233, Kyoto, Japan, Sep. 26, 2012.

[16] Y. Kamikubo, M. Watanabe, S. Kawahito, "Gray-level image recognition on a dynamically reconfigurable vision architecture," IEEE SOC Conference, pp. 61-65, New York, USA, Sep. 12, 2012.

[17] T. Yoza, M. Watanabe, "A 16-configuration-context robust optically reconfigurable gate array with a reconfiguration speed adjustment function," International Conference on Field Programmable Logic and Applications, pp. 361 – 366, Oslo, Norway, Aug. 30, 2012.

[18] T. Watanabe, M. Watanabe, "Inversion / Non-Inversion Reconfiguration Scheme for a 0.18 Um CMOS Process Optically Reconfigurable Gate Array VLSI," IEEE International Midwest Symposium on Circuits and Systems, pp. 117-120, Boise, USA, Aug. 21, 2012.

[19] T. Watanabe, M. Watanabe, "0.18 um CMOS process high-sensitive differential optically reconfigurable gate array VLSI," IEEE Computer Society Annual Symposium on VLSI, pp. 308-313, Amherst, USA, Aug. 6, 2012.

[20] S. Kubota, M. Watanabe, “Detection and compensation methods of alignment errors between a programmable optically reconfigurable gate array and its writer system,” National Aerospace & Electronics Conference, Dayton, USA, July 25, 2012.

[21] R. Moriwaki, M. Watanabe, "Optical configuration acceleration on a new optically reconfigurable gate array VLSI using a negative logic implementation," International Conference on engineering of reconfigurable systems and algorithms, pp. 127-132, Las Vegas, USA, July 17, 2012.

[22] Y. Ueno, M. Watanabe, "A 4-configuration Context Fiber - linked Optically Reconfigurable Gate Array," OptoElectronics and Communications Conference, pp. 592-593, Busan, Korea, July 5, 2012.

[23] T. Yoza and M. Watanabe, "A 16 - configuration-context dynamic optically reconfigurable gate array with a dependable laser array," NASA/ESA Conference on Adaptive Hardware and Systems, pp. 92-98, Nuremberg, Germany, June 27, 2012.

[24] R. Moriwaki, T. Yoza, Y. Kamikubo, Y. Torigai, T. Watanabe, Y. Aoyama, M. Seo, M. Watanabe, "FPGA Connect6 Solver with Hardware Sort Units," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 163-166, Okinawa, Japan, June 1, 2012.

[25] T. Watanabe, M. Watanabe, "0.18 um CMOS process high-sensitive optically reconfigurable gate array VLSI," International Workshop on Highly Efficient Accelerators and Reconfigurable Technologies, pp. 147-151, Okinawa, Japan, June 1, 2012.

[26] T. Watanabe, M. Watanabe, "High speed - low power optical configuration on an ORGA with a phase-modulation type holographic memory," Reconfigurable Architectures Workshop, pp. 249-253, Shanghai, China, May 21, 2012.

[27] T. Watanabe, M. Watanabe, "Triple module redundancy of a laser array driver circuit for

optically reconfigurable gate arrays," International Workshop on Applied Reconfigurable Computing, pp. 163-173, CUHK, Hong Kong, March 23, 2012.
[28] Y. Nihira, M, Watanabe, "Mono-instruction computer on a dynamically reconfigurable gate array," Workshop on Synthesis And System Integration of Mixed Information technologies, pp. 66-70, Beppu, Japan, March 8, 2012.
[29] Y. Kamikubo, M. Watanabe, S. Kawahito, "A full dynamically reconfigurable vision-chip system including a lens-array," Workshop on Synthesis And System Integration of Mixed Information technologies, pp. 272-277, Beppu, Japan, March 8, 2012.
[30] Y. Yamaji, M. Watanabe, "Binary MEMS optically reconfigurable gate array for an artificial brain system," International Symposium on Artificial Life and Robotics, pp. 614-617, Beppu, Japan, Jan. 16, 2012.
[31] T. Watanabe, R. Moriwaki, Y. Yamaji, Y. Kamikubo, Y. Torigai, Y. Nihira, T. Yoza, Y. Ueno, Y. Aoyama, M. Watanabe, "An FPGA Connect6 Solver with a Two-Stage Pipelined Evaluation," IEEE International Conference on Field-Programmable Technology, CD-ROM, New Delhi, India, Dec. 14, 2011.
[32] Y. Torigai, M. Watanabe, "Triple module redundancy scheme on an optically reconfigurable gate array," International SoC Design Conference, pp. 250 - 253, Jeju, Korea, Nov. 18, 2011.
[33] S. Kubota, M. Watanabe, "Full liquid crystal spatial light modulator writer system for a programmable optically reconfigurable gate array, " MICROOPTICS CONFERENCE, H-47, Sendai, Japan, Nov. 2, 2011.
[34] Y. Yamaji, M. Watanabe, "A 144-configuration context MEMS optically reconfigurable gate array," IEEE International SOC Conference, CD-ROM, Taipei, Taiwan, Sep. 28, 2011.
[35] T. Watanabe, M. Watanabe, "Dependable optically reconfigurable gate array with a phase-modulation type holographic memory," International conference on Field-Programmable Logic and its Applications, pp. 34 -37, Chania, Crete, Greece, Sep. 5, 2011.

〔図書〕（計１件）

[1] M. Watanabe, "High - Performance Computing Based on High-Speed Dynamic Reconfiguration," High-Performance Computing Using FPGAs, Chapter 20, pp. 605-627, Springer, June, 2013.

〔その他〕
ホームページ等
http://www.ipc.shizuoka.ac.jp/~tmwatan/

６．研究組織
(1)研究代表者
渡邊　実（Minoru Watanabe）
静岡大学・工学部・准教授
研究者番号：30325576

(2)研究分担者
無し

(3)連携研究者
無し