

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成25年 6月 7日現在

機関番号：12605

研究種目：挑戦的萌芽研究

研究期間：2011～2012

課題番号：23656210

研究課題名（和文） Pのサーファクタント効果とスパッタエピタキシー法による
Si上Ge平坦膜の形成技術

研究課題名（英文） Technology of Formation of Ge Flat Film Directly on Si by P Surfactant
Effect and Sputter Epitaxy Method

研究代表者

須田 良幸 (SUDA YOSHIYUKI)

東京農工大学・大学院工学研究院・教授

研究者番号：10226582

研究成果の概要（和文）：代表者の開発したスパッタエピタキシー法を用いて提案した高濃度Pドーピング基板上へのGe直接平坦化成長する方法について系統的に解析し、Si/Ge界面に90°転位が発生し、僅かな歪を残して平坦成長する機構を解明した。この転位はスパッタ法でのGeの短い表面泳動長とドーピングP原子に起因して発生すると考えられる。Bドーピング基板でも同様の現象が見られ、本手法を用いたGe仮想基板の作製への応用展開が期待される。

研究成果の概要（英文）：We have systematically analyzed the method of formation of a Ge flat film deposited directly on heavily P-doped Si by our developed sputter epitaxy and have cleared the flat Ge growth mechanisms where the Ge layer is grown flat with generation of 90° dislocations at a Si/Ge interface and a small strain in the film. The dislocations are probably generated due to the short Ge adsorbate migration length and presence of doped P atoms. We have also found a similar Ge growth behavior on a heavily B-doped Si, and our proposed method is expected to be well used as a Ge virtual substrate.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	3,000,000	900,000	3,900,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子・電気材料工学

キーワード：作成・評価技術, Ge, 仮想基板, エピタキシー, SK成長

1. 研究開始当初の背景

LSI（大規模集積回路）は微細化により高速化を図ってきた。しかし、今日では、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}_{1-y}\text{Ge}_y$ ヘテロ構造を用いた歪の導入によるキャリア移動度の向上や、移動度の高いIII-V系化合物半導体やGeチャンネルを用いたトランジスタの混載によって高速化が検討されている。化合物半導体の多くはGeと格子整合する。また、Geは地球資源としてSiよりはるかに少ない。このため、Ge基板を用いるのではなく、Si基板上に形成されたGe層の利用が可能となれば、Si系、Ge系、III-V系の素子の効果的な混載が可能となり、資源的視点も含めた両面から期待が高い。

Si上のGeの成長は、SK (Stranski-Krastanov) モードで島状に成長するため、デバイス搭載が不可能である。このため、 $\text{Si}_{1-x}\text{Ge}_x$ を酸化することで、 SiO_2 に挟まれたGeを形成する酸化濃縮法や、SiとGe層の間に多段の $\text{Si}_{1-x}\text{Ge}_x$ 歪緩和層を挿入する方法の開発が進められている。しかし、工程の複雑さを考えるとSi上に直接Ge層を形成する方法が望まれている。

2. 研究の目的

研究代表者は、平坦化Ge形成方法として、代表者が開発し特許登録されたスパッタエピタキシー法（特許：須田，第4910124号）

を用いて、平坦な Ge 層を高 P 濃度 Si 基板上に直接形成できることを見出した。本研究では、研究代表者が提案した高濃度不純物ドーパ基板とスパッタエピタキシー法を組み合わせることで実現した Si 上に Ge を直接平坦形成する Ge 平坦膜形成技術の成長原理・機構を明らかにし、本方法の有効性を評価した。

3. 研究の方法

Ge を基板抵抗、不純物種、成長温度を変えて Si 上に DC マグネトロンスパッタ法で成長し、成長条件と成長特性との相関を系統的に調べた。具体的には、断面透過型電子顕微鏡（断面 TEM）法、走査型電子顕微鏡（SEM）法による成長構造の変化、X 線回折（XRD）法、ラマン分光法による結晶構造と歪現象の解析を行い、Si 基板直上の Ge 平坦化成長機構を明らかにした。

4. 研究成果

(1) 成長様式

Si (001) 上 Ge の成膜では、成膜温度が 375°C 以上で表面にラフネスが生じ、Ge が平坦化される最大の温度が 350°C であることが判った（図 1）。

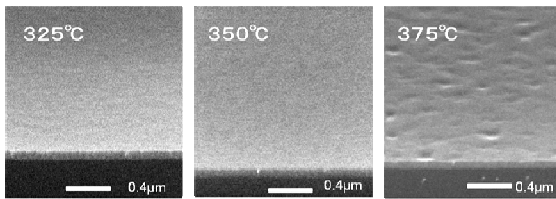


図 1. Si 上 Ge 膜の表面形態の成長温度依存。350°C までの成膜温度で Ge が平坦化成長。

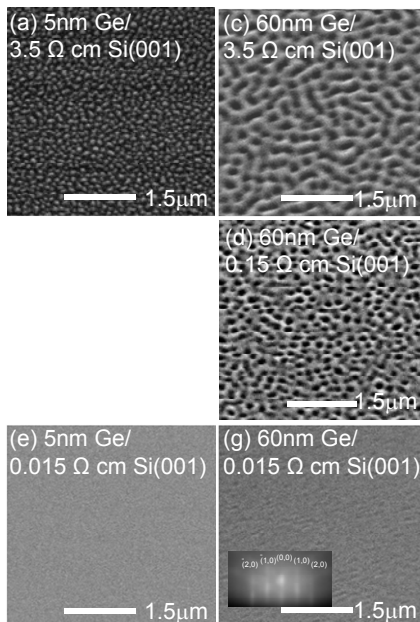


図 2. Ge 成長形態の P ドープ基板抵抗率依存。

P ドープ Si 基板の P 濃度に関して、基板抵抗率が 0.015 Ω cm 以下で、初期成長の段階から Ge が平坦成長し、平坦成長の反射型高速電子線回折（RHEED）はストリーク状パターンを示し、原子的に平坦な面が得られた（図 2）。3.5 Ω cm Si (001) 上と 0.015 Ω cm Si (001) 上の成長 Ge 膜の逆格子マップにおいても、両者共、Si 基板に対する Ge 成長面の傾きは見られないが、モザイク度は、0.015 Ω cm 基板上で 3.5 Ω cm 基板上より 1/8 に減少し、 $\Delta\omega=0.09$ の十分小さい値が得られた（図 3）。AFM 像から得られた表面ラフネスは 0.31 nm と実用基板の平坦度が得られた。

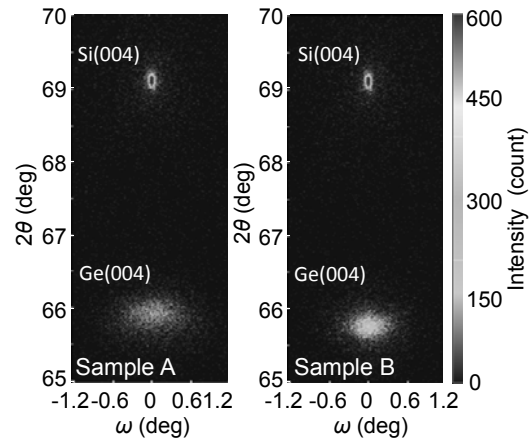


図 3. P ドープ 3.5 Ω cm Si (001) (Sample A) 上と P ドープ 0.015 Ω cm Si (001) (Sample B) 上の Ge 膜の逆格子マップ。

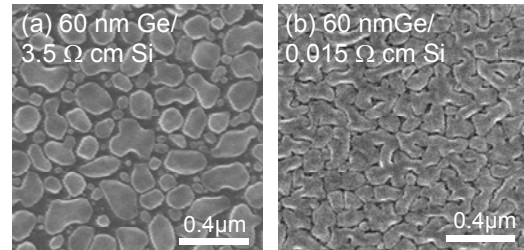


図 4. 図 2 のスパッタ成膜と同一の基板上に同一温度で、ガスソース分子線エピタキシー（GS-MBE）法で 60 nm 成長した SEM 像。

(2) 成長機構

スパッタ成膜と同一の基板上に同一の温度でガスソースの分子線エピタキシー（GS-MBE）法で、成膜した場合は、Ge の平坦成長が得られなかった（図 4）。従って、Ge 成長の平坦化はスパッタエピタキシー法に特有の方法であることが示された。

ラマン分光法では、3.5 Ω cm Si (001) 上の Ge で初期成長段階から、Si - Ge のミキシング見られたが、0.015 Ω cm Si (001) 上の Ge ではこのような Si-Ge のミキシングは見られ

なかった (図 5). また, このラマンスペクトルからラマンシフトを評価し, 歪状態を解析した (図 6). 0.015 Ω cm Si (001) 上の平坦化 Ge 成長膜では, 60 nm の厚さでも歪が見られるが, 3.5 Ω cm Si (001) 上 Ge 膜は 10 nm 程度以上で既にほぼ完全緩和している. このように, 平坦化 Ge 膜は歪を包含して平坦成長していることが判った.

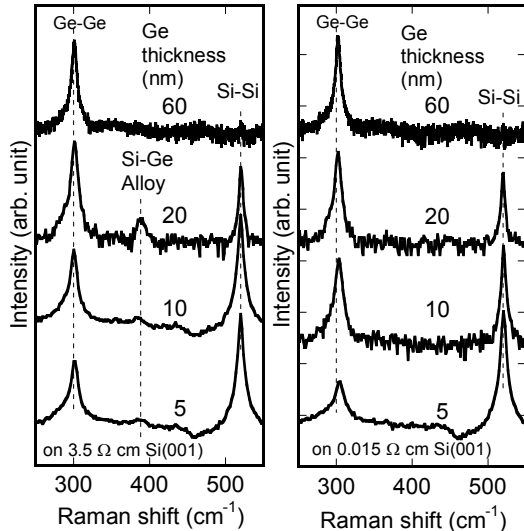


図 5. Ge の成長膜厚に依存した Ge 膜のラマンスペクトル.

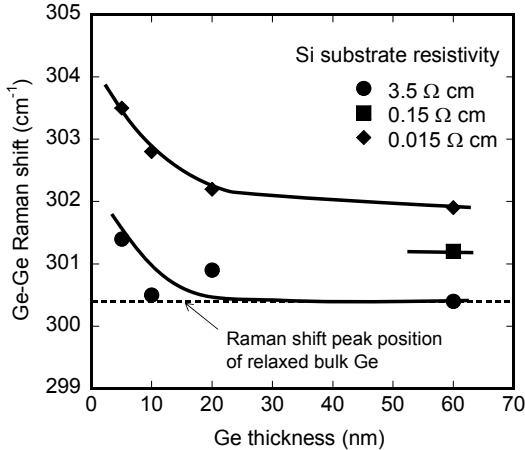


図 6. 図 5 のラマンスペクトルから作成した Ge の成長膜厚に依存したラマンシフト.

3.5 Ω cm Si (001) 上の 65 nm の Ge 膜の断面 TEM 像では 60° すべり転位が見られ, Si/Ge 界面には多数の転位欠陥が観測された (図 7 左). 一方で, 0.015 Ω cm Si (001) 上の 65 nm の Ge 膜の場合は, Si/Ge は良好な界面状態を示し (図 7 中), 明視野平面 TEM 像 (図 7 右) から, 90° 転位が観測された. この転位線の間隔は 4-12 nm であった. ドープ P 不純物原子の平均間隔に近いこと, 90° 転位の発生が,

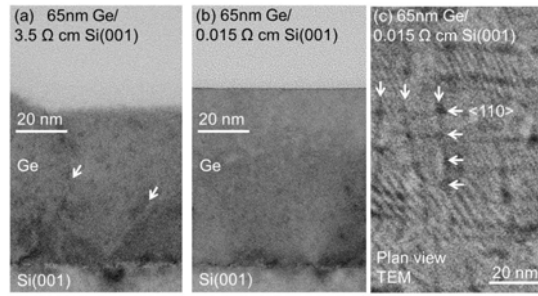


図 7. P ドープ 3.5 Ω cm Si (001) 上 Ge 膜の断面 TEM 像 (左), および, P ドープ 0.015 Ω cm Si (001) 上 Ge 膜の断面 TEM 像 (中) と明視野平面 TEM 像 (右).

P 原子近傍を基点とすることが予測される.

以上の解析から, 3.5 Ω cm Si (001) 上では, 島が形成され, Si-Ge のミキシングが発生する. このミキシングは, 島形成による局所歪の発生により, 対向する Si 基板の Si 原子のエネルギーが高まり, Ge が Si 基板に拡散すると共に, 逆に Ge 膜に Si が侵入して Ge の局所エネルギーが減少するように変化するためと考えられる. 島が形成された場合は, ラフネスの大きな Ge 成長面となる.

一方, 0.015 Ω cm Si (001) 上では, GS-MBE 法では平坦化されないのに対して, 本スパッタエピタキシー法では島形成がほとんど見られず平坦化される. 一般に成長 (吸着) 種の表面泳動長が長いと島が形成される傾向があるため, 島が形成されないのは, スパッタ法における Ge 成長種の表面泳動長が GS-MBE 法における Ge-H_n 成長種より短いこと, P 原子による表面泳動の抑制効果が相乗したためと解析できる. この場合, Ge が初期から平坦に成長し, その結果応力が増大し, P 近傍を基点として 90° 転位が発生して, Ge 成長膜が平坦のまま歪が解放され, さらに継続して Ge が平坦成長すると解析できる. この成長で一定の歪を保持しているため, ある程度歪が解放されれば, 歪を含有したまま平坦成長が続くことが判った.

即ち, 本スパッタエピタキシー法と高濃度 P ドープ原子との相乗効果によって, Si 直上に Ge が平坦化成長する.

(3) 不純物の効果と展望

他種不純物である B 原子を高濃度にドープした Si (001) 基板上に Ge を成膜して不純物種依存について検討した (図 8). 図に示すように, B 原子がドーパントの場合も, 同様に 0.015 Ω cm Si (001) 上で Ge が平坦成長する結果が得られた. 従って, P, B 原子の範囲で帯電の正負も異なるが, 同様の平坦化効果が得られた. 従ってキャリア発生効果のない不純物導入によっても Ge の平坦化成長が期待

される。即ち、不純物種の選択によって高抵抗基板でも Si 直上に Ge 平坦化成長が得られると考えられる。本手法による Ge 成膜法では、ラフネスが 0.31 nm 程度の優れた平坦性の Ge 膜が Si 直上に形成できるため、Si を基板とした Ge 仮想基板として、極めて有効な方法となることが期待される。

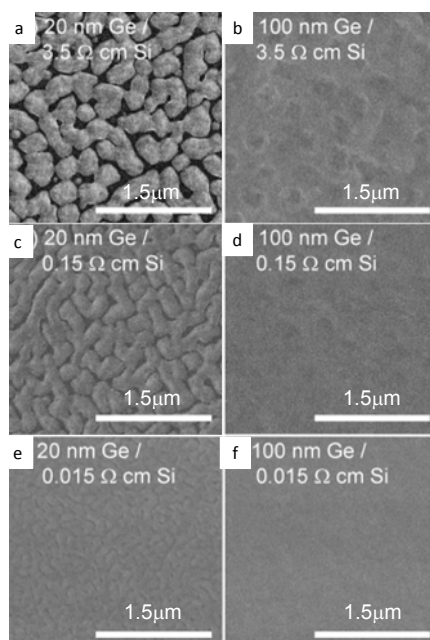


図 8. B ドープ Si 基板上的の本エピタキシー法による Ge 成長膜の表面 SEM 像の抵抗率依存。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

1. Hiroaki Hanafusa, Nobumitsu Hirose, Akifumi Kasamatsu, Takashi Mimura, Toshiaki Matsui, Yoshiyuki Suda, Ge Flat Layer Growth on Heavily Phosphorus-Doped Si(001) by Sputter Epitaxy, Japanese Journal of Applied Physics, 51, pp. 055502(1)-(4), 2012, 査読有.
2. Yoshiyuki Suda, Hiroaki Hanafusa, Mitsuhiro Yoshikawa and Manabu Kanazawa, SiGe Sputter Epitaxy Technique and Its Application to SiGe Devices, Procedia Engineering 36, pp. 396-403, 2012, 査読有.

[学会発表] (計 6 件)

1. Takahiro Tsukamoto, Akifumi Kasamatsu, Nobumitsu Hirose, Takashi Mimura, Toshiaki Matsui and Yoshiyuki Suda, Effect of Boron Dopant of Si

(001) Substrates on Growth of Ge Layers using Sputter Epitaxy Method, Abs. 8th International Conference on Silicon Epitaxy and Heterostructures (発表確定), 2013年6月2日~6月5日, Kyushu University, Fukuoka.

2. 塚本貴広, 広瀬信光, 笠松章史, 三村高志, 松井敏明, 須田良幸, 「スパッタエピタキシー法を用いた Ge 薄膜形成におけるボロンドープ Si 基板の効果」, 第 60 回応用物理学会春季学術講演会, 28p-PA2-1, 2013年3月27日~3月30日, 神奈川工科大学, 厚木.
3. (招待講演) Yoshiyuki Suda, Takahiro Tsukamoto, Akifumi Kasamatsu, Nobumitsu Hirose, Takashi Mimura*, and Toshiaki Matsui, SiGe Processes and Devices Using Sputter Epitaxy Method, Abs. 6th Int. Workshop New Group IV Semiconductor Nanoelectronics, 2013年2月22日~2月24日, Tohoku University, Miyagi.
4. (招待講演) Yoshiyuki Suda, Hiroaki Hanafusa, Mitsuhiro Yoshikawa and Manabu Kanazawa, SiGe Sputter Epitaxy Technique and Its Application to SiGe Devices, Int. Union of Materials Research Soc. 692, 2011年9月11日, Taipei, Taiwan.
5. Hiroaki Hanafusa, Nobumitsu Hirose, Akifumi, Kasamatsu, Takashi Mimura, Toshiaki Matsui, Harold M. H. Chong, Hiroshi Mizuta, and Yoshiyuki Suda, Phosphorus Mediated Growth of Ge Layer on Si(001) Substrate, 2011 International Conference on Solid State Devices and Materials, pp.1430-1431, 2011年9月30日, Aichi Industry & Labor Center, Nagoya.
6. 花房宏明, 広瀬信光, 笠松章史, 三村高志, 松井敏明, 須田良幸, 「スパッタエピタキシー法で形成した Ge 薄膜の平坦化機構」, 第 72 回応用物理学会学術講演会, 31a-P15-3, 2011年8月31日, 山形大学, 山形.

[その他]

ホームページ

<http://www.tuat.ac.jp/~boss>

6. 研究組織

(1) 研究代表者

須田 良幸 (SUDA YOSHIYUKI)

東京農工大学・大学院工学研究院・教授

研究者番号: 10226582

(2) 研究分担者 なし

(3) 連携研究者 なし