

## 科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 5 月 20 日 現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2011～2012

課題番号：23656230

研究課題名（和文） 適応自律動作に基づく多値リコンフィギャラブル VLSI

研究課題名（英文） Multiple-Valued Reconfigurable VLSI Based on Adaptively Autonomous Operation

研究代表者

亀山 充隆 (MICHITAKA KAMEYAMA)

東北大学・大学院情報科学研究科・教授

研究者番号：70124568

研究成果の概要（和文）：

1 線に“0”，“1”以外の“2”，“3”などの多値信号を載せることにより，スイッチブロックの複雑性を解消できると共に，差動対回路特有の有効信号検出及び出力整定検出に基づく自律パワーゲーティング，多値制御情報転送方式やチップ内多値パケット転送などを駆使し，現在の FPGA の性能をはるかに超える，自律適応動作に基づく細粒度多値リコンフィギャラブル VLSI の開発を行った。

研究成果の概要（英文）：

A fine-grain multiple-valued reconfigurable VLSI architecture using multiple-valued differential-pair circuits is developed to achieve very high-performance and low-power operations. Multiple-valued signaling is utilized to implement a compact switch block, where multiple-valued signals such as “0”, “1”, “2” and “3” are transmitted in one line. Also, an autonomous power gating scheme is introduced using two techniques. One is a current-source control based on valid data signal detection. The other is a current-source control such that current sources are turned off within a clock cycle after a logic operation completion signal is detected. Moreover, a register-transfer-level packet routing scheme is introduced to reduce a configuration memory size of a dynamically reconfigurable processor. The register-transfer-driven concept makes the configuration memory size very small, because packets are not required to be provided at all the clock cycles.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	2,900,000	870,000	3,770,000

研究分野：工学

科研費の分科・細目：分科：電気電子工学

細目：電子デバイス・電子機器

キーワード：電流モード多値集積回路，差動対回路，電流源制御，リコンフィギャラブル VLSI，パケット転送制御，コンフィグレーションメモリ，X ネット

## 1. 研究開始当初の背景

本研究者は、配線による性能劣化を解消する、電流モード多値集積回路、局所演算性に着目した高並列多値演算回路、フローティングゲート MOS 多値ロジックインメモリ VLSI、多値リコンフィギャラブル VLSI などを開拓し、次世代 VLSI の新概念を ISSCC などにて提案してきた。本研究はその流れの中で生まれた着想であり、2 値論理では実現できない多値論理特有の性質を活かした研究である。

リコンフィギャラブル VLSI においては、データ転送を制御するスイッチブロックの複雑性、レジスタトランスファ制御の複雑性などに起因する性能劣化や消費電力増大などの問題があった。

本研究では、これらの問題に対して新概念に基づく細粒度多値リコンフィギャラブル VLSI の構想実現と評価を行い、従来の延長上にはない新概念である、多値信号を用いた自律適応制御はビットシリアルデジタルコンピューティングを可能にし、組み込みシステムや VLSI システムの性能向上に大きく貢献できる。

## 2. 研究の目的

1 線に“0”、“1”以外の“2”、“3”などの多値信号を載せることによりデータと制御信号を時間差なく送信できる、非同期方式とは異なる差動対回路特有の有効信号検出方法に基づく自律パワーゲーティング、多値制御情報転送方式やチップ内多値パケット転送などを駆使し、現在の FPGA の性能をはるかに超える、以下に示す自律適応動作に基づく細粒度多値リコンフィギャラブル VLSI の開拓を行う。

(1) セル間の多値信号転送により、配線数の削減はもとより、スイッチブロックの複雑性を大幅に解消する。

(2) 高駆動能力を有する多値電流モード差動対回路を徹底的に活用して高性能化・低電力化を達成する。本回路では、動作周波数に無関係に消費電力が一定であり、セル非動作時はもとより、セル動作中においても無駄な電流消費がない、細粒度のパワーゲーティングが可能にしている。

(3) 1 線にデータと制御信号を重畳した多値転送により、制御スキューやスイッチの複雑性を解消すると共に、新たな付加回路をほとんど加えることなく電流源トランジスタのオンオフ制御すなわちパワーゲーティン

グを可能としており、非同期方式による有効信号検出メカニズムとは異なる、付加回路オーバーヘッドを激減する新方式を考案している。

(4) チップ内パケット転送に基づき、従来のマイクロプログラム制御方式などとは異なる、自律的なレジスタトランスファ制御を可能にしている。特に、リコンフィギャラブル VLSI では、転送制御をプログラマブルに行えるという性質は極めて有用である。

## 3. 研究の方法

多値シリーズゲーティング差動対回路を用いた論理ブロック、自律パワーゲーティングアーキテクチャ、チップ内多値パケット転送方式、不揮発記憶デバイスを用いた多値ロジックインメモリなど、多値 VLSI コンピューティングをフルに活用した、高性能細粒度多値リコンフィギャラブル VLSI の設計・試作を行う。

### (1) ビットシリアルアーキテクチャに基づくセル構成

有効データの先頭ビットを表わす制御信号やマルチプレクサのセレクト信号などの制御信号と、データ信号との重畳に基づき、自律適応制御を可能にするリコンフィギャラブル VLSI アーキテクチャを検討し、これに適合するセルの構成を検討する。さらに、任意の 2 値論理関数をプログラム可能な低電力・高速回路設計を行う。

### (2) 動作時の自律電力制御

差動対回路の出力が整定する条件が相補信号生成条件に帰着できることに着目した電流制御を行う。すなわち、一段目の差動対回路の pMOS トランジスタの ON/OFF のみでデータの到来に応じた適応的細粒度電流制御が可能になる。本原理に基づく回路設計と評価を行う。

### (3) 非動作時の消費電力低減

1 ワードのビットシリアルデータの先頭に有効/無効の信号を重畳することにより、無効なデータである場合には、演算ユニットレベルにおいて電流のカットオフを行う方式も導入する。データと制御信号の重畳により、配線数・配線スイッチの大幅な削減も可能となる。

(4) 多値集積回路の設計・試作・評価  
セル単体と小規模セルラアレーの集積回路 VDEC を利用して設計・試作する。

(5) チップ内パケット転送  
チップ内多値パケット転送方式に基づく自律的レジスタ間転送を導入する。

(6) 応用へのマッピングと総合的な評価  
リアルワールド応用では高速性、低消費電力性が要求されるが、本多値リコンフィギャラブル VLSI は高並列演算が可能であり、基本処理を取り上げ、本 VLSI の利点がどのように発揮されるかを考察する。

#### 4. 研究成果

以下のような独自に開拓した要素技術を融合して、多値差動対回路を用いた高性能多値細粒度リコンフィギャラブル VLSI の新しい構築技術を確立することができた。

##### (1) ビットシリアルアーキテクチャに基づくセル構成

有効データの先頭ビットを表わす制御信号やマルチプレクサのセレクト信号などの制御信号と、データ信号との重畳に基づき、自律適応制御を可能にするリコンフィギャラブル VLSI アーキテクチャを検討し、これに適合するセルの構成を考案した。さらに、任意の2値論理関数をプログラム可能な差動対回路を用いた低電力・高速回路設計を行った。

##### (2) 自律適応動作に基づく統合電流源制御手法

CMOSVLSI では、動作周波数が高いときの動的消費電力及びリーク電流に伴う消費電力の増加が問題となっている。一方、消費電力が動作周波数に依存しない電流モード VLSI では、高周波動作時には低電力性を実現できるという利点がある。しかしながら、低周波動作時や回路の稼働率が低い場合には常に電流源をオンにしている回路では消費電力が増大してしまうという問題点があった。この問題を解決するために、本研究では、以下の①及び②に示すように、入力到来信号と演算完了の検出に基づいた電流源制御手法を提案し、低電力 VLSI が実現できることを示した。また、複数のロジックモジュール内の電流源を統一的に制御することで、電流源制御を行う制御回路の構成が簡易化できることも示す。提案方式に基づく8ビット8入力のビットシリアル加算器を e-Shuttle65nmCMOS プロセスで設計し、従来構成に基づく電流モード回路と比較すると、稼働率 70%、動作周波数 200MHz において消費電力は 27%に削減された。また、提案方式を動的電源電圧・周波数制御手法へ応用することで電流モード回路においても省エネルギー演算を実現できることを明らかにできた。

##### ①動作時の自律電流源制御

差動対回路の出力が整定する条件が相補信号生成条件に帰着できることに着目した電流源制御方式を提案した。すなわち、一段目の差動対回路の pMOS トランジスタの ON/OFF のみでデータの到来に応じた適応的細粒度電流制御が可能になる。本原理に基づく回路設計と評価を行った。

##### ②非動作時の消費電力低減

1ワードのビットシリアルデータの先頭に有効/無効の信号を重畳することにより、無効なデータである場合には、演算ユニットレベルにおいて電流のカットオフを行う方式も導入した。データと制御信号の重畳により、配線数・配線スイッチの大幅な削減も可能となることを明らかにした。

##### (3) パケット転送に基づくコンフィグレーションメモリサイズの減少

多値リコンフィギャラブル VLSI の自律適応動作に貢献する新概念である、チップ内多値パケット転送方式に基づく自律的レジスタ間転送を導入することができた。これらは、パケットが有効であることを示す有効フラグ信号を活用した効率的な電流源制御信号転送やコンフィグレーションメモリサイズの大幅減少に有用となる。すなわち、動的再構成 VLSI プロセッサのコンフィグレーションメモリ容量のサイズを大幅に減少するために、レジスタトランスフェラブルパケット転送法を提案している。自律的なパケットデータ転送とオフラインスケジューリング・アロケーションを効果的に用いたセミオートノマスパケットルーティングに基づき、従来の動的再構成並列 VLSI プロセッサのコンフィグレーションメモリ容量の減少を実現している。条件分岐が存在する場合でも、パケットルーティング制御記憶容量が従来の動的再構成 VLSI と比べて十分に減少できることを明らかにしている。

##### (4) 多値 X ネット

演算セル間の転送のためのスイッチとし多値重畳信号を活用した X ネットにより、セル間転送のためのスイッチボックスの複雑性を解消することができることを明らかにした。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

(1) Xu Bai, Nobuaki Okada and Michitaka Kameyama, "A Digit-Serial Reconfigurable VLSI Based on Quaternary Inter-Cell Data Transfer Scheme", Journal of Multiple-Valued Logic and Soft Computing, 査読有, 2013, Vol.20, pp.1-18

(2) Yoshichika Fujioka and Michitaka Kameyama "Configuration Memory Size Reduction of a Dynamically Reconfigurable Processor Based on a Register-Transfer-Level Packet Data Transfer Scheme", Proceedings of 2012 International SoC Design Conference, 査読有, 2012, 巻数無, pp.235-238  
DOI : 10.1109/ISOCC.2012.6407083

(3) Xu Bai and Michitaka Kameyama, "Current-Source-Sharing Differential-Pair Circuits for a Low-Power Fine-Grain Reconfigurable VLSI Architecture", Proceedings of 2012 IEEE International Symposium on Multiple-Valued Logic, 査読有, 2012, 巻数無, pp.208-213  
DOI : 10.1109/ISMVL.2012.13

(4) Shogo Kisara and Michitaka Kameyama, "Unified Current-Source Control for Low-Power Current-Mode-Logic Bit-Serial Circuits", Proceedings of 2012 IEEE International Symposium on Multiple-Valued Logic, 査読有, 2012, 巻数無, pp.104-109  
DOI : 10.1109/ISMVL.2012.55

(5) M.Lukac, B.Shuai, M. Kameyama and D.M.Miller, "Information-Preserving Logic Based on Logic Reversibility to Reduce the Memory Data Transfer and Heat Dissipation", Proceedings of the 41st IEEE International Symposium on Multiple-Valued Logic, 査読有, 2011, 巻数無, pp.131-138  
DOI : 10.1109/ISMVL.2011.43

(6) Shota Ishihara, Noriaki Idobata, Yoshihiro Nakatani, Masanori Hariyama and Michitaka Kameyama, "A Switch Block for Multi-Context FPGAs Based on Floating-Gate-MOS Functional Pass-Gates Using Multiple/Binary Valued Hybrid

Signals", Journal of Multiple-Valued Logic and Soft Computing, 査読有, Vol.17, 2011, pp.553-580

[学会発表] (計 8 件)

① 藤岡周与, 亀山充隆, "コンフィグレーションメモリサイズの減少を指向したパケット転送に基づく動的再構成 VLSI プロセッサの構成", 電子情報通信学会技術報告, ICD2012-64, pp.39-44, 2012年10月19日, ホテルルイズ(盛岡), 岩手

② 白旭, 亀山充隆, "X-Net を用いた多値データ転送方式とリコンフィギャラブル VLSI への応用", 多値論理研究ノート, Vol.35, No.5, pp.5-1 - 5-6, 2012年9月15日, 富山国際会議場 大手町フォーラム, 富山

③ 木皿祥吾, 亀山充隆, "電流源自律制御に基づく低電力多値 VLSI とその応用", 多値論理研究ノート, Vol.35, No.6, pp.6-1 - 6-5, 2012年9月15日, 富山国際会議場 大手町フォーラム, 富山

④ 藤岡周与, 瀧沢翔, 亀山充隆, "レジスタトランスファレベルパケット転送に基づく動的再構成 VLSI プロセッサアーキテクチャ", 電子情報通信学会技術研究報告, ICD2011-67, pp14-18, 2011年10月24日, 一の坊, 宮城

⑤ 木皿 祥吾, 亀山充隆, "入力到来とクロックサイクル内論理演算完了の検出に基づく低電力多値リコンフィギャラブル VLSI の自律電流源制御", 多値論理研究ノート, Vol.34, No.10, pp.10-1 - 10-5, 2011年9月18日, つくば国際会議場, 茨城

⑥ 白 旭, 亀山充隆, "多値スイッチブロックと2値論理演算モジュールから構成されるビットシリアルリコンフィギャラブル VLSI", 多値論理研究ノート, Vol.34, No.9, pp.9-1 - 9-8, 2011年9月18日, つくば国際会議場, 茨城

⑦ 木皿祥吾, 亀山充隆, "自律的電流源制御に基づく低電力多値 VLSI の構成", 電気関係学会東北支部連合大会, 2H01, p.265, 2011年8月26日, 東北学院大学多賀城キャンパス, 宮城

⑧ Michitaka Kameyama "Prospects of Post-Binary ULSI Systems and Novel

Reconfigurable VLSI Architectures”,  
The 20th International Workshop on  
Post-Binary ULSI Systems (Invited  
Talk), 22 May, 2011, Tusula, Finland

〔図書〕（計 0 件）

〔産業財産権〕

○出願状況（計 0 件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

○取得状況（計 0 件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

〔その他〕

ホームページ等

## 6. 研究組織

### (1) 研究代表者

亀山 充隆(MICHITAKA KAMEYAMA)  
東北大学・大学院情報科学研究科・教授  
研究者番号：7 0 1 2 4 5 6 8